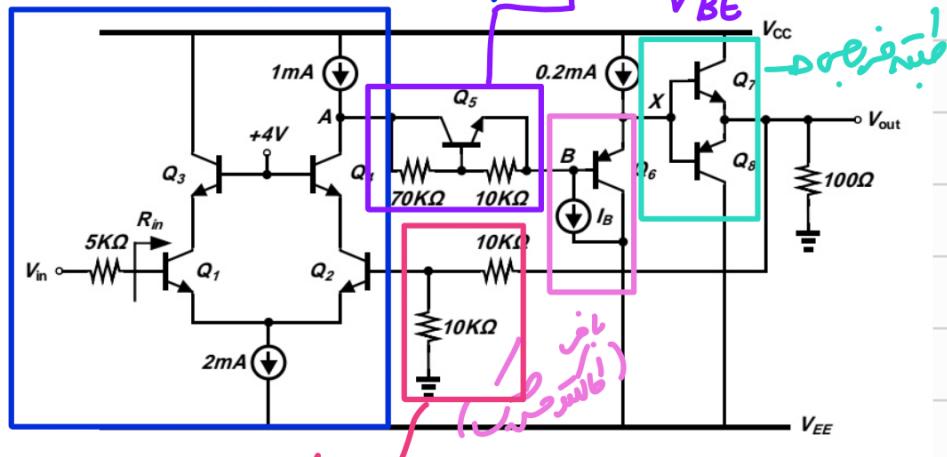


40/10/173

# گزارش پژوهه‌ی الکترونیک ۲

طبقه ورودی  $\rightarrow$

ضرب لغزشی  $V_{BE}$



## ۳- تحلیل اولیه مدار

در مدار شکل ۱:

۱) طبقه ورودی و خروجی را مشخص کنید.

۲) نقش ترانزیستور  $Q_6$  و منبع جریان  $I_B$  را بیان کنید و جریان  $I_B$  را به اندازه‌ای قرار دهید که ترانزیستور  $Q_5$  همیشه با خرمناب  $G_6$  بارگذاری شود.

۳) نقش  $G_6$  را در مدار نشان کنید و مدار را بازسازی کنید.

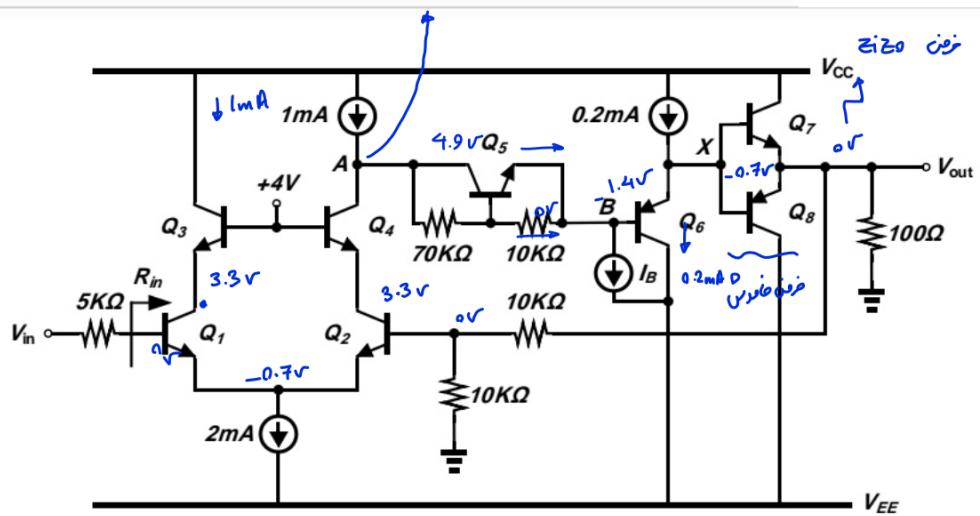
$$I_{C6} \approx 0.2 \text{ mA} \Rightarrow I_{B6} \approx 1.32 \mu\text{A}$$



$$I = I_{C5} + \frac{0.64}{10k} = I_{SE} \cdot 2^{6m} + 0.064 \approx 0.564 \text{ mA}$$

$$\Rightarrow I_B = I_{B6} + I \approx 0.565 \text{ mA}$$

۳) نقاط کار ترانزیستورها را به دست آورده و در جدولی بنویسید.



شکل ۱: شماتیک مدار تقویت کننده توان

	$\beta_C$	$V_{CE}$
$G_1$	0.1m	4
$G_2$	0.1m	4
$G_3$	0.1m	6.7
$G_4$	0.1m	1.6
$G_5$	1.3m	5.6
$G_6$	0.2m	-9.3
$G_7$	$\approx 0m$	10
$G_8$	$\approx 0m$	-10

$$z_{in} \rightarrow -0.7 \leq V_X \leq 0.7 \rightarrow \text{محدوده خودکاری } Q_7 \text{ و } Q_8$$

$$\Rightarrow V_B = -1.4V$$

$$\text{مانند در بین } V_A \text{ و } V_E \text{ نیز } z_{in} = 9.8 \text{ و } 3.5$$

$$V_{AB} = 5.1V \Rightarrow V_{BE} = 5.1 \times \frac{10k}{70k+10k} \approx 0.64 \Rightarrow I_C = \beta_C e^{\frac{V_{BE}}{V_T}} \approx 0.5mA$$

$$I_{mA} = I + I_{C4} \Rightarrow I_{C4} \approx 0.436mA \Rightarrow \beta_C = I_{C4} / I_{mA} = 1.564mA$$

۴) بدون استفاده از فیدبک به علت استفاده از طبقه خروجی کلاس B انتظار وجود ناحیه مرده<sup>۱</sup> در خروجی را داریم اما با استفاده از فیدبک این مشکل حل می شود و تقویت کننده خطی می شود. علت وجود ناحیه مرده و رفع آن توسط فیدبک را بررسی کرده و توضیح دهید.

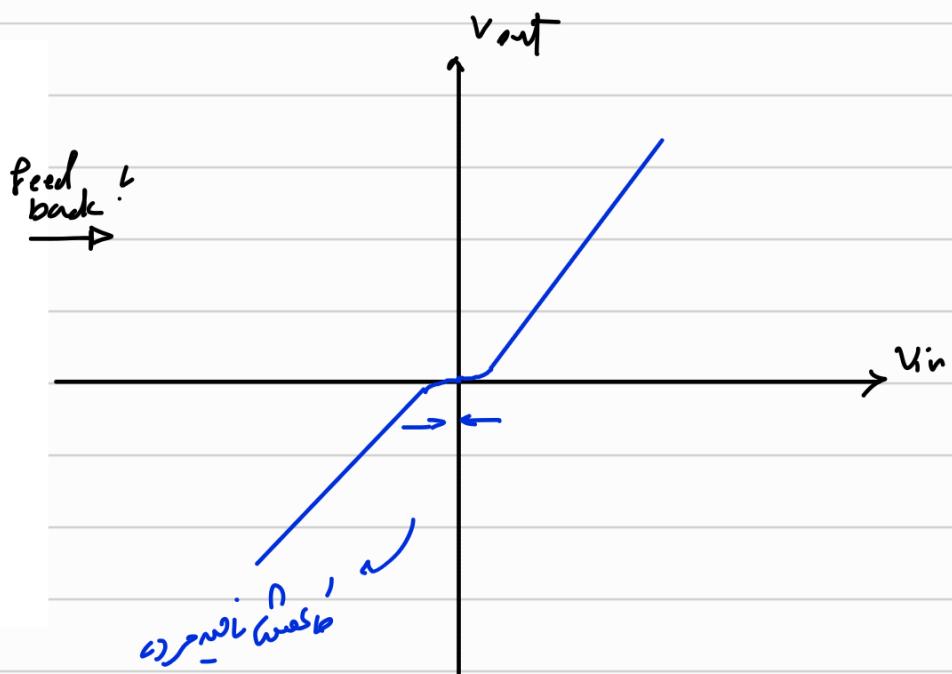
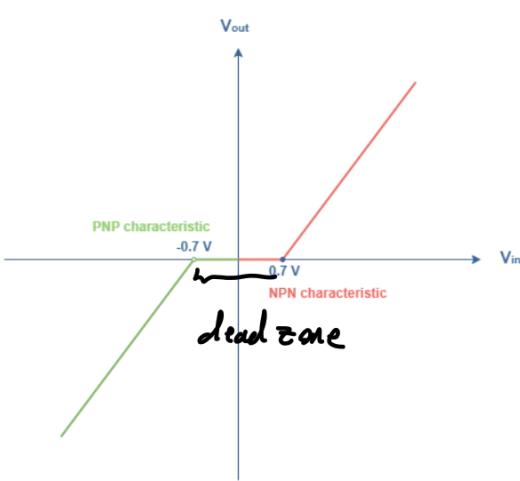
طبیعت فرایند کلاس B نسبت به کلاس A این که هفتمان روند نیمه نزدیک را در حالت ۷م

۰.۷V - ۰.۷V نمایند اما نسبت به کلاس A در پردازش روند در پردازش متعادل است.

محضی در بازوی ۷م - ۰.۷V - ۰.۷V هفتمان حافظه می شود. با این نسبت ناحیه مرده می بینیم.

حال اگر از نسبت انتشاره نیم حمله مقدار حفظی کم شود. زمانی که علت وجود فیدبک را در خرچه مراحل آغاز می کند

هر دو توانی سیستم کامپاریتور روندی را در حالت نافعه مرده نمایند.



$$ICMR \rightarrow V_{in\ max} = 4 - 0.7 - 0.2 + 0.7 \\ = 3.8 \text{ V}$$

(۵) سوینگ خروجی و محدوده مد مشترک مدار را محاسبه کنید.

$$\rightarrow V_{in\ min} = -10 + \frac{V_{cc} - V_{CE\ sat}}{0.2} + 0.7 = -9.075 \text{ V} \quad \text{---} \quad 9.1 \text{ V}$$

$$\text{swing} \rightarrow V_o\ max \rightarrow V_{cc} - V_{CE\ sat} = 9.8 \text{ V} \quad \times$$

$$0.2 \times \beta_{nPN} \times R_L = 4 \text{ V} \quad \checkmark$$

$$0.22 \text{ V} : \text{سوینگ} - \frac{N}{C_{load}}$$

$$V_o\ min \rightarrow V_{ee} + V_{CE\ sat} = -9.8 \text{ V} \quad \times$$

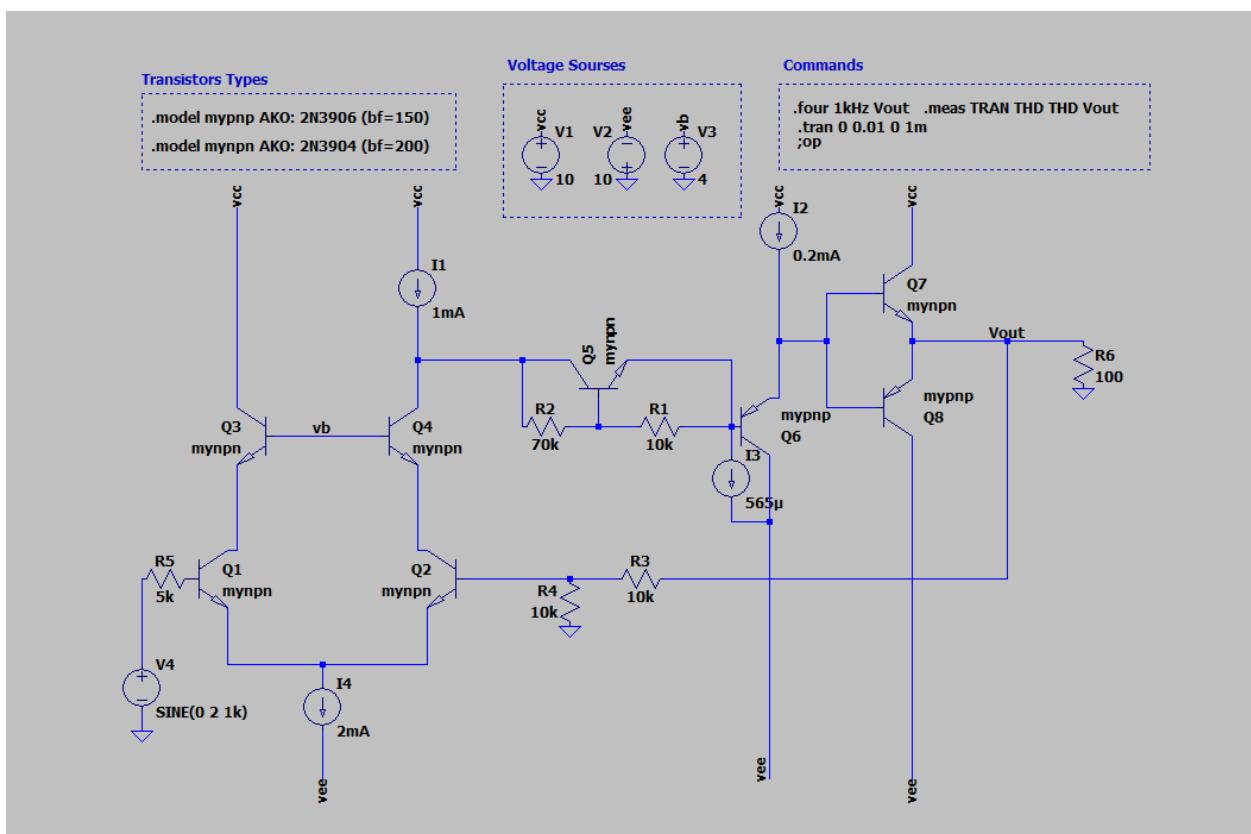
$$(4 - 0.7 + 0.2) - 8 \times 0.64 + 1.4 \approx -0.22 \text{ V} \quad \checkmark$$

(۶) علت محدود شدن سوینگ در مدار را بررسی کنید.

با این قدر مدار بقیه محدود نمایند

حدودیت جریان در شبکه فرآیند

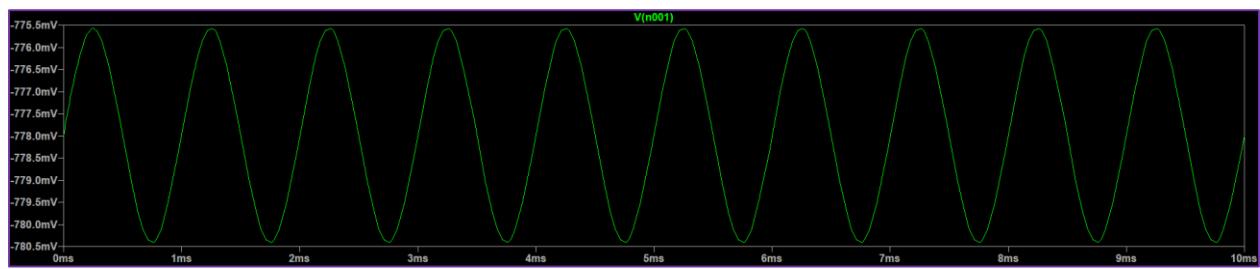
۷) مدار را در نرم افزار (LTspice) شبیه سازی کرده و شکل مدار را گزارش دهید.



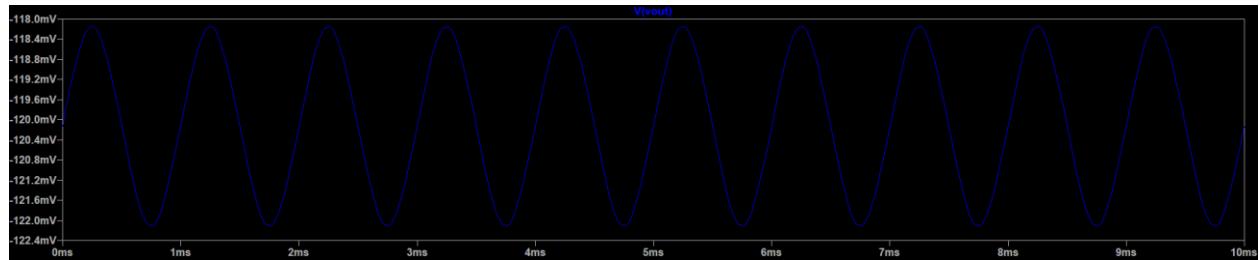
شکل شماره 1: مدار شبیه سازی شده

۸) شکل موج خروجی در دو گره X و گره X را در شبیه سازی مشاهده کنید و با تحلیل های بخش ۴ انطباق

دھید.



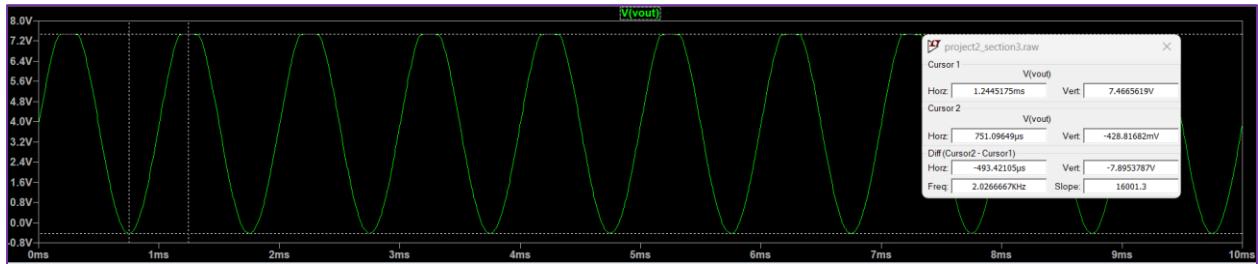
شکل شماره 2: ولتاژ X



شکل شماره 3: ولتاژ خروجی

همان طور که مشاهده میکنیم در شکل های 2 و 3 ، ولتاژ خروجی به اندازه  $V_{BE}$  شیفت خورده ولتاژ X میباشد و از سیگنال ورودی چیزی را از دست نداده ایم به علت وجود فیدبک dead zone). در غیر این صورت ، خروجی ما دچار اعوجاج و خرابی میشد و بخشی از سیگنال ورودی را به دلیل وجود dead zone از دست میدادیم .

۹) با تغییر نقطه کار ترانزیستورها سعی کنید سوینینگ مدار را تا جای ممکن افزایش دهید سپس سوینینگ را با شبیه‌سازی بدست آورید و خروجی مدار با بیشینه سوینینگ را گزارش کنید.



شکل شماره 4: swing خروجی

با دادن آفست DC 2v و ولتاژ سینوسی ورودی 2.2v مطابق شکل شماره 4 شاهد swing پیک تو پیک حدود 7.2v و متقارن 0.8v هستیم.

یا THD را توضیح داده و در محیط شبیه‌سازی به دست آورید. Total harmonic distortion (THD)

این مفهوم نشان دهنده میزان وجود هارمونیک های دوم به بالا در سیگنال است. در واقع ، سیگنال های مورد بررسی ما ممکن است به جز فرکانس اصلی خود شامل انواع مختلفی از فرکانس ها نیز باشند . هرچه حضور هارمونیک ها بیش تر باشد ، مقدار THD افزایش میابد.

$$\text{THD}_V = \sqrt{\sum_{n=2}^{\infty} V_n^2}$$

برای محاسبه THD در محیط شبیه سازی کافیست از دستور . “four 1kHz V(Vout) .meas TRAN THD THD V(Vout)” کمک بگیریم.(به ازای ورودی 1mv بدون آفست dc)

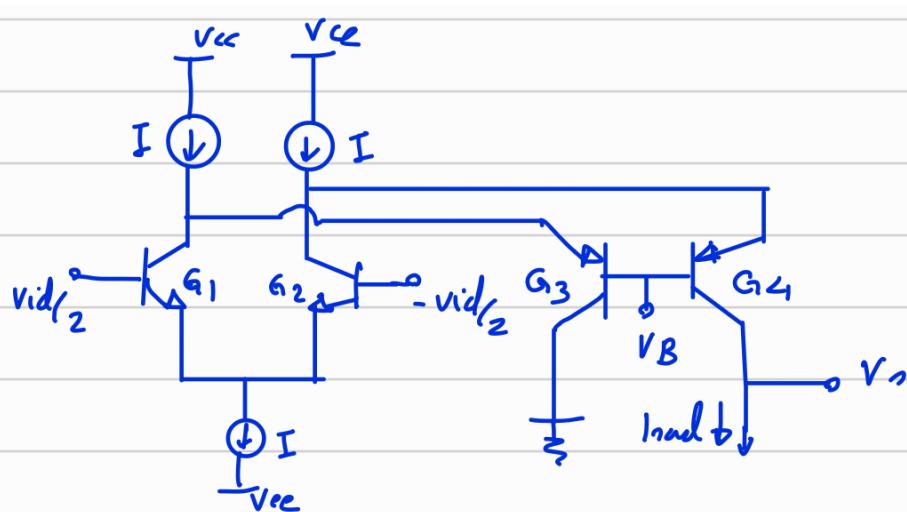
**Total Harmonic Distortion: 1.942708% (1.977714%)**

شکل شماره 5

## ۵- طراحی

مشاهده کردید سوینگ مدار به نسبت اندازه منابع تغذیه کم است برای حل این مشکل مراحل زیر را انجام دهید.

- طبقه کسکود تا شده<sup>۱</sup> را رسم کرده و چند مورد از مزیتهای آن را بیان کنید سپس چگونگی تعیین نقطه کار ترانزیستورها را در آن شرح دهید.

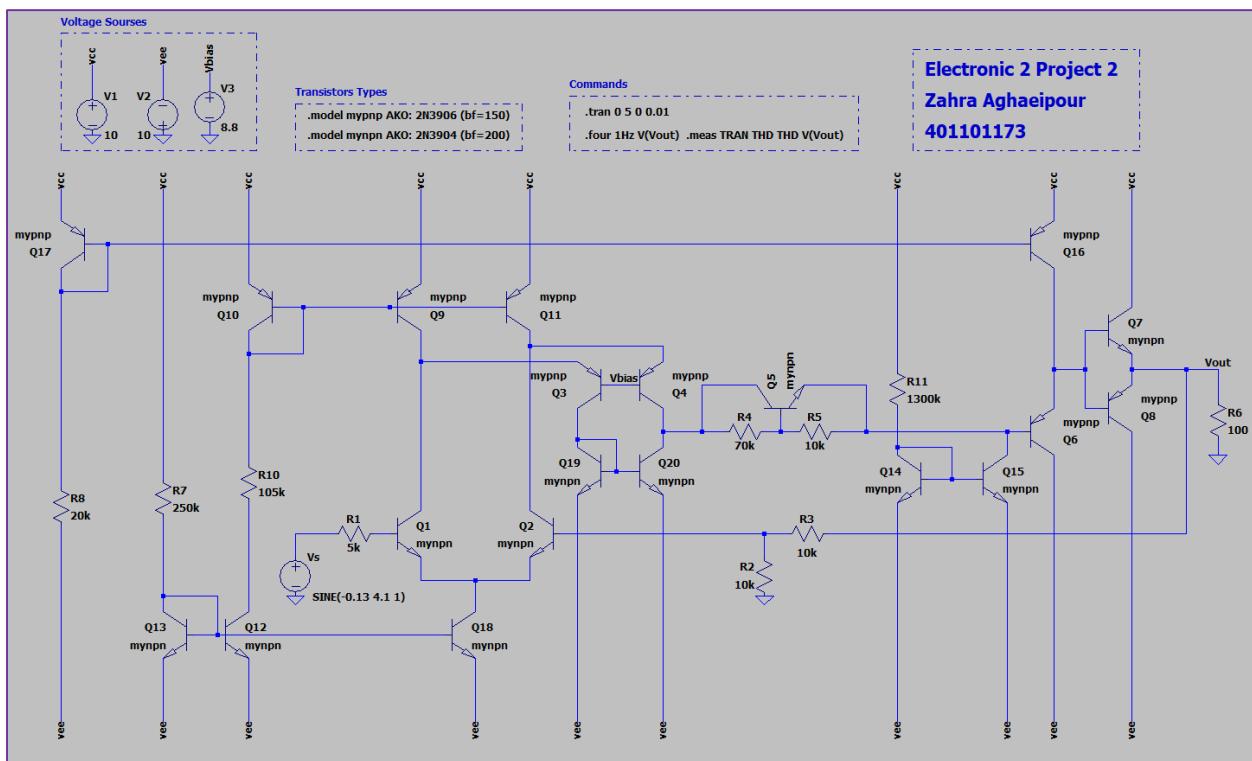


- \* ربع عددهای هسته را بجبرید منجسه.
  - \* صادرات خوب و سیگنالدار.
  - \* جرمه سیگنالدار.
  - \* پاسخ فرکانس را بجبرید منجسه.
- با عین:  $N$  الستران در تقریبی

$$f_{Q_3} = f_{Q_4} = f_{Q_1} = f_{Q_2} = f_{I_2}$$

۲) طبقه ورودی مدار را با کسکود تا شده جایگزین کنید. همچنین تمام منابع غیر از  $V_{EE}$  و  $V_{CC}$  را با مدار جایگزین کنید. (توجه کنید در طبقه خروجی فقط باید منابع جریان را با آیینه جریان مناسب جایگزین کنید تغییرات بیشتر در طبقه خروجی مجاز نیست. اما طبقه ورودی و تنظیم سطح ولتاژ بین طبقات قابل تغییر است.)

۳) مدار را شبیه‌سازی کنید و تصویری از مدار خود گزارش دهید.



شکل شماره 6: مدار طراحی شده

ترانزیستور های Q1 تا Q4 و Q19 و Q20 مارا تشکیل میدهند.

ترانزیستور Q15 همان  $I_b$  میباشد که جریانش توسط Q14 تعیین و تامین میشود.

ترانزیستور های Q9 و Q11 و Q18 منبع جریان های لازم برای طبقه ورودی ما هستند که توسط ترانزیستور های Q10 و Q12 و Q13 تامین میشوند و به هم ارتباط می یابند.

ترانزیستور های Q17 و Q18 نیز مسئول تامین جریان طبقه خروجی هستند.

مقدار جریان Q15 و Q16 جوری تعیین شده اند که سوئینگ ولتاژ خروجی را خراب نکنند.

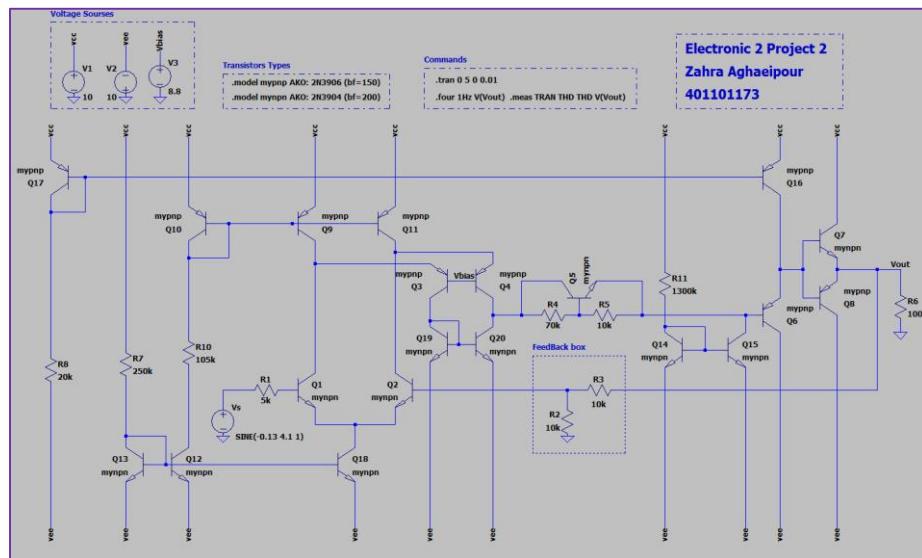
همچنین مقاومت ها جوری تنظیم شده اند که مطلوبات را تأیید کنند.

۴) موارد خواسته شده را با استفاده از شبیه سازی بدست آورده و با مطلوبات تطبیق دهید و از نتیجه شبیه سازی هر کدام، یک عکس قرار دهید.

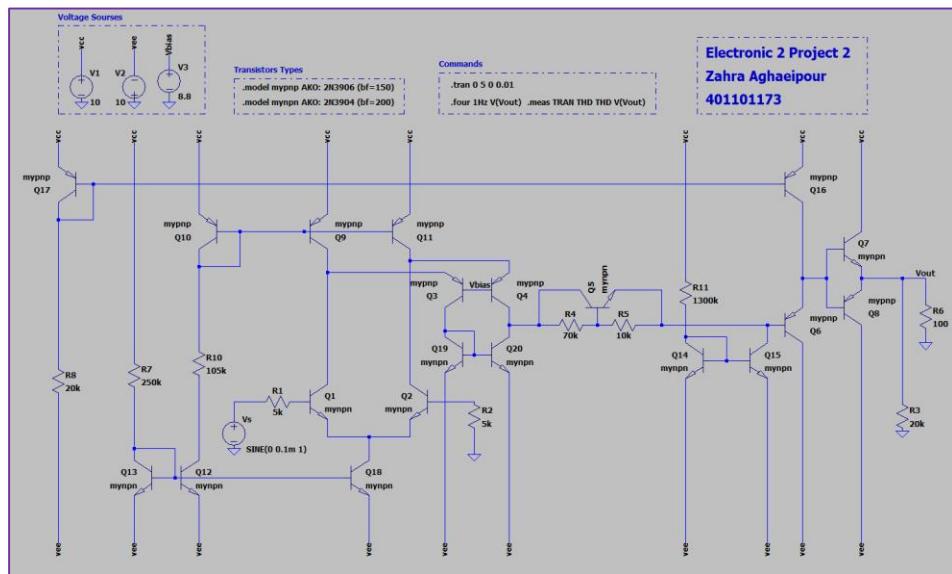
### I. بهره حلقه بسته

در این قسمت کافیست پارامتر های جعبه فیدبک را پیدا کنیم و جا گذاری کنیم و با فرض  $f=0$  بهره مدار را حساب کنیم (a) و بعد با ضرب بهره در فیدبک loop gain به دست می آید. حال A=a/1+a.

فیدبک از نوع ولتاژ ولتاژ می باشد.



شکل شماره 7: تشخیص فیدبک



شکل شماره 8: باز کردن جعبه فیدبک



شکل شماره 9: بهره حلقه باز

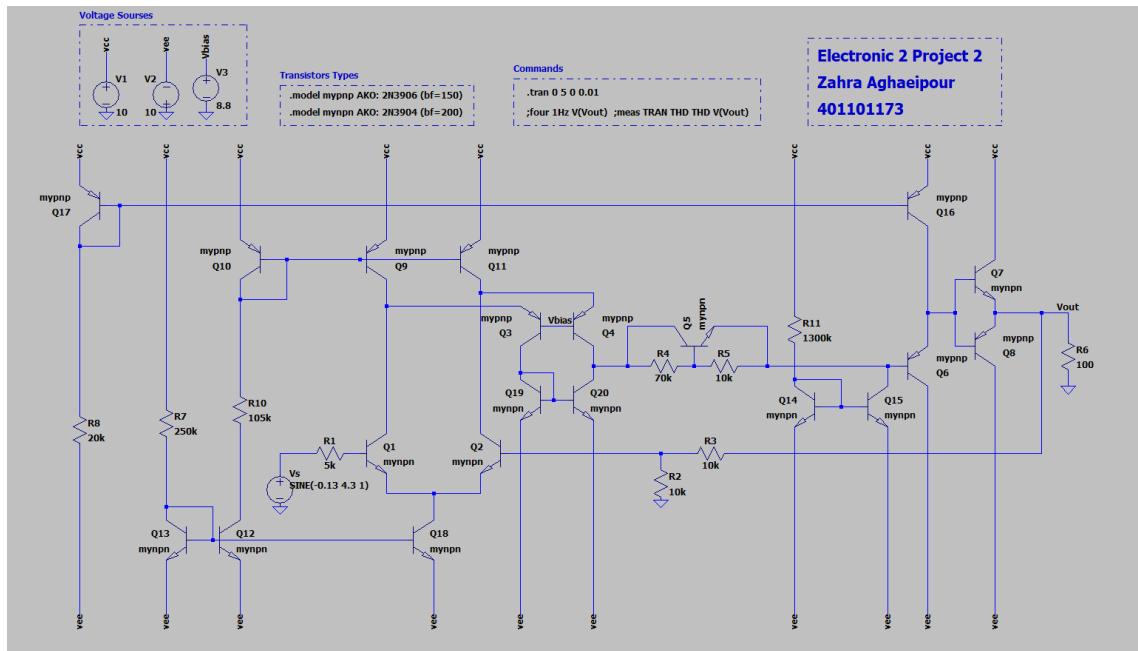
همانطور که در شکل 9 مشاهده میکنیم بهره حلقه باز حدود 10 می باشد که به معنای بهره حلقه بسته حدودا 2 می باشد که برابر  $1/f$  است.

بهره حلقه بسته را در شکل زیر مشاهده میکنید:

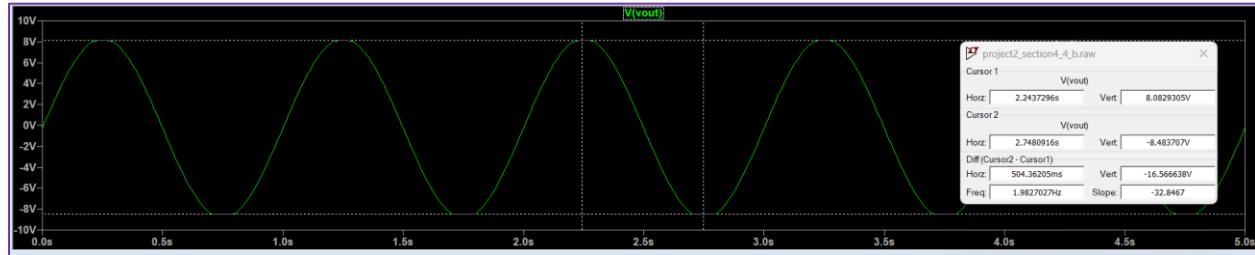


شکل شماره 10: بهره حلقه بسته

سوینگ .II



شكل شماره 11: مدار مناسب سوینگ

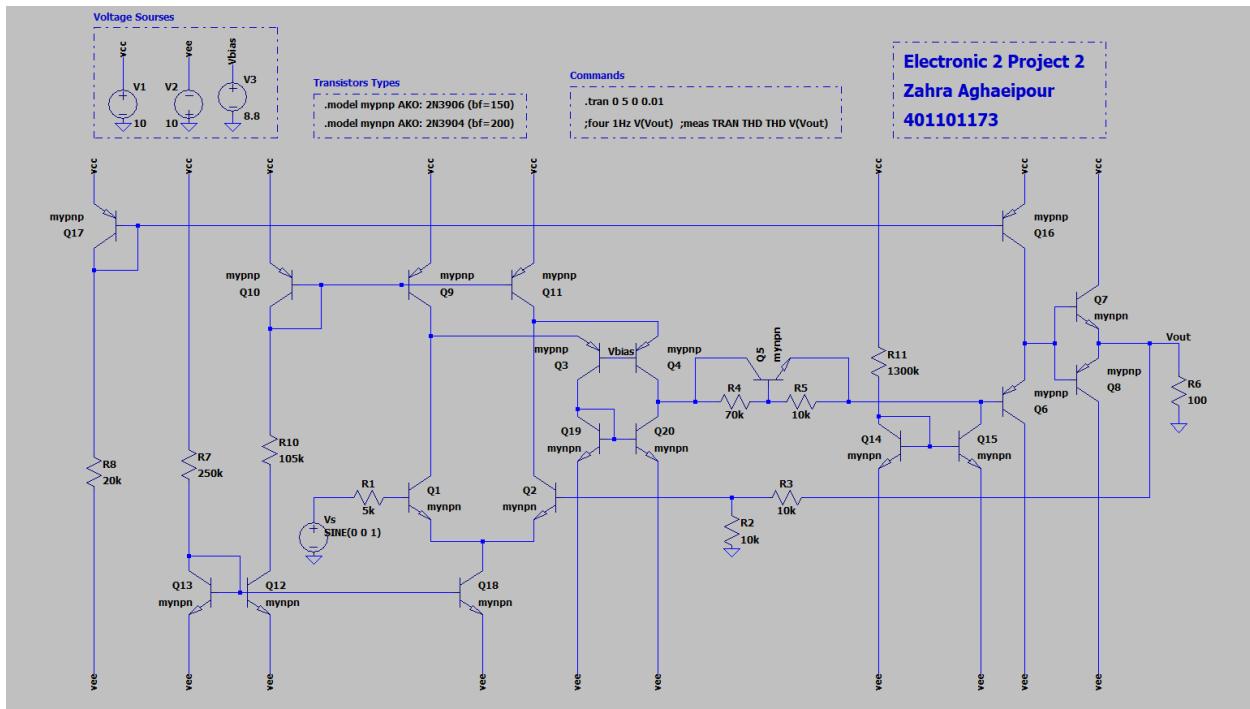


شكل شماره 12: سوینگ خروجی

کافیست ولتاژ ورودی را  $4.3V$  با  $0.13V$  dc بدھیم تا سوینگ پیک تو پیک حدود  $16.6V$  دریافت کنیم.

همچنین  $V_{bias}$  را نیز حدود  $8.8V$  قرار دادم.

.III توان مصرفی در حالت بدون ورودی



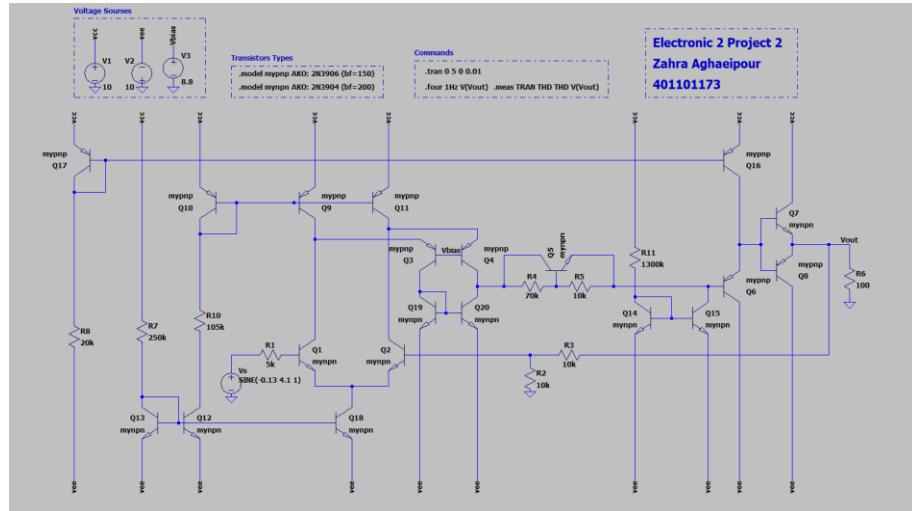
شکل شماره 13: مدار با ورودی صفر



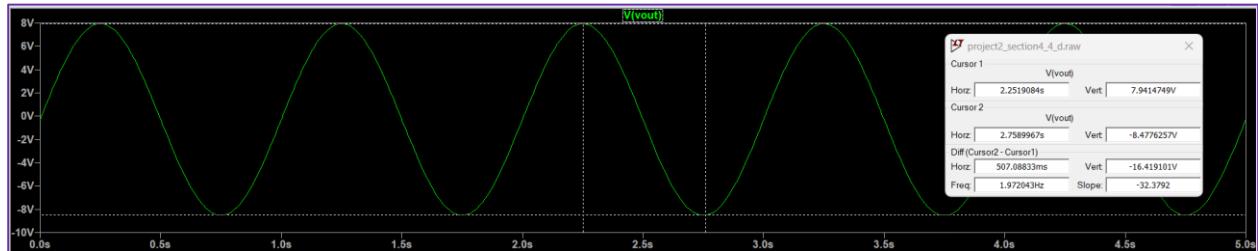
شکل شماره 14: توان در حالت استراحت

کافیست منبع ولتاژ ورودی را صفر کنیم و بعد توان هر یک از منابع supply را حساب کنیم و جمع کنیم که مطابق شکل 12 حدود 49mw است که با مطلوب مسئله سازگار است.

(16.4p-p) 8.2V THD متقارن در سوینگ .IV



شکل شماره 15: مدار مناسب سوینگ قرینه 8.2v



شکل شماره 16: سوینگ متقارن 8.2v

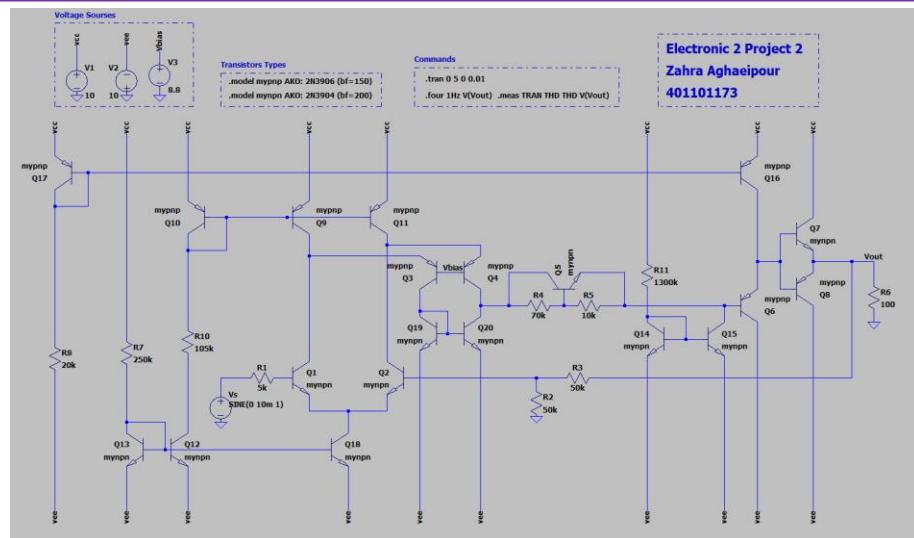
کافیست ولتاژ ورودی را 4.1v سینوسی با 0.13v آفست دی سی دهیم.

Harmonic Number	Frequency [Hz]	Fourier Component	Normalized Component	Phase [degree]	Normalized Phase [deg]
1	1.000e+00	8.174e+00	1.000e+00	0.00°	0.00°
2	2.000e+00	5.403e-04	6.610e-05	73.87°	73.87°
3	3.000e+00	1.035e-03	1.266e-04	-170.34°	-170.35°
4	4.000e+00	1.266e-03	1.548e-04	-101.20°	-101.20°
5	5.000e+00	1.398e-03	1.710e-04	10.98°	10.98°
6	6.000e+00	1.369e-03	1.675e-04	-77.85°	-77.85°
7	7.000e+00	1.043e-03	1.276e-04	-163.94°	-163.94°
8	8.000e+00	1.457e-03	1.783e-04	100.67°	100.67°
9	9.000e+00	2.996e-04	3.666e-05	70.46°	70.46°
Total Harmonic Distortion: 0.038867% (0.054082%)					

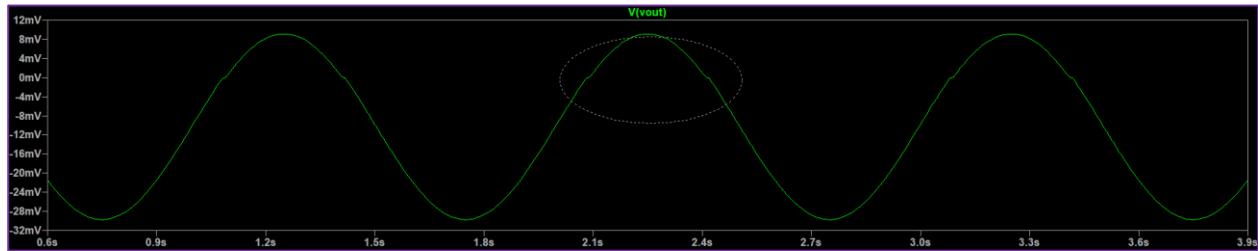
شکل شماره 17 THD

مطابق مطلوب مسئله کمتر از 0.05% می باشد.

در شبیه‌سازی، دو مقاومت حلقه فیدبک را ۵۰ کیلو اهم قرار دهید و خروجی را گزارش کنید. .V



شکل شماره 18: مدار خواسته شده



شکل شماره 19: ولتاژ خروجی با فیدبک 50k

همانطور که مشاهده می‌کنیم در حوالی ولتاژ ۰ شاهد اعوجاج هستیم.

اما باقی موارد همانطور باقی می‌مانند.

(امتیازی) به نظر شما علت به وجود آمدن اعوجاج در بخش V چیست؟ .VI

علت این اعوجاج عدم تقارن به وجود آمده در زوج تفاضلی است زیرا که اگر فیدبک را باز کنیم مقاومت ورودی سمت راست ۲۵k می‌شود و این باعث می‌شود که مدار عملکرد کمی غیر خطی تری از خود نشان دهد و فیدبک در حوالی صفر کنتر عمل کند.