

东南大学数字逻辑电路

实 验 报 告

学号： 04022212

姓名： 钟 源

2023 年 12 月 7 日

实验名称： 实验 5 触发器时序逻辑电路设计

实验类型： 综合性

成 绩：

一、实验内容提要

使用 74194 和 74138 设计序列信号发生器，产生两组不同序列：

1.熟悉 74194 和 74138 芯片

2.列出状态转移真值表和转换图

3.给出电路实现方案

4.调试电路，根据自己的学号最后两位，实现两组不同的周期序列：当控制信号 $X=0$ 时，输出学号后两位对应的 6 位二进制数，当 $X=1$ 时，输出学号后两位对应的在模为 50 的 6 位二进制补数。（比如，如果学号为 15，则 $X=0$ 输出 001111； $X=1$ 输出 100011）

二、实验仪器与元器件

1.ADALM2000

1 台

2.面包板 1 块

3.集成芯片:

1) SN74HC138N 1 片

2) SN74HC153N 1 片

3) SN74HC194N 1 片

4) SN74HC04N 1 片

4.杜邦线 8 条, 导线若干。

三、设计过程及步骤

1. $X=0$ 时, 输出序列“001100”:

利用 74194 的右移功能实现输出序列, 则主循环状态转移如下:

	Q_3^n	Q_2^n	Q_1^n	Q_0^n	D_{SR}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
主 循 环	0	0	1	1	0	0	1	1	0
	0	1	1	0	0	1	1	0	0
	1	1	0	0	0	1	0	0	0
	1	0	0	0	0	0	0	0	0
	0	0	0	0	1	0	0	0	1
	0	0	0	1	1	0	0	1	1

得到卡诺图并设计逻辑表达式如下:

$Q_3 Q_2$ \ $Q_1 Q_0$	00	01	11	10
00	1	1	0	X
01	X	X	X	0
11	0	X	X	X
10	0	X	X	X

$$D_{SR} = \overline{Q_3} * \overline{Q_1}$$

但当 $Q_3Q_2Q_1Q_0$ 为 0010 时，有 $0010 \rightarrow 0100 \rightarrow 1001 \rightarrow 0010$ ，无法加入主循环，实现自启动。

考虑到自启动，得到卡诺图并设计逻辑表达式如下：

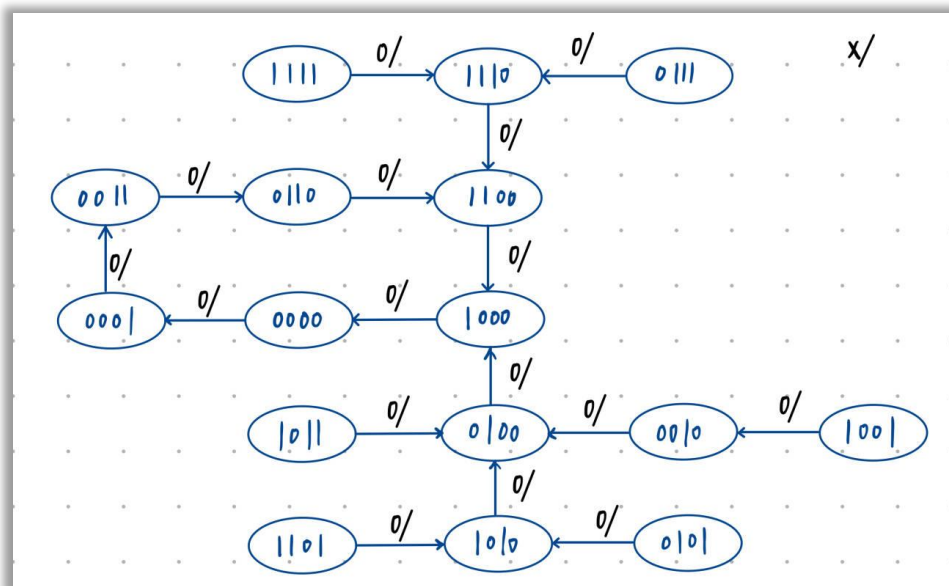
$Q_3Q_2 \backslash Q_1Q_0$	00	01	11	10
00	1	1	0	X
01	X	X	X	0
11	0	X	X	X
10	0	X	X	X

$$D_{SR} = \overline{Q_3} * \overline{Q_2} * \overline{Q_1}$$

完整的状态转移真值表如下：

	Q_3^n	Q_2^n	Q_1^n	Q_0^n	D_{SR}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
主循环	0	0	1	1	0	0	1	1	0
	0	1	1	0	0	1	1	0	0
	1	1	0	0	0	1	0	0	0
	1	0	0	0	0	0	0	0	0
	0	0	0	0	1	0	0	0	1
	0	0	0	1	1	0	0	1	1
副循环	0	0	1	0	0	0	1	0	0
	0	1	0	0	0	1	0	0	0
	0	1	0	1	0	1	0	1	0
	1	0	1	0	0	0	1	0	0
	0	1	1	1	0	1	1	1	0
	1	1	1	0	0	1	1	0	0
	1	0	0	1	0	0	0	1	0
	1	0	1	1	0	0	1	0	0
	1	1	0	1	0	1	0	1	0
	1	1	1	1	0	1	1	1	0

状态转移图如下：



2. $X=1$ 时，输出序列“1100110”：

利用 74194 的右移功能实现输出序列，则主循环状态转移如下：

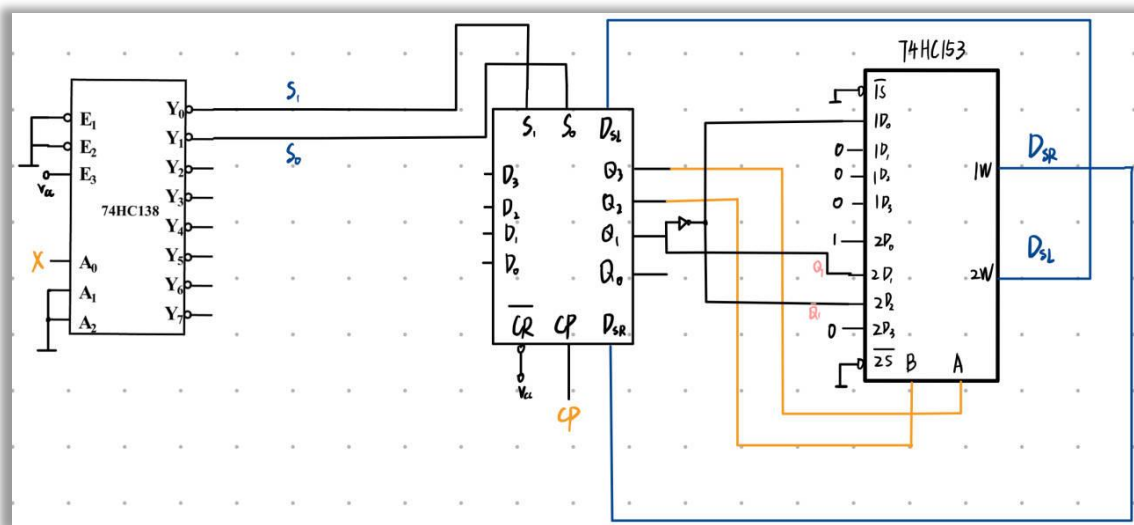
	Q_1^n	Q_2^n	Q_3^n	D_{SL}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}
主 循 环	1	0	0	1	0	0	1
	0	0	1	1	0	1	1
	0	1	1	0	1	1	0
	1	1	0	1	1	0	1
	1	0	1	0	0	1	0
	0	1	0	0	1	0	0
副 循 环	0	0	0	1	0	0	1
	1	1	1	0	1	1	1

考虑到自启动，得到卡诺图并设计逻辑表达式如下：

$Q_1 \backslash Q_2 Q_3$	00	01	11	10
0	X	1	0	0
1	1	0	0	X

$$D_{SL} = \overline{Q_2} * \overline{Q_1} + \overline{Q_3} * Q_1$$

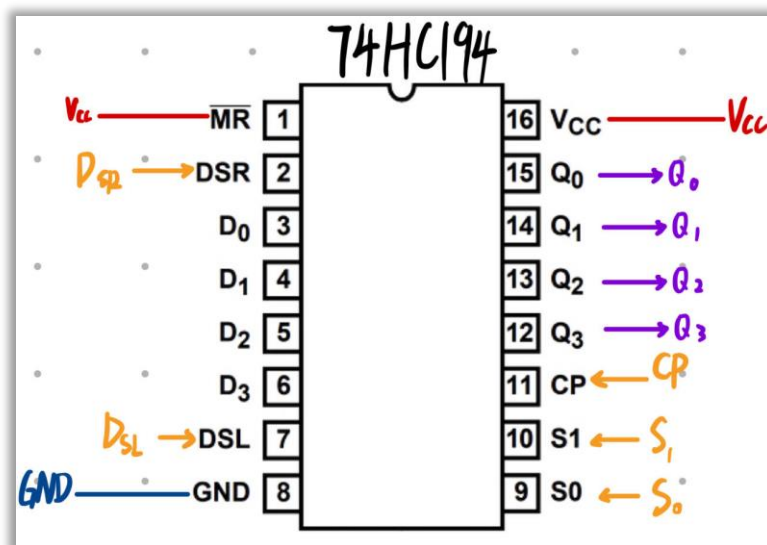
3. 电路设计图:



4. 实现方法:

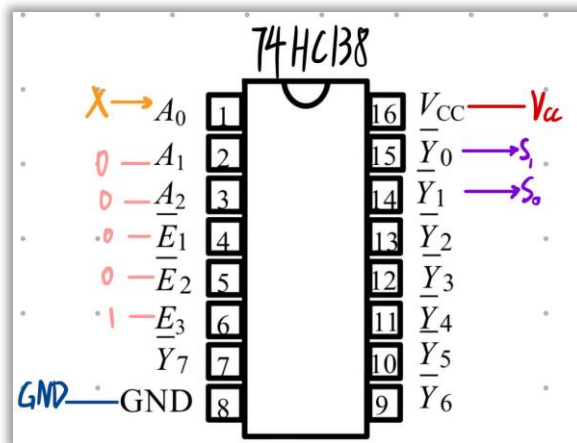
1) 使用 SN74HC194N:

得到相应的 Q_3, Q_2, Q_1, Q_0 , 具体接法如下引脚图所示:



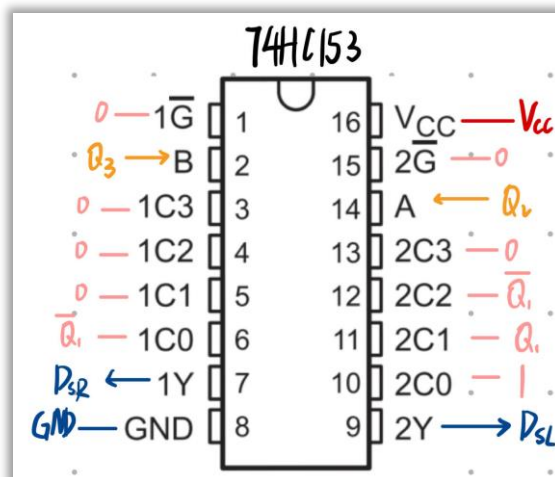
2) 使用 SN74HC138N:

由译码器的功能表, 得到相应的 S_0, S_1 , 具体接法如下引脚图所示:



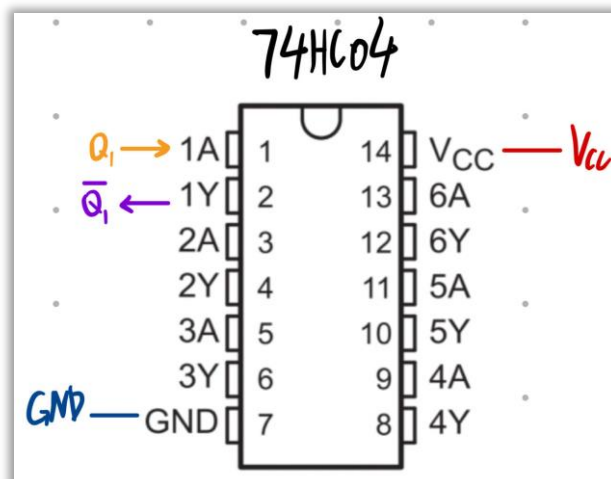
3) 使用 SN74HC153N:

由数据选择器的功能表，得到相应的 D_{SR} , D_{SL} ，具体接法如下引脚图所示:



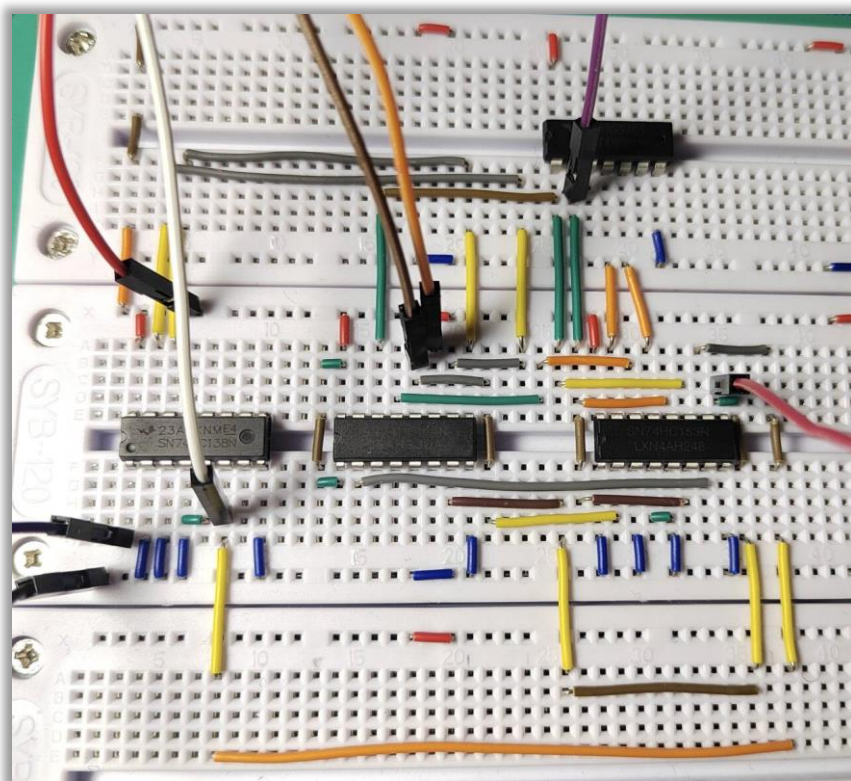
4) 使用 SN74HC004N:

得到相应的 $\overline{Q_1}$ ，具体接法如下引脚图所示:

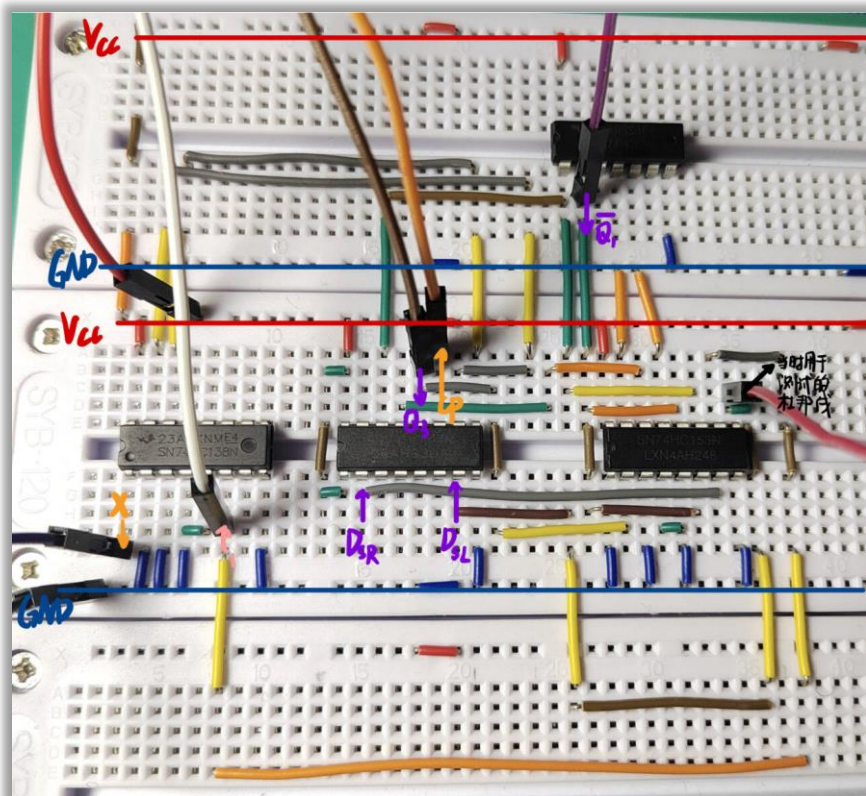


5.电路照片:

原图:



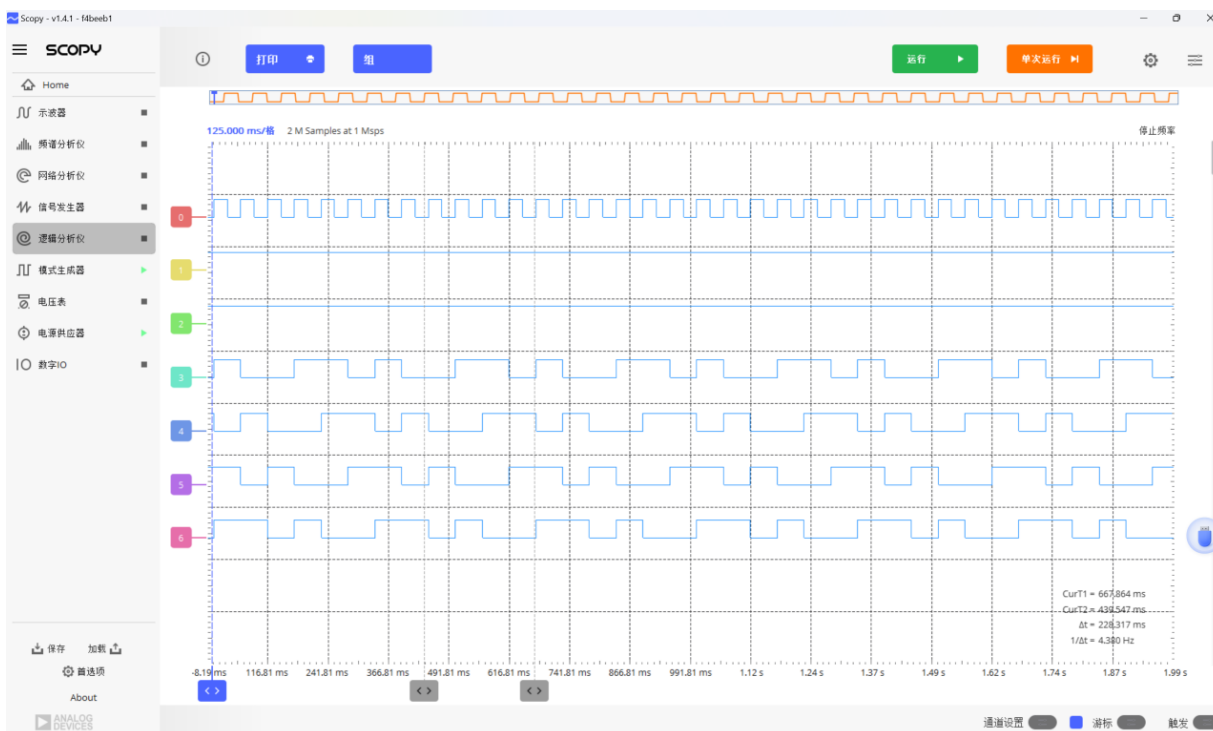
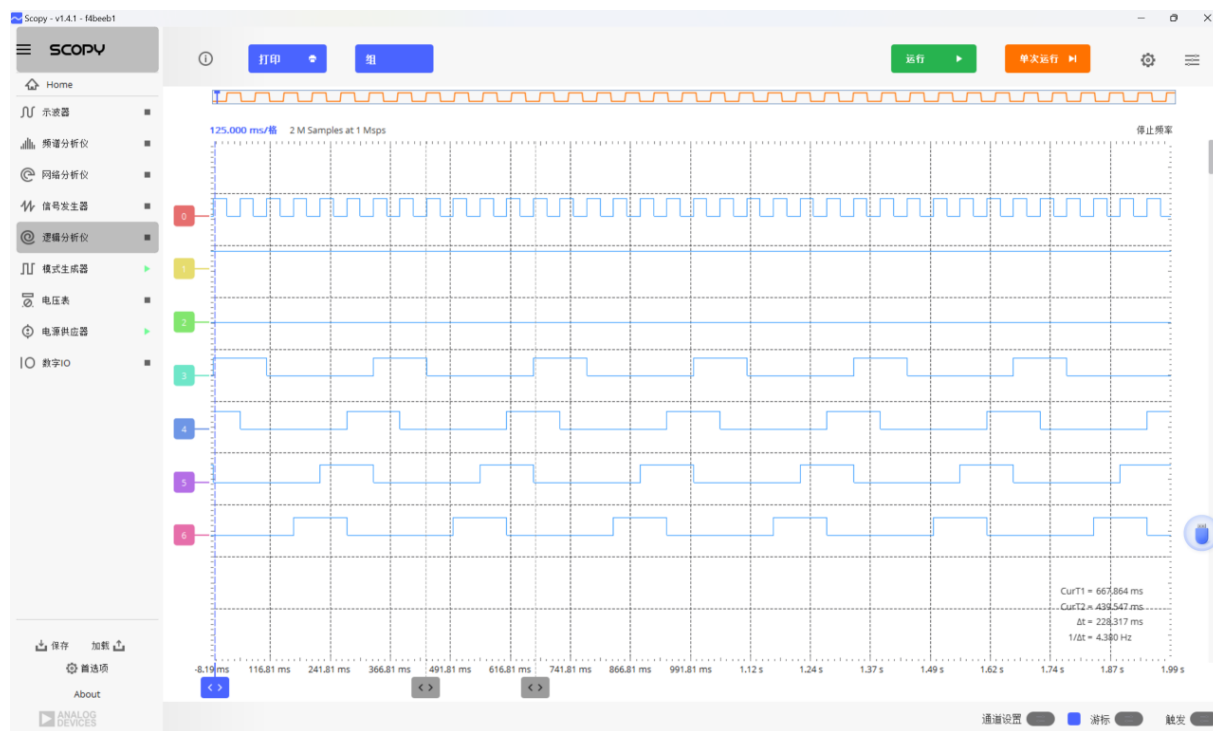
注解:



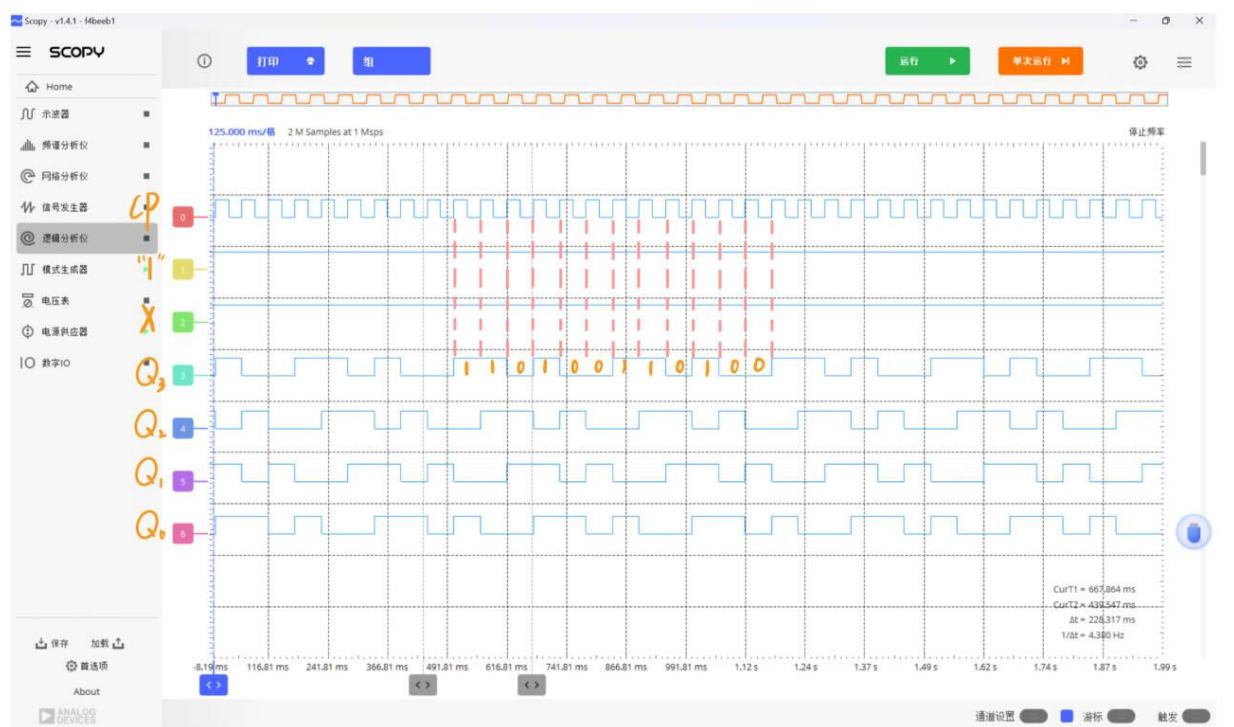
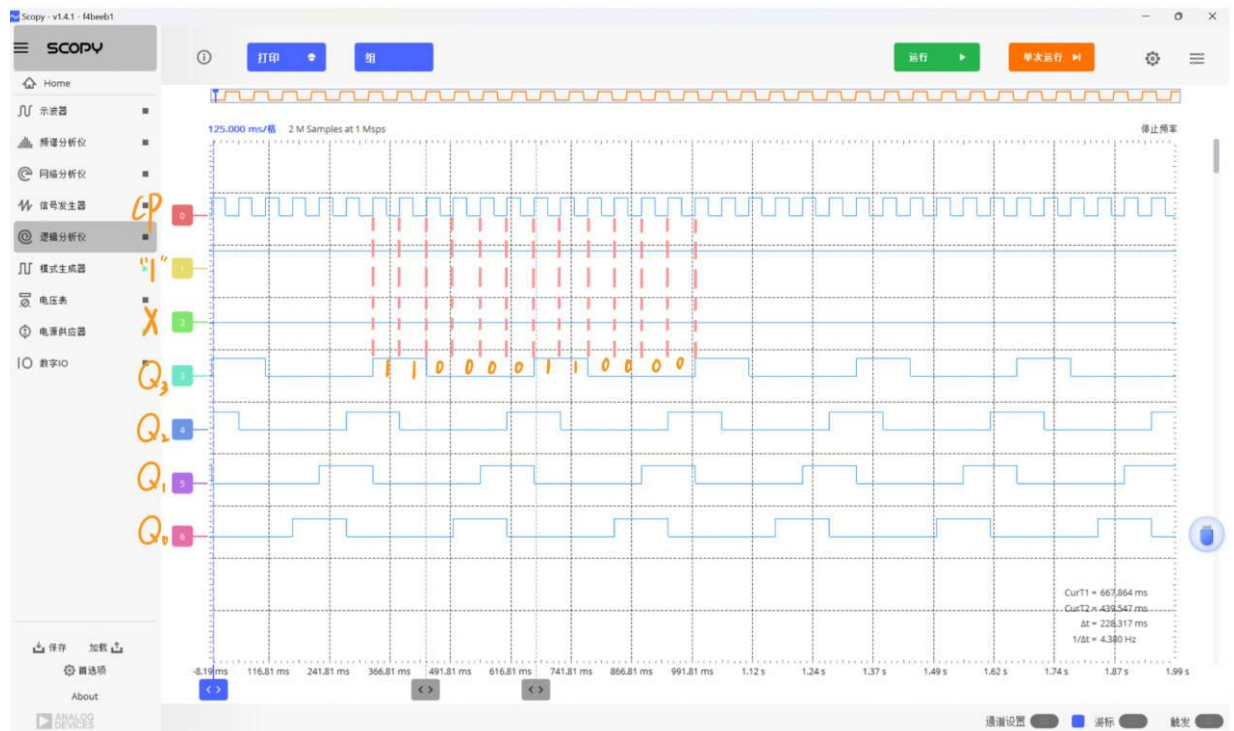
注：接线中红线接高电平，蓝线接地。

四、结果分析

原图：



注解:



得到实验结论:

输出结果与实验要求真值一致:

X=0 时, Q_3 稳定输出序列“001100”;

X=1 时, Q_3 稳定输出序列“110011”。