

การทดลองที่ 7 วงจรจับเวลาโดยใช้วิธี Schematic บนบอร์ด FPGA

วัตถุประสงค์

1. เพื่อให้เข้าใจการออกแบบวงจรดิจิทัลด้วยวิธี Schematic
2. เพื่อให้สามารถออกแบบวงจรดิจิทัล โดยกระบวนการ Top-Down Design

การทดลอง

1. ให้นักศึกษานำเอกสารใบตรวจการทดลองให้อาจารย์ผู้ควบคุมการทดลองเซ็นรับรองเอกสารก่อนเริ่มทำการทดลองภายใน 1 ชม.
2. ให้นักศึกษาสร้างนาฬิกาจับเวลาโดยมีข้อกำหนดดังนี้
 - 1.1 ให้มีปุ่มกดเพื่อให้เวลาเริ่มเดินเมื่อต้องการเริ่มจับเวลา และกดอีกครั้ง(ปุ่มเดิม) เพื่อหยุดเวลาชั่วคราว (กดอีกครั้งเพื่อนับต่อ สลับกันไปเรื่อยๆ)
 - 1.2 ให้มีปุ่มกดเพื่อลบเวลาให้เป็น 00.00 ขณะที่เวลาหยุดเดิน(ขณะกำลังจับเวลาไม่สามารถกดลบเวลาได้)
 - 1.3 แสดงผลเวลาการนับเป็นหน่วยนาที่และวินาทีบนตัวเลขแสดงผลเจ็ดส่วนจำนวนอย่างละ 2 หลัก (นาที่ 00 - 99, วินาที 00 - 59)
 - 1.4 ให้มีจุดหนึ่งจุดตรงกลางระหว่างนาที่และวินาทีกระพริบทุกวินาที(ติดครั้งวินาที ดับครั้งวินาที)เหมือนนาฬิกาโดยทั่วไป
3. ให้นักศึกษาออกแบบวงจรแบบ Top-Down Design โดยทำในกระดาษก่อนแล้วจึงทำวงจรรนาฬิกาในคอมพิวเตอร์เพื่อ Download ลง FPGA ในส่วนที่เป็น PROM(ปิดเครื่อง เปิดใหม่ วงจรยังอยู่และทำงาน

หมายเหตุ กรุณาอ่านหมายเหตุท้ายใบตรวจการทดลองให้ละเอียด

ใบตรวจการทดลองที่ 7

วัน/เดือน/ปี _____

☐

กลุ่มเช้า

☐

กลุ่มบ่าย

รหัสนักศึกษา _____ ชื่อ-นามสกุล _____

การตรวจการทดลอง

☐

บันทึกคะแนนแล้ว

การทดลองข้อ 1 ลายเซ็นผู้ควบคุมการทดลอง _____

☐

ไม่หักส่งซ้ำ

☐

หักส่งซ้ำ 50%

การทดลองข้อ 2 ลายเซ็นอาจารย์ _____ (Top-down)

การทดลองข้อ 3 ลายเซ็นผู้ควบคุมการทดลอง _____ (Perfect circuit)

☐

หักเพิ่มเป็น 10%

☐

หักเพิ่มเป็น 20%

☐

หักเพิ่มเป็น 30%

☐

หักเพิ่มเป็น 40%

☐

หักเพิ่มเป็น 50%

☐

หักเพิ่มเป็น 60%

☐

หักเพิ่มเป็น 70%

☐

หักเพิ่มเป็น 80%

☐

หักเพิ่มเป็น 90%

หมายเหตุ

1. ไม่รับใบตรวจการทดลองที่มีร่องรอยการแก้ไข ขูด ลบ ชีด ข่วน เปลี่ยนแปลงทุกชนิด
2. หากไม่ทำตามข้อกำหนดในการทดลองข้อที่ 1 หัก 50%
3. หากส่งวงจรตามข้อ 3 ให้ตรวจแล้วผิดพลาด หักเพิ่มครั้งละ 10%
4. การทดลองนี้จำกัดการหักคะแนนไม่เกิน 90%