

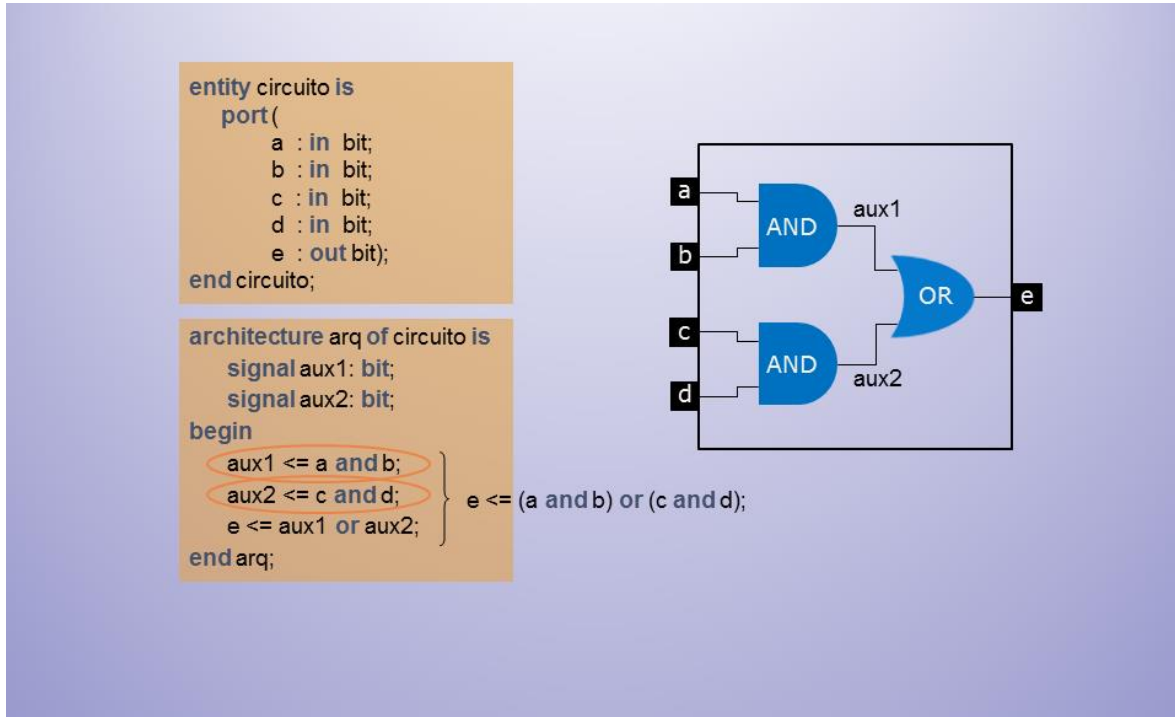
Organización y estructura del lenguaje VHDL



ARREOLA VASQUEZ JESUS ALBERTO
T/M
8.-B
UPZMG
ING. MECATRONICA

Organización y estructura del lenguaje VHDL

Utilizado para describir circuitos digitales y para la automatización de diseño electrónico. VHDL es acrónimo proveniente de la combinación de dos acrónimos: VHSIC (Very High Speed Integrated Circuit) y HDL (Hardware Description Language).

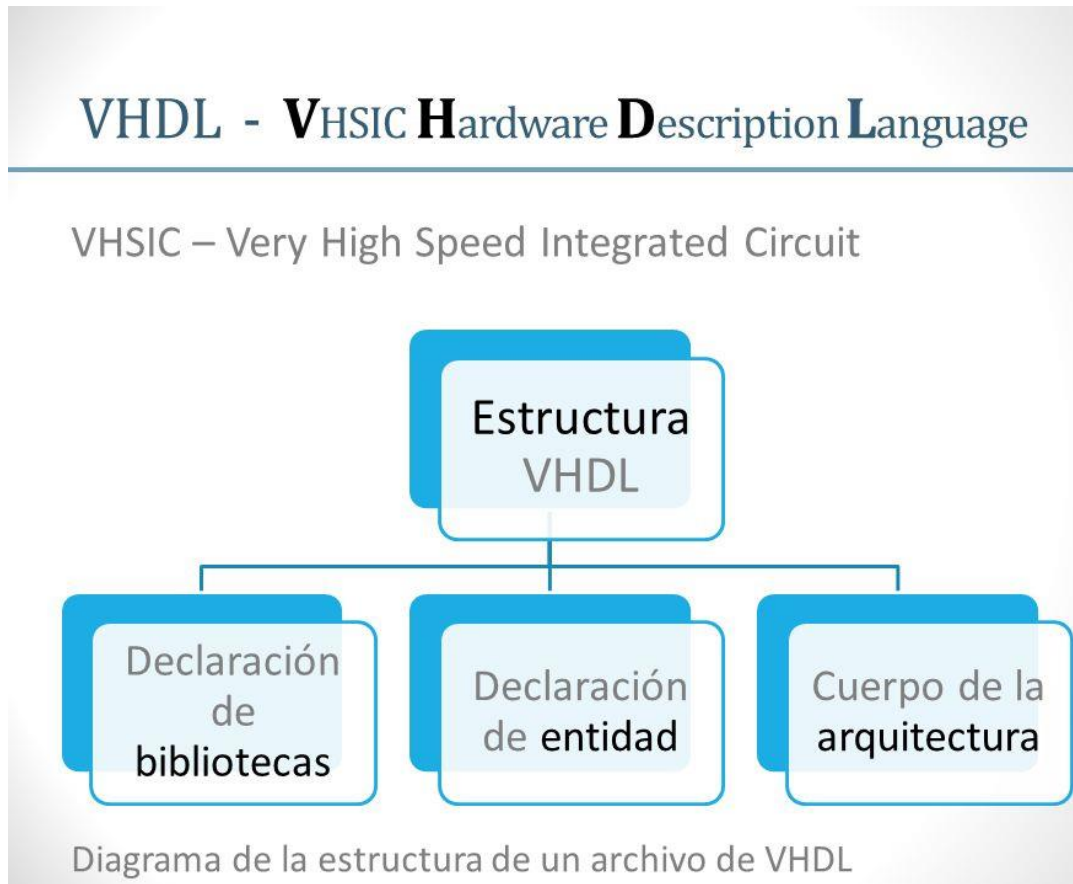


Dentro del **VHDL** hay varias formas con las que se puede diseñar el mismo circuito y es tarea del diseñador elegir la más apropiada.

- **Funcional o Comportamental:** Se describe la forma en que se comporta el circuito digital, se tiene en cuenta solo las características del circuito respecto al comportamiento de las entradas y las salidas. Esta es la forma que más se parece a los *lenguajes de software* ya que la descripción puede ser secuencial, además de combinar características concurrentes. Estas sentencias secuenciales se encuentran dentro de los llamados procesos en VHDL. Los procesos son ejecutados en paralelo entre sí, y en paralelo con asignaciones concurrentes de señales y con las instancias a otros componentes.
- **Flujo de datos:** Se describen asignaciones concurrentes (en paralelo) de señales.
- **Estructural:** Se describe el circuito con instancias de componentes. Estas instancias forman un diseño de jerarquía superior, al conectar los puertos de estas instancias con las señales internas del circuito, o con puertos del circuito de jerarquía superior.

Es la recomendada cuando el diseño digital se vuelve complejo o está conformado por múltiples bloques de hardware.

- **Mixta:** combinación de todas o algunas de las anteriores.



Estructura de programa

VHDL fue diseñado con base a los principios de la programación estructurada. La idea es definir la interfaz de un módulo de hardware mientras deja invisible sus detalles internos. La entidad (ENTITY) en VHDL es simplemente la declaración de las entradas y salidas de un módulo mientras que la arquitectura (ARCHITECTURE) es la descripción detallada de la estructura interna del módulo o de su comportamiento.

En la siguiente figura se ilustra el concepto anterior. Muchos diseñadores conciben la Entity como una funda de la arquitectura dejando invisible los detalles de lo que hay dentro (architecture). Esto forma la base de un sistema de diseño jerárquico, la arquitectura de la entidad de más nivel (top level) puede usar otras entidades, dejando invisible los detalles de la arquitectura de la identidad de menos nivel. En la figura las entidades B, E y F no

utilizan otras entidades. Mientras que la entidad A utiliza todas las demás. A la pareja entidad-arquitectura se la llama modelo. En un fichero texto VHDL la entidad y la arquitectura se escriben separadas, por ejemplo a continuación se muestra un programa muy simple en VHDL de una compuerta de 2 entradas. Como otros programas, VHDL ignora los espacios y saltos de líneas. Los comentarios se escriben con 2 guiones (--) y terminan al final de la línea.

En la figura siguiente se muestra la estructura de un modelo en VHDL. SINTAXIS PARA LA DECLARACIÓN DE LA ENTIDAD VHDL define muchos caracteres especiales llamados “palabras reservadas”. Aunque las palabras reservadas no son sensibles a las mayúsculas o minúsculas, en el ejemplo que sigue las utilizaremos en mayúsculas y negrita para identificarlas.

REFERENCIAS:

<https://slideplayer.es/slide/1127084/>

https://www.matpic.com/esp/descargas/vhdl_beamer/Clase_2_Estructura%20de%20VHDL.pdf