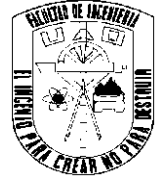




**Procesamiento de Señales.**  
**Prof. José de Jesús Santana Ramírez, Ing.**  
Ingeniería Biomédica



Séptimo semestre

**Resumen ADC**

Alberto González Moreno

290466

Grupo 41

Martes, 15 de noviembre del 2022

## Módulo Convertidor Analógico – Digital (ADC)

El convertidor analógico digital (ADC) es un periférico que convierte un voltaje analógico continuo en un número digital discreto.

La tarjeta incluye dos módulos que comparten:

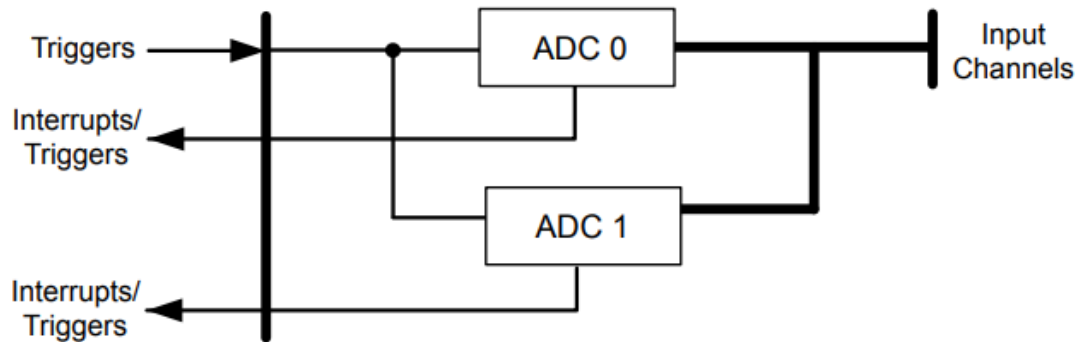
- 12 canales de entrada analógica compartidos
- 12 bits de precisión
- Configuraciones de entrada simple y diferencial
- Sensor de temperatura interno
- Velocidad máxima de muestreo de 1 millón de muestras/segundo
- Desplazamiento de fase opcional en tiempo de muestreo programable de 22.5° a 337.5°
- Cuatro secuencias de conversión de muestras programables de 1 a 8 entradas con sus correspondientes FIFOs de resultados de conversión
- Control de disparo flexible
  - Controlador
  - Temporizadores
  - Compradores analógicos
  - PWM
  - GPIO
- Promedio por hardware de hasta 64 muestras
- 8 comparadores digitales
- La alimentación y la tierra de los circuitos analógicos están separadas de la alimentación y las tierras digitales
- Transferencias eficientes utilizando Micro Direct Memory Acces Controller (uDMA)→es más rápida.
- Canal dedicado para cada secuenciador de muestras
- El módulo ADC utiliza solicitudes de ráfaga para DMA

Cada módulo proporciona 8 comparadores digitales. Cada comparador digital evalúa el valor de conversión del ADC frente a sus dos valores definidos por el usuario para determinar el rango operativo de la señal. La fuente de disparo para ADC0 y ADC1 puede ser independiente o pueden operar desde la misma fuente, mismas entradas o diferentes. Un desfasador puede retrasar el inicio del muestreo en un ángulo de fase determinado.

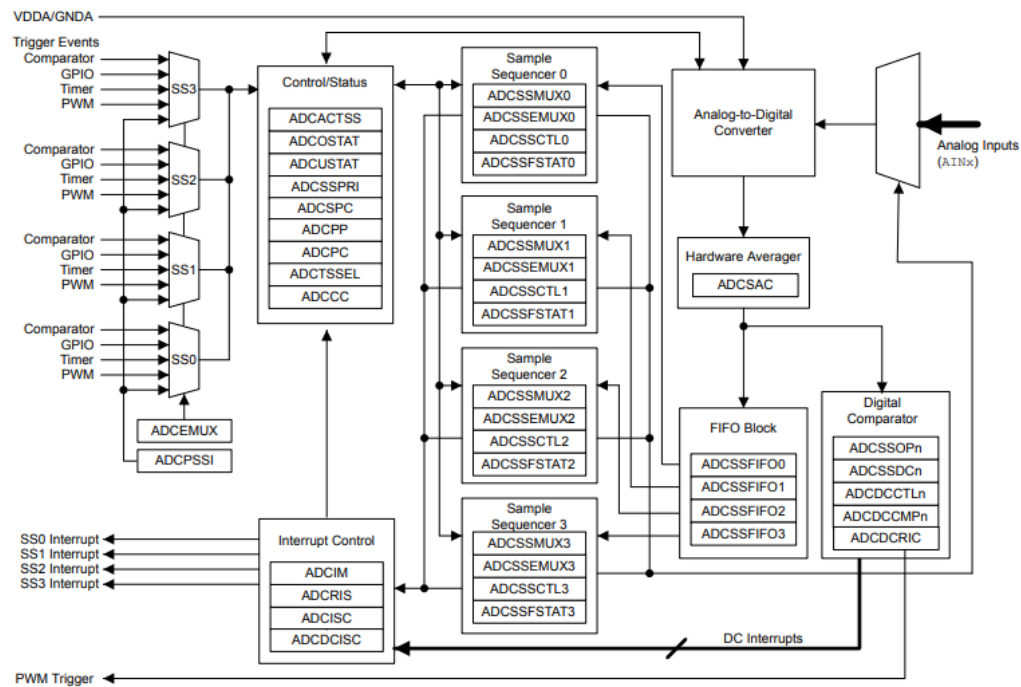
Cuando se utilizan ambos módulos ADC, es posible configurar los convertidores para que inicien las conversiones de forma coincidente o dentro de una fase relativa entre ellos.

## Diagrama de Bloques

En la siguiente imagen, donde se representa el diagrama de bloques, se puede observar que cada módulo ADC funciona de forma independiente, por lo que puede ejecutar diferentes secuencias de muestreo, muestreando cualquiera de los canales de entrada analógica en cualquier momento, y generando diferentes interrupciones y disparos.



En la siguiente imagen, se puede observar a detalle la configuración interna de los controles y registros de los módulos ADC.



## Descripción de la señal

Las señales GPIO tienen distintas funciones de hardware, entre ellas las señales AINx son funciones analógicas para algunas señales GPIO. Estas señales se activan mediante las funciones alternativas mediante la configuración apropiada de los registros GPIOAFSEL y GPIODEN y configurando el campo de bits PMCx en el registro de GPIOPCTL.

A continuación, se puede observar la tabla de las señales del ADC. La columna “Pin Mux/Pin Assignment” enumera la ubicación de los pines GPIO para las señales del ADC. Estas señales se configuran quitando el bit DEN en el registro GPIODEN y escribiendo el bit AMSEL en el registro GPIOAMSEL.

Pin Name	Pin Number	Pin Mux / Pin Assignment	Pin Type	Buffer Type <sup>a</sup>	Description
AIN0	6	PE3	I	Analog	Analog-to-digital converter input 0.
AIN1	7	PE2	I	Analog	Analog-to-digital converter input 1.
AIN2	8	PE1	I	Analog	Analog-to-digital converter input 2.
AIN3	9	PE0	I	Analog	Analog-to-digital converter input 3.
AIN4	64	PD3	I	Analog	Analog-to-digital converter input 4.
AIN5	63	PD2	I	Analog	Analog-to-digital converter input 5.
AIN6	62	PD1	I	Analog	Analog-to-digital converter input 6.
AIN7	61	PD0	I	Analog	Analog-to-digital converter input 7.
AIN8	60	PE5	I	Analog	Analog-to-digital converter input 8.
AIN9	59	PE4	I	Analog	Analog-to-digital converter input 9.
AIN10	58	PB4	I	Analog	Analog-to-digital converter input 10.
AIN11	57	PB5	I	Analog	Analog-to-digital converter input 11.

## Descripción de Funcionamiento

El ADC TM4C123GH6PM recolecta muestras de datos utilizando un enfoque basado en la secuencia programable. Cada secuencia de muestreo es una serie totalmente programada de muestras consecutivas, lo que permite al ADC recoger los datos de múltiples fuentes de entrada sin tener que ser reconfigurado o atendido por el procesador.

Parámetros incluidos en la programación de cada muestra en la secuencia de muestreo:

- Fuente de entrada y modo
- Generación de la interrupción al finalizar la muestra
- Indicador de la última muestra de la secuencia

Además, La uDMA se puede utilizar para mover más eficientemente los datos de muestras sin la intervención de la CPU.

## Muestreadores secuenciales

El control de muestreo y la captura de datos son manejados por los secuenciadores de muestras. Todos los secuenciadores son idénticos en su implementación excepto por el número de muestras que pueden ser capturadas y la profundidad del FIFO.

En esta implementación, cada entrada del FIFO es una palabra de 32 bits, con los 12 bits inferiores conteniendo el resultado de la conversión.

Sequencer	Number of Samples	Depth of FIFO
SS3	1	1
SS2	4	4
SS1	4	4
SS0	8	8

Para una determinada secuencia de muestreo, cada muestra se define mediante campos de bits en los registros (ADCSSMUXn) y (ADCSSCTLn), donde "n" corresponde al número de secuencia. Los campos ADCSSMUXn seleccionan el pin de entrada, mientras que los campos ADCSSCTLn contienen los bits de control de muestreo correspondientes a parámetros como la selección del sensor de temperatura, la habilitación de la interrupción, el final de la secuencia y el modo de entrada diferencial. Los secuenciadores de muestreo se habilitan estableciendo el respectivo bit ASENn en el registro del secuenciador de muestreo activo del ADC (ADCACTSS) y deben ser configurados antes de ser habilitados.

El muestreo se inicia entonces fijando el bit SSn en el registro de inicio de secuencia de muestreo del procesador ADC (ADCPSSI). Además, las secuencias de muestreo pueden iniciarse en varios módulos ADC simultáneamente utilizando los bits GSYNC y SYNCWAIT del registro ADCPSSI durante la configuración de cada módulo ADC.

Al configurar una secuencia de muestreo, se permiten múltiples usos del mismo pin de entrada dentro de la misma secuencia. En el registro ADCSSCTLn, los bits IEn pueden establecerse para cualquier combinación de muestras, permitiendo que se generen interrupciones después de cada muestra en la secuencia si es necesario. Además, los bits END pueden establecerse en cualquier punto dentro de la secuencia de muestra.

Una vez que una secuencia de muestreo se ha ejecutado, los datos resultantes pueden recuperarse de los registros FIFO de resultados de la secuencia de muestreo del ADC (ADCSSFIFO<sub>n</sub>). Los FIFOs son simples búferes circulares que leen una sola dirección para "sacar" los datos de los resultados. Para propósitos de depuración del software, las posiciones de los punteros de la cabeza y la cola del FIFO son visibles en los registros de Estado del FIFO de Secuencia de Muestreo del ADC (ADCSSFSTAT<sub>n</sub>) junto con las banderas de estado LLENO y VACÍO. Si se intenta escribir cuando el FIFO está lleno, la escritura no se produce y se indica una condición de desbordamiento. Las condiciones de desbordamiento y subdesbordamiento se monitorizan mediante los registros ADCOSTAT y ADCUSTAT.

## Control Modular

Además de los secuenciadores de muestras, la lógica de control es responsable de las siguientes tareas:

Generación de interrupciones

- Operación DMA
- Priorización de secuencias
- Configuración de los disparos
- Configuración del comparador
- Control de la fase de la muestra
- Reloj del módulo

La mayor parte de la lógica de control del ADC se ejecuta a la velocidad de reloj del ADC de 16Mhz. El divisor interno del ADC se configura para el funcionamiento a 16 MHz automáticamente por hardware cuando se selecciona el XTAL del sistema con el PLL.

## Interrupciones

Las señales de interrupción del módulo ADC son controladas por el estado de los bits MASK en el registro ADC Interrupt Mask (ADCIM). El estado de las interrupciones puede verse en dos ubicaciones: el registro ADC Raw Interrupt Status (ADCRIS), que muestra el estado bruto de las distintas señales de interrupción; y el registro ADC Interrupt Status and Clear (ADCISC), que muestra las interrupciones activas que están habilitadas por el registro ADCIM. Las interrupciones del secuenciador se borran escribiendo un 1 en el bit IN correspondiente en ADCISC. Las interrupciones del comparador digital se borran escribiendo un 1 en el registro ADC Digital Comparator Interrupt Status and Clear (ADCDCISC).

## Operación DMA

El módulo ADC proporciona una señal de solicitud desde cada secuenciador de muestras al canal dedicado asociado del controlador  $\mu$ DMA. Una solicitud de transferencia en ráfaga se afirma cuando se establece el bit de interrupción para la secuencia de muestras (se establece el bit IE en el registro ADCSSCTLn).

El tamaño de arbitraje de la transferencia  $\mu$ DMA debe ser una potencia de 2, y los bits IE asociados en el registro ADCSSCTLn deben establecerse. Por ejemplo, si el canal  $\mu$ DMA de SS0 tiene un tamaño de arbitraje de cuatro, el bit IE3 (4ª muestra) y el bit IE7 (8ª muestra) deben estar establecidos. Así, la petición  $\mu$ DMA se produce cada vez que se han adquirido 4 muestras. No se necesitan otros pasos especiales para habilitar el módulo ADC para el funcionamiento  $\mu$ DMA.

## Jerarquías

Cuando los eventos de muestreo (triggers) se producen de forma concurrente, se priorizan para su procesamiento por los valores del registro de prioridad del secuenciador de muestras

del ADC (ADCSSPRI). Los valores de prioridad válidos están en el rango de 0-3, siendo 0 la prioridad más alta y 3 la más baja.

### Eventos de muestreo

Si los convertidores funcionan a la misma velocidad de muestreo, pueden configurarse para iniciar las conversiones de forma coincidente o con una de las 15 fases discretas diferentes entre sí. El tiempo de muestreo puede retrasarse respecto al tiempo de muestreo estándar en incrementos de 22,5° hasta 337,5° utilizando el registro de control de fase de muestreo del ADC (ADCSPC).

Esta función puede utilizarse para duplicar la velocidad de muestreo de una entrada. Tanto el módulo ADC 0 como el módulo ADC 1 pueden ser programados para muestrear la misma entrada. El módulo ADC 0 podría muestrear a la velocidad estándar.