Prova Finale (Progetto di Reti Logiche)

## Prof. Gianluca Palermo – Anno 2020/2021

## Alberto Pirillo - Codice Persona 10667220

Indice

[*1. Introduzione 2*](#_Toc78067747)

[*2. Architettura 3*](#_Toc78067748)

[*3. Risultati sperimentali 4*](#_Toc78067749)

[*4. Conclusioni 5*](#_Toc78067750)

# 1. Introduzione

|  |  |  |
| --- | --- | --- |
| Componente | Testbench | Significato |
| *i\_clk* | *tb\_clk* | Clock generato dal testbench |
| *i\_rst* | *tb\_rst* | Inizializza la macchina, pronta per ricevere START |
| *i\_start* | *tb\_start* | Segnale di START |
| *i\_data* | *mem\_o\_data* | Vettore che arriva dalla memoria in seguito a una richiesta di lettura |
| *o\_address* | *mem\_address* | Vettore di uscita contenente l’indirizzo alla memoria |
| *o\_done* | *tb\_done* | Fine elaborazione e fine scrittura in memoria |
| *o\_en* | *enable\_wire* | Segnale da mandare per poter comunicare (R/W) |
| *o\_we* | *mem\_we* | Deve essere 1 per scrivere in memoria, 0 per leggere da memoria |
| *o\_data* | *mem\_i\_data* | Vettore in uscita verso la memoria |

# 2. Architettura

# 3. Risultati sperimentali

# 4. Conclusioni