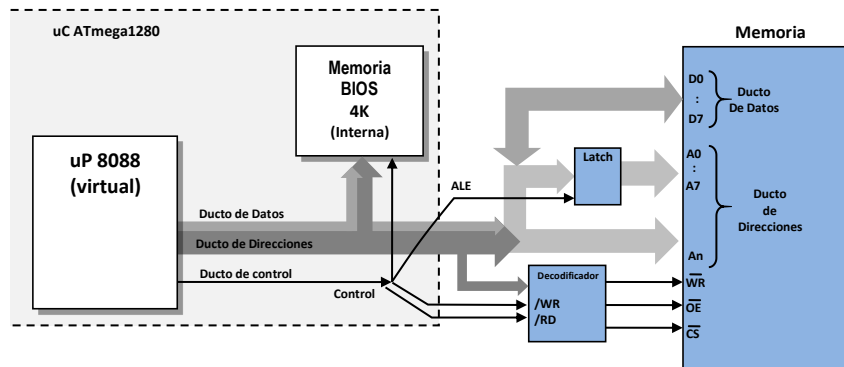


Práctica No. 4. Continuación



El enfoque de este texto es solo para el análisis y diseño del decodificador. El decodificador solo estará compuesto por compuertas lógicas.

Les recomiendo que revisen el siguiente esquemático [TJuino_sch.pdf](#). El conector de interés es *XIO_HL*, ahí podrán encontrar las terminales de A0-A15, ALE, /RD y /WR; de las cuales varias serán las entradas del decodificador.

Y solo para recapitular, el rango de direcciones quedan asignadas de la siguiente forma en la virtualización actual del 8088 sobre el TJuino:

0x00200	MEMORIA INTERNA (SRAM Interna)
...	
0x021FF	MEMORIA EXTERNA DIRECCIONABLE POR EL TJUINO
0x02200	
...	
0x0FFFF	
...	
0xFFFFF	

Para esta práctica, se supondrá que la memoria externa que se conectara al decodificador es de **2KB** (en caso de que la memoria que consigan sea de mayor capacidad, se tendrán que aterrizar las terminales de A11 en adelante de la memoria, para que funja como una de 2KB). Y también esta memoria tendrá un **rango de direcciones espejo** (de las cuales la longitud también será de 2KB).

Cada alumno es asignado un cierto rango de direcciones (al igual que las direcciones espejo) y son las siguientes:

Dirección Inicial	Dirección Inicial Espejo	Alumno (Jueves/Viernes)
0x3800	0x7800	Adame/ Bolaños
0x5000	0xD000	Calleros/ Calderon
0x5800	0x7800	Duran/ Cebreros
0x6000	0x2000	Espinoza / Duran
0x6800	0xE800	Garza / Jauregui
0x7000	0x5000	Gutierrez / Jimenez H.
0x7800	0xF800	Mungarro / Jimenez R.
0x9000	0xB000	Nevarez / Leon
0x9800	0x1800	Riviera / Lizarraga
0xA000	0x8000	Ruiz / Lopez Madrigal
0xA800	0x2800	Salas / Lopez Maldonado
0xB000	0x3000	Sandoval / Montero
0xB800	0xA800	Tona / Ramirez
0xC000	0x4000	Rios / Saucedo
0xC800	0x8800	Ascencio / Silva
0xF800	0xD800	Resendez / Valderrabano
0xD800	0x5800	X