

Reti Logiche T

Esercizi reti combinatorie

Esercizio 1

La tabella della verità della seguente funzione di 5 ingressi non è riportata integralmente, ma è riportato il valore dell'uscita come funzione di x_0, x_1 , e x_2 quando le altre variabili di ingresso sono fissate ad una delle loro 4 possibili configurazioni. Prima di procedere alla sintesi sarà quindi necessario riempire le mappe di Karnaugh effettuando la valutazione delle funzioni.

x_4	x_3	x_2	x_1	x_0	U
0	0				$x_0 \cdot x_1 \cdot x_2 + \bar{x}_0 \cdot \bar{x}_1 \cdot x_2$
0	1				$x_0 + x_1 + x_2$
1	0				$x_0 \oplus x_1 \oplus x_2 + \bar{x}_2$
1	1				$x_0 \cdot x_1 \cdot x_2$

		$x_1 x_0$			
		00	01	11	10
$x_3 x_2$	00	0	0	0	0
	01	1	0	1	0
	11	1	1	1	1
	10	0	1	1	1

$x_4 = 0$

		$x_1 x_0$			
		00	01	11	10
$x_3 x_2$	00	1	1	1	1
	01	1	0	1	0
	11	1	1	0	1
	10	1	1	1	1

$x_4 = 1$

- Si esegua la sintesi minima SP e PS.
- Si disegni lo schema a NAND (assumendo di avere a disposizione segnali in forma vera e negata).
- Si disegni lo schema con multiplexer a 5 bit di indirizzo ai cui bit di indirizzo siano collegati (dal meno al più significativo) gli ingressi x_0, x_1, x_2, x_3 e x_4 .
- Si disegni lo schema con multiplexer a 2 bit di indirizzo a cui siano collegati (dal meno al più significativo) gli ingressi x_3 e x_4 .

Esercizio 2

Scrivere l'espressione generale PS di n variabili. Qual è il numero di interconnessioni di una rete che realizza l'espressione generale PS di n variabili?

Disegnare una rete che realizza l'espressione generale PS di 3 variabili.

$x_3x_2 \backslash x_1x_0$	00	01	11	10
00	0	0	0	0
01	1	0	1	0
11	1	1	1	1
10	0	1	1	1

$x_4 = 0$

$x_3x_2 \backslash x_1x_0$	00	01	11	10
00	1	1	1	1
01	1	0	1	0
11	1	1	0	1
10	1	1	1	1

$x_4 = 1$

$$SP: \overline{x_4} \overline{x_2} + \overline{x_4} x_3 x_1 + x_2 \overline{x_1} \overline{x_0} + \overline{x_3} x_2 x_1 x_0 + x_3 \overline{x_1} x_0 + x_4 x_3 \overline{x_0}$$

$x_3x_2 \backslash x_1x_0$	00	01	11	10
00	0	0	0	0
01	1	0	1	0
11	1	1	1	1
10	0	1	1	1

$x_4 = 0$

$x_3x_2 \backslash x_1x_0$	00	01	11	10
00	1	1	1	1
01	1	0	1	0
11	1	1	0	1
10	1	1	1	1

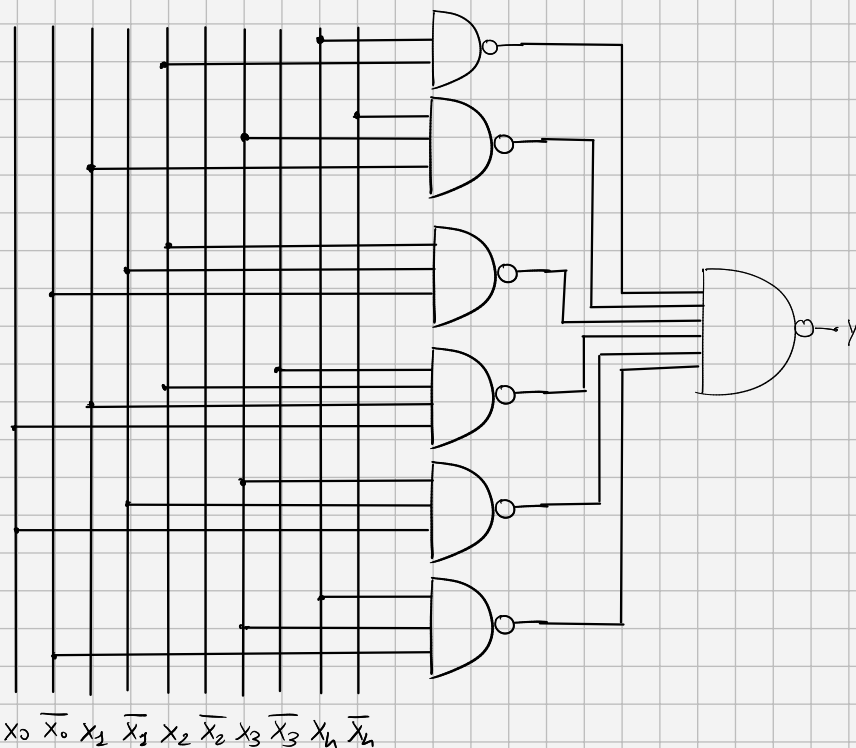
$x_4 = 1$

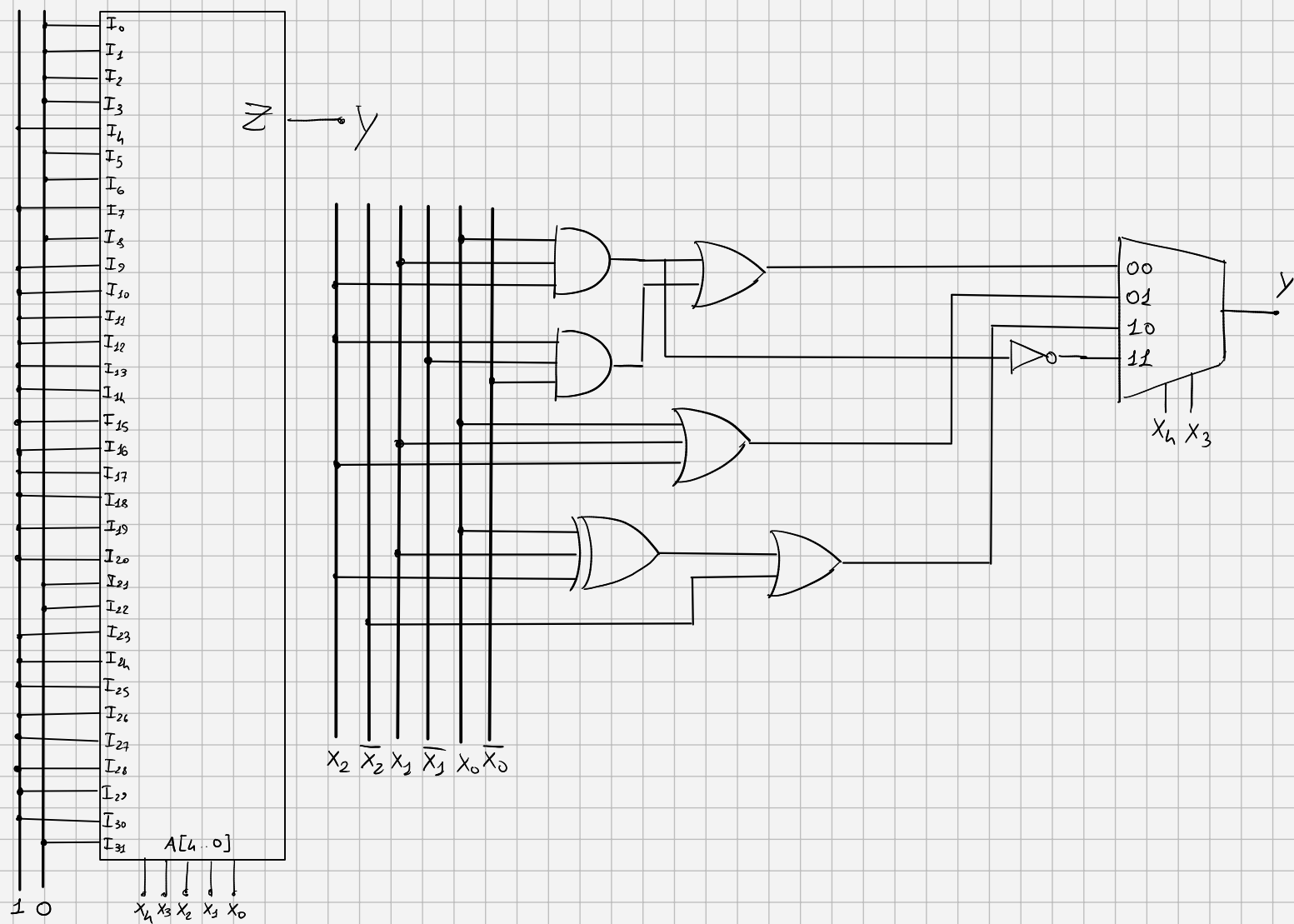
$$PS: (\overline{x_4} + \overline{x_3} + \overline{x_2} + \overline{x_1} + \overline{x_0}) \cdot (x_3 + \overline{x_2} + x_1 + \overline{x_0}) \cdot (x_4 + x_3 + x_2) \cdot (x_3 + \overline{x_2} + \overline{x_1} + x_0) \cdot (x_4 + x_2 + x_1 + x_0)$$

$$SP: \overline{x_4} \overline{x_2} + \overline{x_4} x_3 x_1 + x_2 \overline{x_1} \overline{x_0} + \overline{x_3} x_2 x_1 x_0 + x_3 \overline{x_1} x_0 + x_4 x_3 \overline{x_0}$$

↓

$$SP(\uparrow): (x_4 \uparrow \overline{x_2}) \uparrow (\overline{x_4} \uparrow x_3 \uparrow x_1) \uparrow (x_2 \uparrow \overline{x_1} \uparrow \overline{x_0}) \uparrow (\overline{x_3} \uparrow x_2 \uparrow x_1 \uparrow x_0) \uparrow (x_3 \uparrow \overline{x_1} \uparrow x_0) \uparrow (x_4 \uparrow x_3 \uparrow \overline{x_0})$$





Esercizio 2

Scrivere l'espressione generale PS di n variabili. Qual è il numero di interconnessioni di una rete che realizza l'espressione generale PS di n variabili?

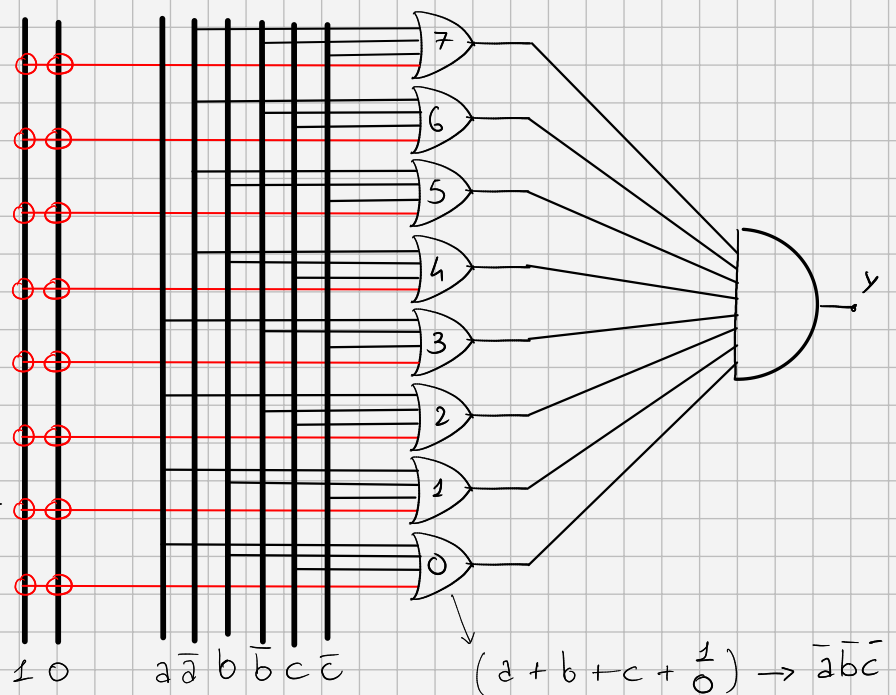
Disegnare una rete che realizza l'espressione generale PS di 3 variabili.

$$PS: \prod_{i=1}^{2^m-1} (M(i) + f(i))$$

numero di interconnessioni:

4 per ogni gate + 8 per l'AND = 36

contatto
aperto chiuso



Esercizio 3

Data l'espressione dell'algebra di commutazione

$$Z = ((a + b) \cdot (c + d) + a \cdot (b + c')) \cdot (a + d')$$

- Se ne disegni lo schema logico a NOR.
- Si arrivi ad una forma SP, applicando prima il teorema di espansione alla variabile **a**, e poi le opportune equivalenze notevoli. Quella ottenuta è la forma che consente la sintesi di costo minimo SP? In caso negativo, come andrebbe modificata?

Esercizio 4

Siano 11010 e 00100 due stringhe di bit che rappresentano numeri binari con segno rappresentati in complemento a 2. Se ne esegua la somma e la si verifichi in base 10. Si disegni lo schema del circuito necessario ad eseguire la somma basato su full-adder, e si valuti il ritardo di caso peggiore della rete nell'ipotesi che il ritardo introdotto da un full-adder sia di 10 ns.

Esercizio 5

Sia data la funzione rappresentata dalla tabella della verità riportata di seguito.

- Eseguire la sintesi di costo minimo SP.
- Eseguire la sintesi di costo minimo PS.
- Eseguire la sintesi di costo minimo con sole porte NAND.
- Eseguire la sintesi di costo minimo con sole porte NOR.

a	b	c	d	e	z
0	0	0	0	0	-
0	0	0	0	1	1
0	0	0	1	0	1
0	0	0	1	1	0
0	0	1	0	0	-
0	0	1	0	1	1
0	0	1	1	0	0
0	0	1	1	1	-
0	1	0	0	0	-
0	1	0	0	1	0
0	1	0	1	0	1
0	1	0	1	1	-
0	1	1	0	0	0
0	1	1	0	1	0
0	1	1	1	0	0
0	1	1	1	1	0

a	b	c	d	e	z
1	0	0	0	0	1
1	0	0	0	1	-
1	0	0	1	0	1
1	0	0	1	1	0
1	0	1	0	0	1
1	0	1	0	1	-
1	0	1	1	0	0
1	0	1	1	1	0
1	1	0	0	0	-
1	1	0	0	1	0
1	1	0	1	0	-
1	1	0	1	1	0
1	1	1	0	0	1
1	1	1	0	1	1
1	1	1	1	0	-
1	1	1	1	1	1

$$F = (\bar{a} + \bar{b} + c) \cdot (\bar{d} + e) \cdot \bar{f} \cdot g$$

definizione dell'operatore \downarrow ($a \downarrow b = a + b$)

$$F = (\bar{a} \downarrow \bar{b} \downarrow c) \cdot (\bar{d} \downarrow e) \cdot \bar{f} \cdot g$$

E10 (1ª legge di De Morgan: $\bar{a} \cdot \bar{b} = \overline{a + b}$)

$$F = (\bar{a} \downarrow \bar{b} \downarrow c) + (\bar{d} \downarrow e) + f + \bar{g}$$

definizione dell'operatore \downarrow

$$F = (\bar{a} \downarrow \bar{b} \downarrow c) \downarrow (\bar{d} \downarrow e) \downarrow f \downarrow \bar{g}$$

$$Z = [(a + b) \cdot (c + d) + a \cdot (b + \bar{c})] \cdot (a + \bar{d}) =$$

$$= (a + \bar{d}) \cdot (a + b) \cdot (c + d) + a \cdot (b + \bar{c}) \cdot (a + \bar{d})$$

$$\bar{Z} = \overline{(a + \bar{d}) \cdot (a + b) \cdot (c + d) \cdot a \cdot (b + \bar{c}) \cdot (a + \bar{d})}$$

$$\overline{(a \downarrow \bar{d}) \cdot (a \downarrow b) \cdot (c \downarrow d) \cdot a \cdot (b \downarrow \bar{c}) \cdot (a \downarrow \bar{d})} =$$

$$\bar{Z} = \overline{((a \downarrow \bar{d}) + (a \downarrow b) + (c \downarrow d)) + (\bar{a} + (b \downarrow \bar{c}) + (a \downarrow \bar{d}))} =$$

$$= \overline{((a \downarrow \bar{d}) \downarrow (a \downarrow b) \downarrow (c \downarrow d)) + (\bar{a} \downarrow (b \downarrow \bar{c}) \downarrow (a \downarrow \bar{d}))} =$$

$$= ((a \downarrow \bar{d}) \downarrow (a \downarrow b) \downarrow (c \downarrow d)) \downarrow (\bar{a} \downarrow (b \downarrow \bar{c}) \downarrow (a \downarrow \bar{d}))$$

$$a F(1, b, c, d) + \bar{a} F(0, b, c, d)$$

$$F(a, b, c, d) = [(a + b) \cdot (c + d) + a \cdot (b + \bar{c})] \cdot (a + \bar{d})$$

$$a \cdot [(1 + b) \cdot (c + d) + 1 \cdot (b + \bar{c})] \cdot (1 + \bar{d}) =$$

$$\bar{a} \cdot [(0 + b) \cdot (c + d) + 0 \cdot (b + \bar{c})] \cdot (0 + \bar{d}) =$$

$$= a + \bar{a} [b \cdot (c + d) + (b + \bar{c})] \cdot \bar{d} =$$

$$= a + \bar{a} [bc + bd + b + \bar{c}] \cdot \bar{d}$$

$$= a + \bar{a} [b\bar{c}\bar{d} + b\bar{d} + \bar{c}\bar{d}] =$$

$$= a + \bar{a} b \bar{d} + \bar{a} \bar{c} \bar{d}$$

$$\parallel b \bar{d} (c + 1) \Rightarrow b \bar{d} + c \bar{d}$$

...

Data l'espressione dell'algebra di commutazione

$$Z = ((a + b) \cdot (c + d) + a \cdot (b + c')) \cdot (a + d')$$

- Se ne disegni lo schema logico a NOR.
- Si arrivi ad una forma SP, applicando prima il teorema di espansione alla variabile **a**, e poi le opportune equivalenze notevoli. Quella ottenuta è la forma che consente la sintesi di costo minimo SP? In caso negativo, come andrebbe modificata?

$$Z = [(a + b) \cdot (c + d) + a \cdot (b + \bar{c})] \cdot (a + \bar{d}) = (a + b)(a + c)(a + \bar{d})$$

$$z(\downarrow) = (a \downarrow b) \downarrow (a \downarrow c) \downarrow (a \downarrow \bar{d})$$

$$z(SP) = a + bcd$$

cd \ ab	00	01	11	10
00	0	0	0	0
01	0	0	0	1
11	1	1	1	1
10	1	1	1	1

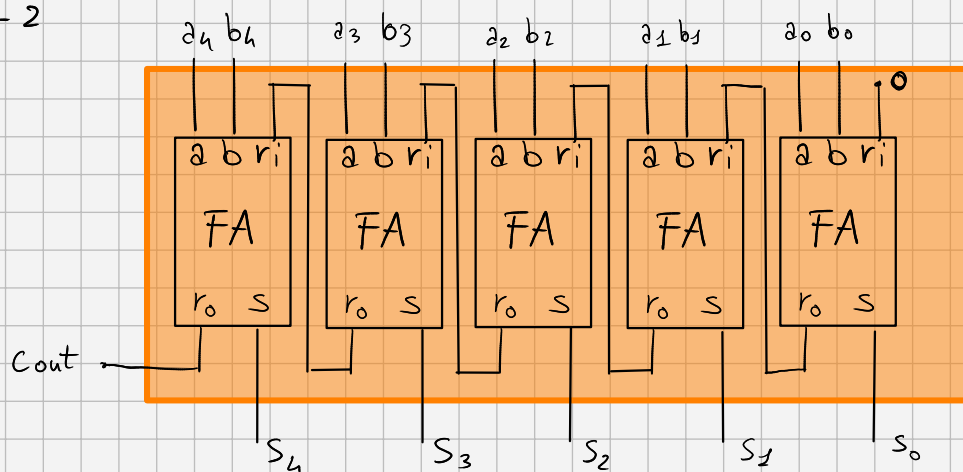
Esercizio 4

Siano 11010 e 00100 due stringhe di bit che rappresentano numeri binari con segno rappresentati in complemento a 2. Se ne esegua la somma e la si verifichi in base 10. Si disegni lo schema del circuito necessario ad eseguire la somma basato su full-adder, e si valuti il ritardo di caso peggiore della rete nell'ipotesi che il ritardo introdotto da un full-adder sia di 10 ns. $\rightarrow 50 \text{ ns}$

$$\begin{array}{r} 11010 + \\ 00100 = \\ \hline 11110 \end{array}$$

$$\begin{array}{r} 00001 + \\ 1 = \\ \hline -00010 = -2 \end{array}$$

$$\begin{array}{r} (-6) + \\ 4 = \\ \hline -2 \end{array}$$



de \ bc	00	01	11	10
00	-	1	0	1
01	-	1	-	0
11	0	0	0	0
10	-	0	-	1

a = 0

de \ bc	00	01	11	10
00	1	1	0	1
01	1	1	0	0
11	1	1	1	-
10	-	0	0	-

a = 1

$$SP: \bar{b}\bar{d} + \bar{c}\bar{e} + abc$$

$$SP(\uparrow): (\bar{b} \uparrow \bar{d}) \uparrow (\bar{c} \uparrow \bar{e}) \uparrow (a \uparrow b \uparrow c)$$

de \ bc	00	01	11	10
00	-	1	0	1
01	-	1	-	0
11	0	0	0	0
10	-	0	-	1

a = 0

de \ bc	00	01	11	10
00	1	-	0	1
01	1	-	0	0
11	1	1	1	-
10	-	0	0	-

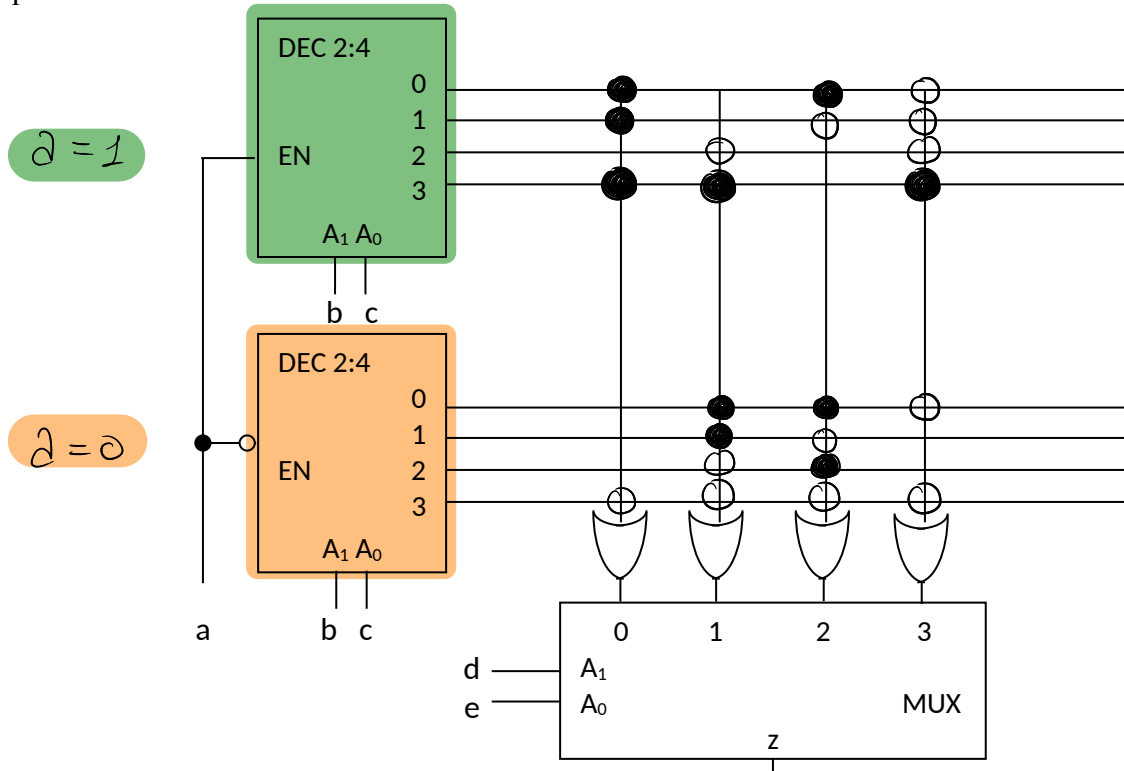
a = 1

$$PS: (b + \bar{d} + \bar{e}) \cdot (b + \bar{c} + \bar{d}) \cdot (b + \bar{c} + e) \cdot (a + \bar{b} + \bar{c})$$

$$PS(\downarrow): (b \downarrow \bar{d} \downarrow \bar{e}) \downarrow (b \downarrow \bar{c} \downarrow \bar{d}) \downarrow (b \downarrow \bar{c} \downarrow e) \downarrow (a \downarrow \bar{b} \downarrow \bar{c})$$

Esercizio 6

Realizzare la funzione specificata all'esercizio precedente, riportando i collegamenti necessari tra righe e colonne nello schema sottostante, usando la notazione compatta che abbiamo introdotto per le ROM:



Esercizio 7

Si effettuino due sintesi della seguente mappa per ottenere:

- l'espressione di costo minimo SP
- l'espressione di costo minimo PS

$x_1 x_0$	00	01	11	10
$x_3 x_2$				
00	0	0	0	1
01	0	0	0	1
11	0	1	1	1
10	0	1	1	1

$x_4 = 0$

$x_1 x_0$	00	01	11	10
$x_3 x_2$				
00	1	1	1	1
01	0	1	1	0
11	0	1	1	0
10	0	0	0	0

$x_4 = 1$

$$SP: \overline{x_4} x_2 \overline{x_0} + \overline{x_4} x_3 x_0 + x_4 \overline{x_3} \overline{x_2} + x_4 x_2 x_0$$

$$PS: (x_4 + x_1 + x_0)(x_4 + x_3 + \overline{x_0})(\overline{x_4} + \overline{x_3} + x_2)(\overline{x_4} + \overline{x_2} + x_0)$$

$x_1 x_0$	00	01	11	10
$x_3 x_2$				
00	0	0	0	1
01	0	0	0	1
11	0	1	1	1
10	0	1	1	1

$x_4 = 0$

$x_1 x_0$	00	01	11	10
$x_3 x_2$				
00	1	1	1	1
01	0	1	1	0
11	0	1	1	0
10	0	0	0	0

$x_4 = 1$

$x_1 x_0$	00	01	11	10
$x_3 x_2$				
00	0	0	0	1
01	0	0	0	1
11	0	1	1	1
10	0	1	1	1

$x_4 = 0$

$x_1 x_0$	00	01	11	10
$x_3 x_2$				
00	1	1	1	1
01	0	1	1	0
11	0	1	1	0
10	0	0	0	0

$x_4 = 1$

Esercizio 8

Si esegua la sintesi di costo minimo SP di un encoder “1 su 3”, e si consideri il comportamento in presenza di configurazioni di ingresso proibite. Si modifichi la sintesi per ottenere un encoder *a priorità*, ovvero un encoder che in presenza di configurazioni proibite riporti in uscita il numero binario più grande tra i possibili ingressi a 1. Ad esempio, un encoder con priorità risponde alla configurazione $X_1 = 1, X_2 = 0, X_3 = 1$ con il numero 3, mentre risponde a $X_1 = 1, X_2 = 1, X_3 = 0$ con il numero 2.

Esercizio 9

Si esegua la sintesi di costo minimo PS e SP di una rete combinatoria con 5 segnali di ingresso (a, b, c, d, e) e un 1 segnale di uscita (z) definita dalla seguente tabella della verità.

a	b	c	d	e	z
0	0	0	0	0	-
0	0	0	0	1	0
0	0	0	1	0	1
0	0	0	1	1	-
0	0	1	0	0	0
0	0	1	0	1	0
0	0	1	1	0	0
0	0	1	1	1	1
0	1	0	0	0	-
0	1	0	0	1	0
0	1	0	1	0	-
0	1	0	1	1	0
0	1	1	0	0	1
0	1	1	0	1	1
0	1	1	1	0	0
0	1	1	1	1	0

a	b	c	d	e	z
1	0	0	0	0	1
1	0	0	0	1	1
1	0	0	1	0	-
1	0	0	1	1	1
1	0	1	0	0	-
1	0	1	0	1	-
1	0	1	1	0	-
1	0	1	1	1	0
1	1	0	0	0	-
1	1	0	0	1	0
1	1	0	1	0	1
1	1	0	1	1	0
1	1	1	0	0	1
1	1	1	0	1	0
1	1	1	1	0	-
1	1	1	1	1	0

Esercizio 10

Una rete combinatoria ha 4 ingressi ($a, b, cbi, s/d'$) e 2 uscite (u, cbo) e deve poter funzionare come adder o subtracter. La rete presenta i seguenti ingressi: a e b operandi, cbi carry in per la somma e prestito richiesto dalle colonne precedenti (*borrow in*) per la differenza, s/d' ingresso di controllo che stabilisce se eseguire la somma o la differenza quando vale rispettivamente 1 o 0. In uscita, la rete presenta u , bit di somma/differenza e cbo , carry out per la somma e prestito da richiedere alle colonne successive per la differenza. Realizzare la sintesi di costo minimo SP e PS e quella tramite MUX, assumendo di avere a disposizione solo MUX a 4 vie.

Si esegua la sintesi di costo minimo SP di un encoder "1 su 3", e si consideri il comportamento in presenza di configurazioni di ingresso proibite. Si modifichi la sintesi per ottenere un encoder *a priorità*, ovvero un encoder che in presenza di configurazioni proibite riporti in uscita il numero binario più grande tra i possibili ingressi a 1. Ad esempio, un encoder con priorità risponde alla configurazione $X_1 = 1, X_2 = 0, X_3 = 1$ con il numero 3, mentre risponde a $X_1 = 1, X_2 = 1, X_3 = 0$ con il numero 2.

X_3	X_2	X_1	U_1	U_0
0	0	0	0	0
0	0	1	0	1
0	1	0	1	0
0	1	1	1	0
1	0	0	1	1
1	0	1	1	1
1	1	0	1	1
1	1	1	1	1

\Rightarrow

X_3	X_2	X_1	U_1	U_0
0	0	1	0	1
0	1	x	1	0
1	x	x	1	1

\Downarrow

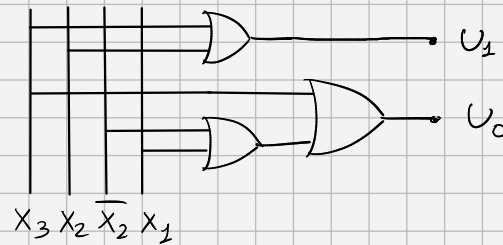
$X_2 X_1$					
X_3		00	01	11	10
		0	0	1	1
1		1	1	1	1

U_1

$X_2 X_1$					
X_3		00	01	11	10
		0	1	0	0
1		1	1	1	1

U_0

U_1 : SP: $X_3 + X_2$
 PS: $(X_3 + X_2)$
 U_0 : SP: $X_3 + \bar{X}_2 X_1$
 PS: $(X_3 + \bar{X}_2)(X_3 + X_1)$



de \ bc	00	01	11	10
00	-	0	-	1
01	0	0	1	0
11	1	1	0	0
10	-	0	0	-

$a = 0$

de \ bc	00	01	11	10
00	1	1	1	-
01	-	-	0	-
11	1	0	0	-
10	-	0	0	1

$a = 1$

$$z = \bar{c}\bar{e} + \bar{a}\bar{b}de + b\bar{d}\bar{e} + ab\bar{c} + \bar{a}bc\bar{d}$$

a	b	c	d	e	z
0	0	0	0	0	-
0	0	0	0	1	0
0	0	0	1	0	1
0	0	0	1	1	-
0	0	1	0	0	0
0	0	1	0	1	0
0	0	1	1	0	0
0	0	1	1	1	1
0	1	0	0	0	-
0	1	0	0	1	0
0	1	0	1	0	-
0	1	0	1	1	0
0	1	1	0	0	1
0	1	1	0	1	1
0	1	1	1	0	0
0	1	1	1	1	0

a	b	c	d	e	z
1	0	0	0	0	1
1	0	0	0	1	1
1	0	0	1	0	-
1	0	0	1	1	1
1	0	1	0	0	-
1	0	1	0	1	-
1	0	1	1	0	-
1	0	1	1	1	0
1	1	0	0	0	-
1	1	0	0	1	0
1	1	0	1	0	1
1	1	0	1	1	0
1	1	1	0	0	1
1	1	1	0	1	0
1	1	1	1	0	-
1	1	1	1	1	0

de \ bc	00	01	11	10
00	-	0	-	1
01	0	0	1	0
11	1	1	0	0
10	-	0	0	-

$a = 0$

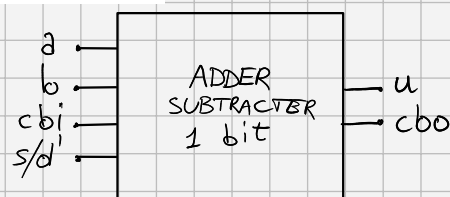
de \ bc	00	01	11	10
00	1	1	1	-
01	-	-	0	-
11	1	0	0	-
10	-	0	0	1

$a = 1$

$$z = (\bar{c} + \bar{d} + e) \cdot (a + b + d) \cdot (\bar{b} + c + d) \cdot (\bar{a} + \bar{c} + \bar{e}) \cdot (\bar{b} + \bar{d} + \bar{e})$$

Una rete combinatoria ha 4 ingressi (a , b , c_{bi} , s/d') e 2 uscite (u , c_{bo}) e deve poter funzionare come adder o subtracter. La rete presenta i seguenti ingressi: a e b operandi, c_{bi} carry in per la somma e prestito richiesto dalle colonne precedenti (*borrow in*) per la differenza, s/d' ingresso di controllo che stabilisce se eseguire la somma o la differenza quando vale rispettivamente 1 o 0. In uscita, la rete presenta u , bit di somma/differenza e c_{bo} , carry out per la somma e prestito da richiedere alle colonne successive per la differenza. Realizzare la sintesi di costo minimo SP e PS e quella tramite MUX, assumendo di avere a disposizione solo MUX a 4 vie.

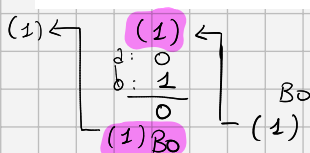
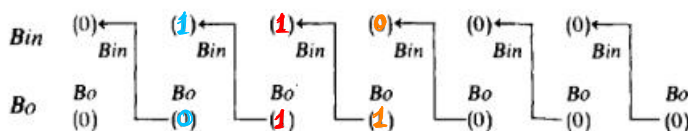
s/d'	c _{bi}	a	b	u	c _{bo}
0	0	0	0	0	0
0	0	0	1	1	1
0	0	1	0	1	0
0	0	1	1	0	0
0	1	0	0	1	1
0	1	0	1	0	1
0	1	1	0	0	0
0	1	1	1	1	1
1	0	0	0	0	0
1	0	0	1	1	0
1	0	1	0	1	0
1	0	1	1	0	1
1	1	0	0	1	0
1	1	0	1	0	1
1	1	1	0	0	1
1	1	1	1	1	1



B_{out} of one bit position is the **B_{in}** of the next more significant bit position.

It should become clearer from this picture:

	64s	32s	16s	8s	4s	2s	1s	
A	1	1	1	0	1	0	1	117
-B	-0	0	1	1	1	0	0	-28
D _i	1	0	1	1	0	0	1	89



ab \ sc	00	01	11	10
00	0	1	0	1
01	1	0	1	0
11	1	0	1	0
10	0	1	0	1

→ u

ab \ sc	00	01	11	10
00	0	1	0	1
01	1	0	1	0
11	1	0	1	0
10	0	1	0	1

→ u

u: SP: $\bar{c}\bar{a}\bar{b} + c\bar{a}\bar{b} + cab + \bar{c}ab$
 PS: $(c+a+b) \cdot (\bar{c}+a+\bar{b}) \cdot (c+\bar{a}+\bar{b}) \cdot (\bar{c}+\bar{a}+b)$

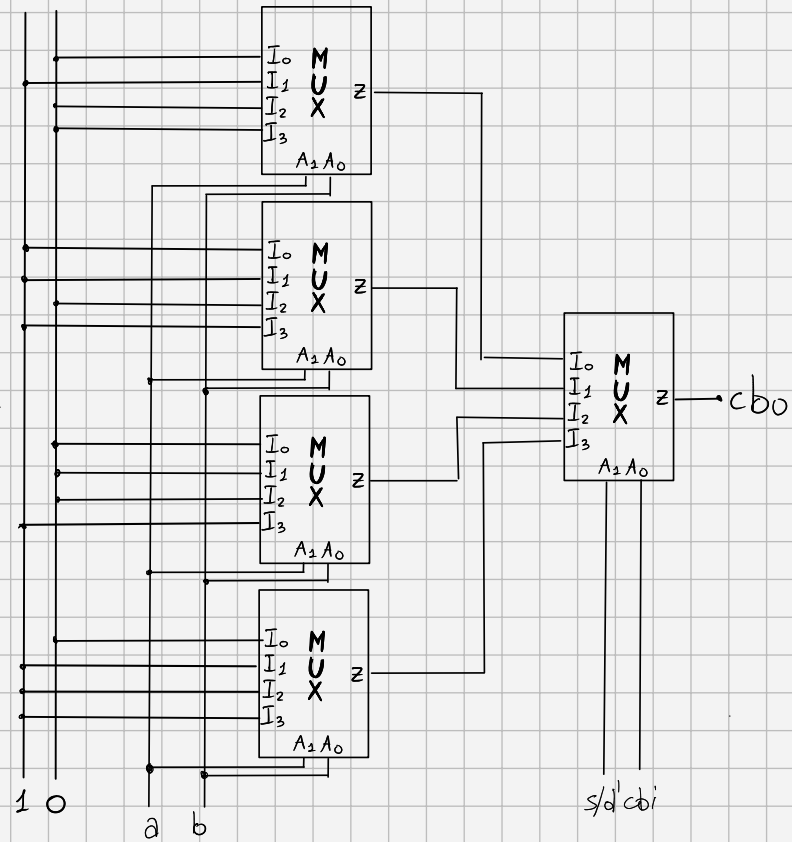
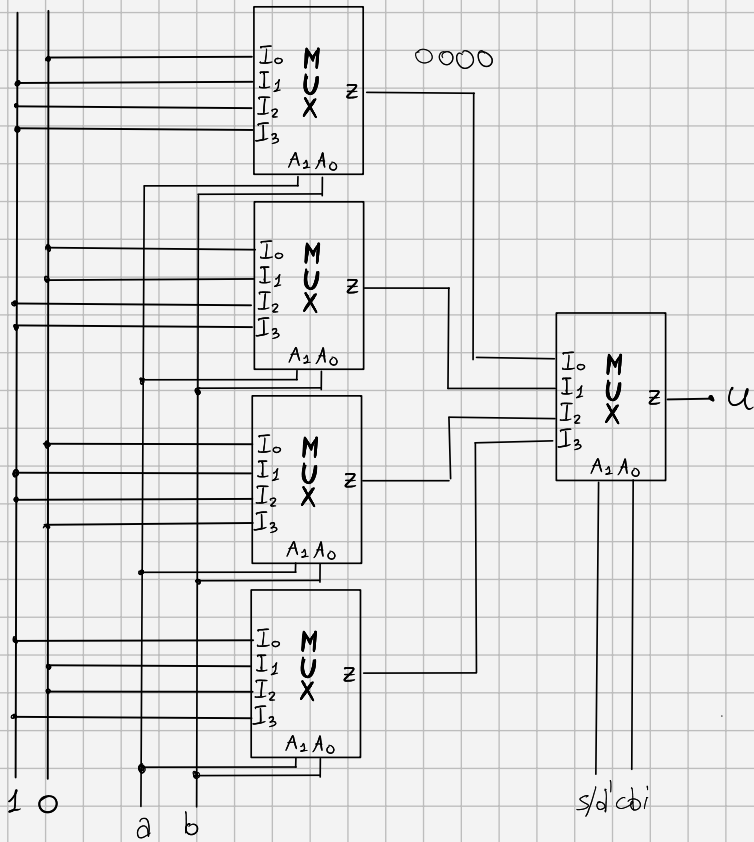
ab \ sc	00	01	11	10
00	0	1	0	0
01	1	1	1	0
11	0	1	1	1
10	0	0	1	0

→ cbo

ab \ sc	00	01	11	10
00	0	1	0	0
01	1	1	1	0
11	0	1	1	1
10	0	0	1	0

→ cbo

cbo: SP: $cb + \bar{s}\bar{a}b + \bar{s}c\bar{a} + sca + sab$
 PS: $(c+b) \cdot (\bar{s}+a+b) \cdot (s+\bar{a}+b) \cdot (\bar{s}+c+a) \cdot (s+c+\bar{a})$



Esercizio 11

Date due ROM da 1 KB, che memorizzano al loro interno numeri con segno a 8 bit rappresentati in complemento a 2, si disegni lo schema della rete logica combinatoria che ha in ingresso un bus $A[?..0]$ che indica l'indirizzo di una cella nella prima ROM e della cella con lo stesso indirizzo nella seconda ROM, e produce in uscita la differenza dei due numeri sul bus $D[?..0]$, indicando se il risultato non è valido sul bit O. Quanti ingressi e quante uscite ha la rete?

↳ 10 $A[9..0]$

