

Elektronik 2

FS 25 – Prof. Guido Keel
Autoren: Alessio Ciceri, Ricca Aaron
V 1.0.June 26 https://github.com/AleCic02/Elo2
2025

1 Feldeffekt-Transistoren

1.1 FET-Typen und Symbole

1.1.1 Anschlüsse eines FET

Kanal von Drain zu Source (Stromfluss), gesteuert von Gate (und Bulk).

Wichtig ist, dass die Verarmungsmosfets SEHR selten sind. Wenn sie werdenet sind, sollte es explizit geschrieben werden.

1.2 Sperrsicht-FET / Junction FET (JFET)

1.2.1 Linearer Bereich (gesteuerter Widerstand)

- Für kleinen Spannung-Unterschied V_{DS}
- V_{GS} ändert Dicke der Raumladungszone (Kanal)
- n-Kanal JFET: Je negativer V_{GS} , desto weniger Strom fließt bzw. desto enger der Kanal

$$I_D = \frac{2 \cdot I_{DSS}}{V_p^2} \left(V_{GS} - V_p - \frac{V_{DS}}{2} \right) V_{DS}$$

1.2.2 Sättigungs-Bereich (Stromquelle)

- Für hohes V_{DS} wird leitender Kanal abgeschürt
→ Strom kann nicht weiter steigen (Stromquelle)
- Übergang gest. Widerstand zu Stromquelle @ V_{DSP}
→ $V_{DSP} = V_{GS} - V_p$ (V_p = Pinch-Off-Spannung)

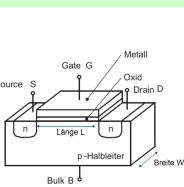
$$I_D = \frac{I_{DSS}}{V_p^2} \cdot (V_{GS} - V_p)^2$$

Verstärkungsmass Transkonduktanz:

$$g_m = \frac{2 \cdot I_{DSS}}{V_p^2} \cdot (V_{GS} - V_p) = \frac{2}{|V_p|} \cdot \sqrt{I_{DSS} \cdot I_D} \quad [g_m] = S$$

1.3 MOS-FETs

1.3.1 Aufbau

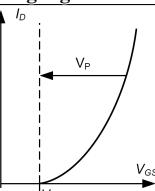


L Länge des Transistors
 W Breite des Transistors

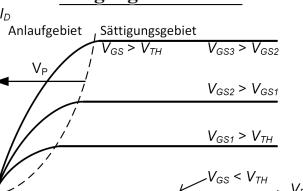
- N-Kanal FET: Drain und Source sind n-dotiert
- Kanal ist p-dotiert

1.3.2 Kennlinien

Eingangskennlinie



Ausgangskennlinien



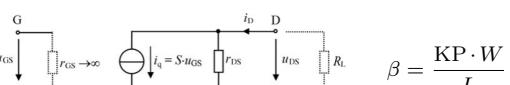
1.3.3 Bereiche

- Sperrbereich:** $V_{GS} < V_{TH}$
- Linearer (Widerstands-)Bereich / Anlaufbereich:** $V_{GS} > V_{TH}$
- Sättigungsbereich (Stromquelle):** $V_{DS} > V_{GS} - V_{TH}$

Anlaufbereich (Linearer Bereich)

$$I_{D,lin} = \beta \cdot (V_{GS} - V_{TH} - \frac{V_{DS}}{2}) \cdot I_{DSS} = \frac{\beta}{2} \cdot (V_{GS} - V_{TH})^2$$

1.3.4 Kleinsignal-Ersatzschaltung (MOS-FET) Voltage Controlled Current Source



$$\beta = \frac{KP \cdot W}{L}$$

$$S = g_m = \beta \cdot (V_{GS} - V_{TH}) = \sqrt{2 \cdot \beta \cdot I_D}$$

$$\frac{1}{r_{DS}} = g_{DS} = \lambda \cdot I_D$$

1.3.5 Temperaturabhängigkeit der Übertragungskennlinie

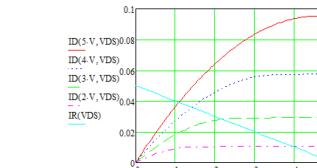
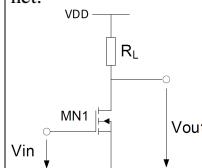
Für den n-Kanal FET gilt:

- Threshold-Spannung V_{TH} sinkt mit 1-2 $\frac{mV}{K}$
- β sinkt mit steigender Temperatur
- Im Kompensationspunkt bleibt I_D für fixes V_{GS} konstant

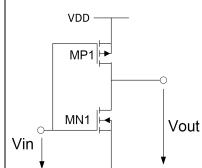
1.4 Verstärkerschaltungen mit FETs

1.4.1 Source-Schaltung mit Lastwiderstand

Um den Arbeitspunkt der Schaltung zu bestimmen, wird die **Lastgerade von R_L** in das Ausgangskennlinienfeld eingezeichnet:



1.4.2 Push-Pull / Digitaler Inverter



- V_{in} geht auf NMOS und PMOS
- Ermöglicht grössere Verstärkung

Für $V_{in} \approx \frac{V_{DD}}{2}$ gilt:

$$A_{V0} = -(g_{m1} + g_{m2}) \cdot (r_{DS1} + r_{DS2})$$

1.5 MOS-FET als (Leistungs-)Schalter

Wenn der FET als Schalter eingesetzt wird, so arbeitet er im **linearen Bereich** ($V_{GS} > V_{TH}$, d.h. $V_{out} < V_{DD} - V_{TH}$)

$$I_{D,lin} = \beta \cdot (V_{GS} - V_{TH} - \frac{V_{DS}}{2}) \cdot \frac{V_{DS}}{r_{DS}} \cdot \frac{dV_{DS}}{dI_D} = \frac{1}{\beta \cdot (V_{GS} - V_{TH})}$$

Schalter geschlossen:

$$R_{FET} = R_{DS(on)}$$

Schalter offen: $R_{FET} = \infty$

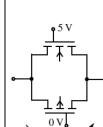
1.5.1 Verlustleistung / Erwärmung

$$P_V = R_{DS} \cdot I_{DS}^2 = 0 \text{ W}$$

$$\Delta T = R_{th} \cdot P_V$$

1.6 Transmission Gate

Im Bild links gilt: $V_{DD} = 5 \text{ V}$, $V_{SS} = 0 \text{ V}$



- NMOS (oben) leitet für $V_{in} < V_{DD} - T_{TH,n}$
- PMOS (unten) leitet für $V_{in} > V_{SS} - T_{TH,p}$
- Source und Drain austauschbar → Strom kann in beide Richtungen fliessen

2 Transistor-Transistor-Logik

- Meist statischer Stromverbrauch
- Asymmetrische Schaltschwellen (weniger Marge als CMOS-Logik)

2.1 Resistor Transistor Logik (RTL)

Bild: NOR-Gate

- Ausgangsspannung $V_{out} = V_+$ oder $V_{out} = V_{CE,sat}$
- Fan-Out ist begrenzt** (Werden zu viele weitere Gatter an den Ausgang gehängt, so reicht der Strom nicht mehr, um diese zu treiben → Spannungslevel stimmen nicht mehr, um Transistoren durchzusteuren)

2.2 Dioden-Transistor-Logik (DTL)

Bild: NAND-Gate

- Fan-Out grösser**, da Transistor aktiv nach '0' zieht
- R_2 muss keine Gatter treiben (kein grosser Stromfluss)
- Nachteile: Sehr tiefer Störabstand; Transistor leitet schon bei Spannungen, welche kaum $> 0 \text{ V}$ sind

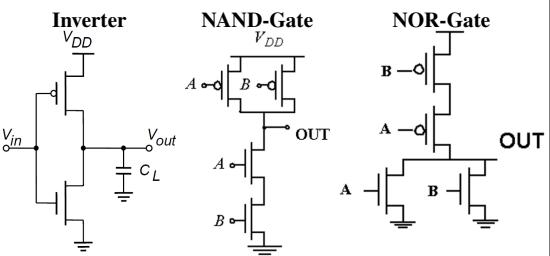
2.3 Transistor-Transistor-Logik (TTL)

- Schaltschwelle am Eingang wird durch Dioden V_3 und V_4 um 1.4 V erhöht
- Dioden V_1 und V_3 bilden npn-Struktur → npn-Transistor

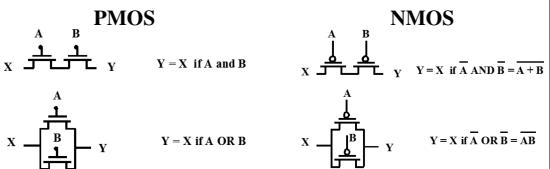
3 CMOS-Logik

- Entweder leitender Pfad nach V_{SS} (NMOS) oder V_{DD} (PMOS)
- Kein statischer Stromverbrauch
- Langsamer als Bipolar
- Symmetrische Schaltschwellen bei ca. $\frac{V_{DD}}{2}$ (Übertragungskennlinie)
- Output-Level V_{ol}, V_{oh} näher bei Speisung als Input Level $V_{il}, V_{ih} \rightarrow$ mehr Marge
- Höhere Speisespannung \rightarrow weniger propagation delay
- Nicht geeignet zur Datenübertragung über längere Strecken (kein 50Ω Abschluss)

3.1 Grundgatter in CMOS-Logik



3.2 Dualität NMOS – PMOS



3.3 Verlustleistung bei CMOS-Logik

$$P_V = C \cdot V_{CC}^2 \cdot f$$

C Kapazität (aus Datenblatt)
 f Frequenz

3.4 Verzögerungszeit

Linearer Bereich

$$t_{pH} = 0.69 \cdot R_{on} \cdot C_L$$

\rightarrow Exponentielle Entladung!

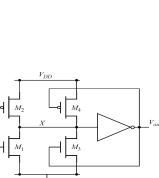
$$t_{pH} = \frac{C_L \cdot \frac{V_{swing}}{2}}{I_{sat}} \approx \frac{C_L}{k_n \cdot V_{DD}}$$

\rightarrow Lineare Entladung!

4 Schmitt-Trigger

- Schaltschwellen müssen nicht sehr genau sein
- Schmitt-Trigger garantieren auch bei verrauschten Signalen saubere (einmalige) Schaltschwellen, dank der Hysterese

4.1 Aufbau nichtinvertierender digitaler Schmitt-Trigger



- M_1, M_2 : Digitale Inverter
- M_3, M_4 : gesteuerte Widerstände
- Für $V_{out} = 0$: M_4 leitet, M_3 sperrt
- Für $V_{out} = 1$: M_3 leitet, M_4 sperrt
- M_3, M_4 verschieben Schaltschwellen abhängig von $V_{out} \rightarrow$ Hysterese

4.2 Aufbau invertierender digitaler Schmitt-Trigger

- Ohne M_5, M_6 : Normaler Inverter mit je 2 Serie-Transistoren
- Für $V_{out} = 1$: Durch M_5 fließt Strom in M_1
- V_{in} muss höher sein, um Strom der PMOS aufzunehmen \rightarrow Höhere Schaltschwelle für High-Low-Übergang
- 'Inverses' gilt für M_6 und M_4

5 Signalübertragung

5.1 Leitungstheorie

- Leitungen haben Widerstände, Kapazitäten und Induktivitäten \rightarrow RLC-Netzwerke
- Fortpflanzungsgeschwindigkeit Signal:** $v = 10 - 20 \text{ cm/ns}$ (Lichtgeschwindigkeit: $c = 30 \text{ cm/ns}$)
- Ev. Impedanzanpassungen zur Verhinderung von Reflexionen nötig (meistens 50Ω)
- CMOS-Logik: tiefen Quellenwiderstand, hohen Eingangswiderstand \rightarrow Nicht geeignet zur Datenübertragung über 'längere Strecken'

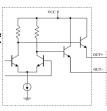
5.2 Einfluss / Relevanz von Reflexionen

5.2.1 Keine Reflexionen

Wenn nichts anderes bekannt gilt: $T_r = \frac{1}{10} \cdot T$

$$T_d < \frac{1}{2} \cdot T_r$$

$T_r = T_f$ Anstiegs- / bzw. Abfallzeit des Signals
 T_d Laufzeit des Signals
 T Periodendauer



5.2.2 Reflexionen

$$l > \frac{1 \cdot 10^7 \text{ m}}{f_{max}}$$

l Maximal enthaltene Frequenz im Länge der Leitung

6 High-Speed-Logik

- Sättigung verhindern, da langsam (bei Bipolar-Transistoren)
- Reduzierter Spannungshub
- Stromsteuerung, da Ströme schneller geschaltet werden als Spannungen

6.1.2 Low Voltage Positive ECL (LVPECL)

- Speisespannungen: $V_{CC} = 3.3 \text{ V}; V_{EE} = 0 \text{ V}$
- Weniger Leistung als 5 V Logik; leichter anpassbar an 3.3 V Logik

6.2 Current Mode Logic (CML)

- Terminierung am Eingang der Folgestufe gegen V_{CC}
- Äquivalenter Widerstand: $R_{C_{eq}} = 50\Omega \parallel 50\Omega = 25\Omega$

Differentielle Spannung: $V_{diff} = \pm R_{C_e} \cdot I_C$

6.2.1 CML vs. ECL

- | <u>ECL</u> | <u>CML</u> |
|--|--|
| Diff-Amp mit Transistor-Buffer; Ausgang am Emitter | Ausgang direkt vom Diff-Amp |
| Single-ended Input (2. Eingang auf fixer Spannung) | Differenzialer Input und differenzialer Output |
| Single-ended Output (z.T. auch differenzial) | Impedanzanpassung zur Reduktion von Reflexionen (50Ω) |

6.2.2 Vorteile / Nachteile von CML gegenüber CMOS-Logik

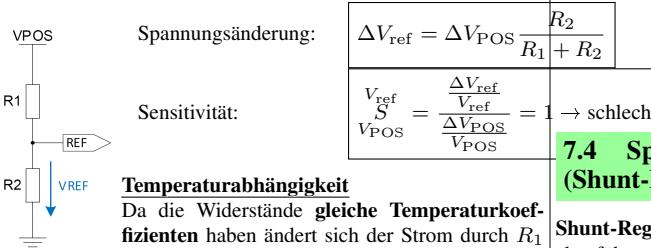
- | | |
|--|--|
| + high Speed | - hoher statischer Stromverbrauch |
| + konstanter Strom (kaum Speisungseinbrüche) | - differentiell: benötigt doppelt so viele Leitungen |
| + differentiell: wenig Störung | - aufwändiges PCB-Layout wegen angepassten Leistungsimpedanzen nötig |
| + kann Kabel treiben | |

7 Spannungsreferenzen

- Referenzspannungsquellen liefern idealerweise Ausgangsspannungen, welche **unabhängig** von Temperatur, Speisespannung und Last sind
- 2 Hauptprinzipien: Zenerdioden (meistens mit $V_Z = 5.6 \text{ V}$) und Bandgap-Quellen mit $V_{out} = 1.25 \text{ V}$

7.1 Spanungsteiler

Speisespannungsabhängigkeit



Spannungsänderung bei Lastwechsel

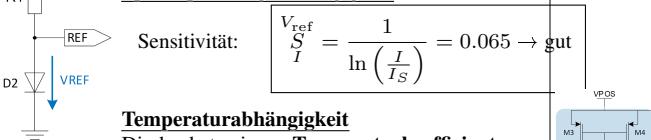
Ersatzschaltung der Referenzquelle durch Thévenin-Äquivalent mit

$$R_P = R_1 || R_2 \rightarrow \text{sehr lastabhängig, da } R_P \text{ groß}$$

7.2 Diodenreferenz

$$V_{ref} = V_D = n \cdot V_T \cdot \ln\left(\frac{I}{I_S}\right) \text{ mit } V_T = \frac{kT}{q} \approx 25 \text{ mV}$$

Speisespannungsabhängigkeit



Spannungsänderung bei Lastwechsel

Diode durch Kleinsignal-Ersatzschaltung ersetzen und Ersatzschaltung der Referenzquelle durch Thévenin-Äquivalent mit

$$R_P = R_1 || r_D \rightarrow \text{weniger lastabhängig, da } r_D = \frac{n \cdot V_T}{I_D} \approx 7 \Omega$$

7.3 Spannungsreferenz mit mehreren Dioden

m = Anzahl Dioden in Serie (links: $m = 4$)

- Strom durch Dioden muss $> 0 \text{ A}$ sein, damit $V_D \approx 0.7 \text{ V}$

Spannung über m Dioden:
$$V_{out} = m \cdot V_D$$

Max. Ausgangstrom:
$$I_{out,max} = \frac{V_{pos} - V_{out}}{R_1}$$

- Temperaturabhängigkeit: $TK_{tot} = m \cdot -2 \frac{\text{mV}}{\text{K}}$

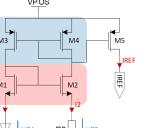
7.4 Spannungsreferenz mit Zenerdioden (Shunt-Regler)

Shunt-Regler: Überflüssiger Strom wird durch ein Element abgeführt \rightarrow Je nach Last wird mehr oder weniger Strom in Z-Diode verheizt

- V_{REF} entspricht Zener-Spannung der Z-Diode
- Häufigste Zener-Spannung: $5.6 \text{ V} \rightarrow TK = 0 \frac{\text{mV}}{\text{K}}$
- Strom $I = \frac{V_{pos} - V_{REF}}{R_1}$ fließt entweder durch Diode oder durch Last
- $I_{out} < I_{out,max} = \frac{V_{pos} - V_{REF}}{R_1}$

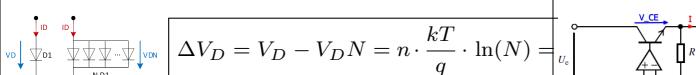
7.5 Bootstrap-Referenz (V_D Stromquelle)

- Stromspiegel M_3 und $M_4 \rightarrow I_1 = I_2$
- Stromspiegel M_1 und $M_2 \rightarrow V_{GS1} = V_{GS2}$ da $I_1 = I_2$
- Da Temperaturkoeffizient von $V_{D1} \approx -2 \frac{\text{mV}}{\text{K}}$ nimmt I_{out} mit steigender Temperatur ab \rightarrow schlechte Referenz
- Schaltung hat zwei mögliche Arbeitsspunkte
(AP $I_1 = I_2 = 0$ ist unerwünscht!)



7.6 Proportional To Absolute Temperature (PTAT)

$$V_D = n \cdot \frac{kT}{q} \cdot \ln\left(\frac{I_D}{I_S}\right) \quad V_{DN} = n \cdot \frac{kT}{q} \cdot \ln\left(\frac{I_D}{N \cdot I_S}\right)$$



$$\Delta V_D = V_D - V_{DN} = n \cdot \frac{kT}{q} \cdot \ln(N) = \frac{kT}{q} \cdot \ln\left(\frac{I_D}{N \cdot I_S}\right)$$

$\rightarrow \Delta V_T$ ist proportional zur absoluten Temperatur T

7.7 Bandgap-Spannungsreferenz

$$V_{REF} = K \cdot V_{PTAT} + V_D$$

- Der positive Temperaturkoeffizient von V_{PTAT} wird mit dem Faktor K verstärkt, sodass $K \cdot TK_{PTAT} = +2 \frac{\text{mV}}{\text{K}}$
- Der nun positive Temperaturkoeffizient wird mit einer Diodenquelle mit $TK_{Diode} = -2 \frac{\text{mV}}{\text{K}}$ kompensiert
- Der gesamte Temperaturkoeffizient $TK_{bandgap} = 0 \frac{\text{mV}}{\text{K}}$
- V_{REF} buffern, damit der Ausgang belastet werden darf

7.7.0 Beispiel: LM4041 Shunt Voltage Bandgap Reference

$$V_{out} = V_Z = V_{REF} \left(1 + \frac{R_2}{R_1}\right)$$

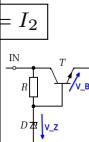
- Einstellbare Referenzspannung $V_Z = V_{out}$
- Interne Referenz: $V_{REF} = 1.25 \text{ V}$ (Bandgap-Referenz)

8 Lineare Spannungsregler

8.1 Spannungsstabilisierung mit Z-Diode und BJT

$$V_{out} = V_Z - V_{BE}$$

- Ausgang kann viel Strom liefern
- Ausgangsspannung sinkt um ca. 20 mV bei Verdoppelung des Stroms
- Ausgangsspannung sinkt um $-2 \frac{\text{mV}}{\text{K}}$
- Keine Regelung** der Ausgangsspannung
- Schnell und stabil, aber nicht genau



8.2 Linearer Spannungsregler

$$V_a = V_{ref} \left(1 + \frac{R_1}{R_2}\right)$$

$$P_V = V_{CE} \cdot I$$

- OpAmp Ausgang ändert so lange, bis für die Spannungen $V_{R2} = V_{ref} (= 1.25 \text{ V})$ gilt

- Minimaler Spannungsabfall V_{CE} über Regler: bis 2.5 V

- Regler kann sehr warm werden \rightarrow Verlustleistung P_V

8.3 Low-Dropout-Regler mit pnp-Längstransistor (LDO)

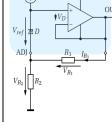
- Feedback auf positiven OpAmp-Eingang!
- Ansteuerung Längstransistor mit Basisspannung $< V_{out}$
- Kleiner minimaler Spannungsabfall V_{CE} über Regler ($V_{CE,sat}$)
- Auch erhältlich mit PMOS-Transistor statt pnp-Transistor
 \rightarrow Dropout-Spannung über Regler (PMOS) ist dann abhängig vom Laststrom (PMOS = gesteuerter Widerstand)

$$V_{out} = (V_{Zener} + V_{OS}) \left(1 + \frac{R_1}{R_2}\right) \quad V_{pos,min} = V_{out} + V_{rai}$$

8.4 Einstellbarer Serie-Spannungsregler

$$V_a = V_{ref} \cdot \left(1 + \frac{R_2}{R_1}\right) + I_{adj} \cdot R_2$$

- Widerstände R_1 und R_2 sind **extern** beschaltet!
- Interne Referenz: $V_{ref} = 1.25 \text{ V}$ (Bandgap)
- OpAmp regelt, damit $V_{R1} = V_{ref}$
- Damit wird $V_{R2} = V_{ref} \cdot \frac{R_2}{R_1} + I_{adj} \cdot R_2$

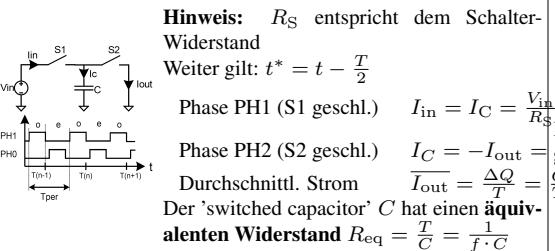


9 Spannungswandler mit Ladungspumpen

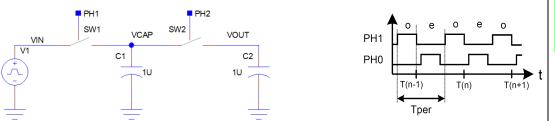
- Ladung kann **nicht springen** und nicht vernichtet werden
→ Ladung wird umverteilt!
- Ladungspumpen sind billige, effiziente Spannungswandler (Wirkungsgrad > 99 % möglich)

$$Q = C \cdot V$$

9.1 Grundprinzip Switched-Capacitor-Schaltungen (SC)



9.2 Grundprinzip Ladungspumpen



Ausgangsspannung V_{out} nähert sich schrittweise exponentiell der Eingangsspannung an!

Im ersten Zyklus ist $V_{out} = 0 \text{ V}$

Phase PH1 Kapazität C_1 wird auf V_{in} geladen

$$Q_1 = C_1 \cdot V_{in}$$

Phase PH2 Ladung **verschiebt** sich von C_1 auf C_2 , bis beide Kapazitäten dieselbe Spannung aufweisen

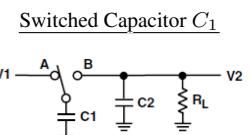
$$Q_{tot} = Q_1 + Q_2 = C_1 \cdot V_{in} + C_2 \cdot V_{out}$$

→ Neue Ausgangsspannung: $V_{out} = \frac{Q_{tot}}{C_1 + C_2}$

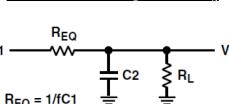
Wichtig: Die PH0 muss vollständig abgeschlossen sein, bevor PH2 beginnt.

9.3 Allgemeine Funktionsweise geschaltete Kapazitäten

Switched Capacitor C_1



Ersatzschaltung mit R_{eq}



- Strom fliesst in 'Paketen': $\Delta Q = C_1 \cdot \Delta V$

- Durchschnittlicher Strom proportional zu C_1 , ΔV und f

- Geschaltetes C_1 bildet äquivalenter Widerstand $R_{eq} = \frac{1}{f \cdot C_1} = \frac{T}{C}$

Für beide Schaltungen gilt, dass der **finale Wert der Ausgangsspannung** $V_{out} = V_2$ durch den **Spannungsteiler** von R_{eq} und R_L bestimmt wird:

$$V_{out} = V_{in} \cdot \frac{R_L}{R_{eq} + R_L}$$

$$I = \frac{V_1 - V_2}{R_{eq}}$$

- PH2: Negativer Anschluss CAPN wird mit V_{SRC} verbunden

→ Positiver Anschluss C_1 springt auf $2 \cdot V_{SRC}$

- Ladung teilt sich zwischen C_1 und C_2 auf, sodass V_{out} schrittweise ansteigt

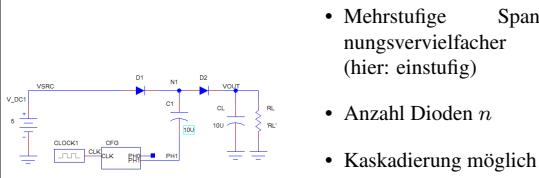
* V_{in} und V_{out} konstant sind

* Die **Schalter ideal** sind (kein Schaltwiderstand)

* Die **Dioden keinen Spannungsabfall** haben

Hinweis: Zur Steigerung der Effizienz werden Dioden manchmal durch MOS-FETs ersetzt ('nur' $R_{DS,on}$ statt grosser Spannungsabfall). Die Schalter werden in der Praxis ebenfalls mit einem FET realisiert.

9.6 Dickson Charge Pump (Spannungsvervielfacher)

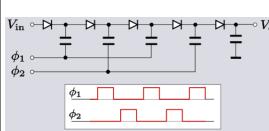


- Mehrstufige Spannungsvervielfacher (hier: einstufig)

- Anzahl Dioden n
- Kaskadierung möglich

$$V_{out} = n \cdot (V_{SRC} - V_D)$$

9.6.1 Mehrstufige Dickson Charge Pump



- Mehrstufige Spannungsvervielfacher (hier: $n = 5$)

$$V_{out} = n \cdot (V_{SRC} - V_D)$$

10 Schaltregler

SMPS (switched-mode-power-supply) sind getaktete Systeme, deren übliche Schaltfrequenzen im Bereich von 20 kHz bis zu einigen MHz liegen.

10.1 Spannungswandler mit Spulen

• Grundprinzip

V_{SRC}

- Energie wird aus einer (Spannungs-)Quelle bezogen, in verlustarmen Elementen (**Spulen**, Kondensatoren) zwischengespeichert, auf die gewünschte Spannung gebracht und stabilisiert.

• Gemeinsamkeiten aller aufgeführten Spannungswandler mit Spulen

- Energie wird in Magnetfeld gespeichert $E_L = \frac{1}{2} L \cdot i_L^2$
- Spannung über Spule bewirkt Änderung des Stroms $V_L = L \cdot \frac{di_L}{dt}$ oder $i_L = \frac{1}{L} \int V_L(t) dt + I_0 = \frac{V_L}{L} \cdot t + I_0$
- Zur Stabilisierung der Spannung werden Kondensatoren benötigt (potentieller LC-Schwingkreis!)
- Für die meisten Rechnungen kann man annehmen, dass:

10.2 Energien in den Komponenten

Energie in Spule

$$E_L = \frac{1}{2} \cdot L \cdot i_L^2 \quad [E] = J$$

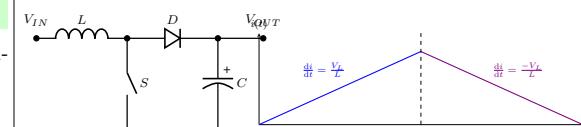
Energie in Kondensator

$$E_C = \frac{1}{2} \cdot C \cdot V_C^2$$

Energie in Last (pro Periode)

$$E_{load} = \frac{1}{2} P_{load} \cdot T_{clk} = \frac{1}{2} \cdot V_{out} \cdot I_{load} \cdot T_{clk}$$

10.3 Aufwärtswandler (Boost, Step-Up Converter)



1. Phase Energie in Spule speichern

- Schalter geschlossen
- $V_L = V_{in}$ liegt an Spule an
- i_L muss nicht bei $I_0 = 0$ starten!

2. Phase Entmagnetisieren

- Schalter offen
- Strom sinkt, wenn $V_O < V_{in}$
- Eingeschwungener Zu-

In beiden Phasen gelten die folgenden Formeln:

Ladephase

$$\begin{aligned} \Delta I_{L,on} &= \frac{1}{L} \cdot V_{in} \cdot t_{on} \\ I_{L,on} &= \frac{1}{L} \cdot V_{in} \cdot t_{on} + I_0 \end{aligned}$$

Entladephase

$$\begin{aligned} \Delta I_{L,off} &= \frac{1}{L} \cdot (V_{in} - V_{out}) \\ I_{L,off} &= \frac{1}{L} \cdot (V_{in} - V_{out}) \end{aligned}$$

Gleichgewicht (eingeschwungen)

$$\Delta I_{L,on} = -\Delta I_{L,off}$$

Ausgangsspannung

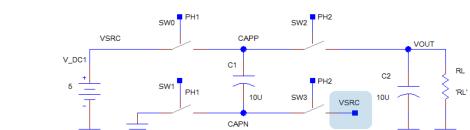
$$V_{out} = V_{in} \cdot \left(1 + \frac{t_{on}}{t_{off}} \right)$$

Die **Ausgangsspannung** V_{out} ist **abhängig von der Last** → Bei hochohmiger Last kann die Ausgangsspannung sehr gross werden!

10.3.1 Synchronous Boost Converter

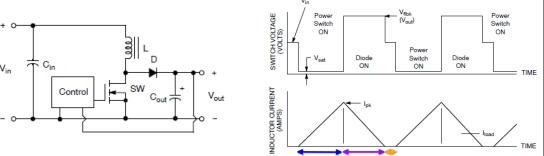
- Diode ersetzt durch Schalter SW2
- Entweder SW1 oder SW2 geschlossen
- VSW somit immer leitend verbunden, entweder mit GND oder mit V_{out}
→ In Spule fliest immer ein Strom
- Achtung: Bei kleinen Lasten fliest Strom in die Quelle zurück und die Verlustleistung in der Spule ist grösser (Drahtwiderstand)

9.5 Spannungsverdoppler mit Switched Capacitors



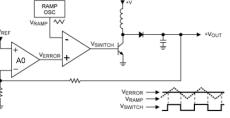
- PH1: C_1 wird auf Eingangsspannung V_{in} aufgeladen

10.4 Aufwärtswandler: Lückender Betrieb



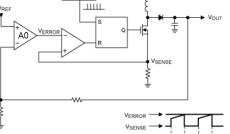
- Es existiert ein **3. Zustand**, in welchem kein Strom durch Spule fließt
- Aus $i_L = 0$ folgt $V_L = 0$
- Schalter SW offen, damit Spannung am Knoten SW = V_{in} wird \rightarrow Diode sperrt
- Control schliesst Schalter, nachdem $V_{out} < V_{out,soll}$ ist \rightarrow **Regelung** von V_{out}

10.4.1 Regelung der Ausgangsspannung: voltage-mode control



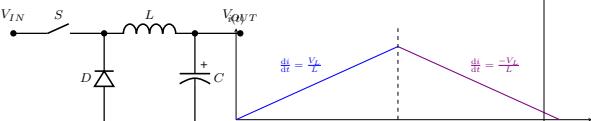
- Verstärker mit Verstärkung A0
- Komparator vergleicht V_{ERROR} mit V_{RAMP}
- $V_{OUT} - V_{REF} \uparrow$, $V_{ERROR} \uparrow$, Schalter muss länger geschlossen bleiben \rightarrow grösserer Duty Cycle $\rightarrow V_{OUT} \uparrow$

10.4.2 Regelung der Ausgangsspannung: current-mode control



- Strom wird mit Shunt-Widerstand durch Spannung V_{SENSE} gemessen
- Verstärker mit Verstärkung A0
- Komparator resetted Flip-Flop \rightarrow Schalter (FET) öffnet
- Häufiger zur Regelung verwendet als vorherige Schaltung

10.5 Abwärtswandler (Buck, Step-Down Converter)



Vereinfachungen: V_{out} konstant, kein Spannungsabfall über Diode und Schalter

Formeln gelten nur, wenn immer ein Strom in der Spule fließt

Ladephase

$$\Delta I_{L,on} = \frac{1}{L} \cdot (V_{in} - V_{out}) \cdot f_{\text{ton}}$$

$$I_{L,on} = \frac{1}{L} \cdot (V_{in} - V_{out}) \cdot t_{\text{ton}} + I_0$$

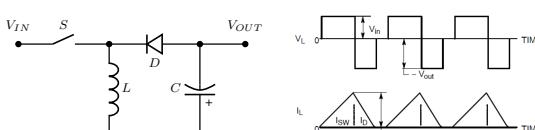
$$\Delta I_{L,off} = -\frac{1}{L} \cdot V_{out} \cdot t_{\text{off}}$$

$$I_{L,off} = -\frac{1}{L} \cdot V_{out} \cdot t_{\text{off}} + I_0$$

$$\Delta I_{L,off} = -\Delta I_{L,on}$$

$$V_{out} = V_{in} \cdot \frac{t_{\text{on}}}{T}$$

10.6 Invertierender Wandler (Buck-Boost Converter)



Der Converter kann im **buck-mode oder boost-mode betrieben werden**: buck-mode: Duty Cycle $\frac{t_{\text{on}}}{T} < 0.5$; boost-mode: Duty Cycle $\frac{t_{\text{on}}}{T} > 0.5$

Ladephase

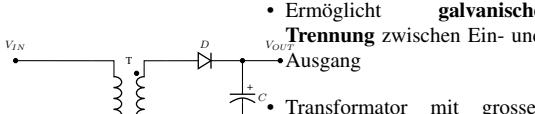
$$\Delta I_{L,on} = \frac{1}{L} \cdot V_{in} \cdot t_{\text{on}}$$

$$\Delta I_{L,off} = \frac{1}{L} \cdot V_{out} \cdot t_{\text{off}}$$

$$\Delta I_{L,off} = -\Delta I_{L,on}$$

$$V_{out} = -V_{in} \cdot \frac{t_{\text{on}}}{T}$$

10.7 Flyback (Sperrwandler)



- Ermöglicht **galvanische Trennung** zwischen Ein- und Ausgang

- Transformator mit grosser Induktivität nötig zur Energiespeicherung (mit Luftspalt)

- Phase 1 (Schalter geschlossen)
 - Linear steigender Strom auf Primärseite; Energie wird im Magnetfeld gespeichert
- Phase 2 (Schalter offen)
 - Linear sinkender Strom auf Sekundärseite; Magnetfeld baut sich über Sekundärspule ab
- Phase 3 (LC-Schwingkreis)
 - C parallel zu Schalter auf Primärseite wird wirksam

11 Passive Filter

$$f_{3\text{dB}} = f_g$$

Cut-Off-Frequency, Corner-Frequency

Dämpfung von 3 dB (d.h. Amplitude wird mit $\frac{1}{\sqrt{2}}$ vermindert), Phasenverschiebung: -45°

Sampling-Frequenz (ADC, digitale Filter)

\rightarrow Alle Frequenzen über $\frac{f_s}{2}$ müssen unterdrückt werden

Übertragungsfunktion $G(s)$

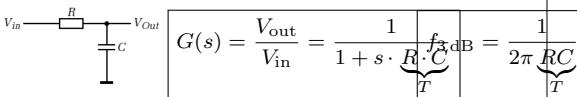
Folgende Filter erzielen durch unterschiedliche Polverteilungen unterschiedl. Verhalten:

Butterworth: Konstant im Durchlassbereich der UTF

Bessel: Beste Rechteckübertragung, kein Überschwingen

Tschebyscheff: Steilster Abfall im Sperrbereich der UTF

11.1 Tiefpassfilter 1. Ordnung



Hinweis: Die Zeitkonstante T entspricht immer dem Parameter vor dem s . Beim Tiefpass 1. Ordnung entspricht dies $T = R \cdot C$

11.2 Bodeplot Tiefpassfilter 1. und 2. Ordnung

1. Ordnung

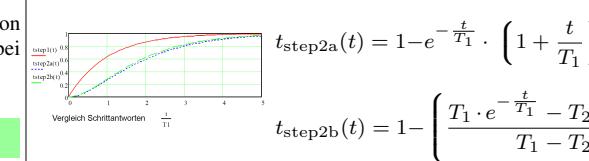
- Abfall von $-20 \text{ dB} / \text{Dekade}$

2. Ordnung

- Phasenschiebung von maximal -90° (bei $f_g = -45^\circ$)
- Abfall von $-40 \text{ dB} / \text{Dekade}$
- Phasenschiebung von maximal -180° (bei $f_g = -90^\circ$)

$$t_{\text{step},1}(t) = 1 - e^{-\frac{t}{T_1}}$$

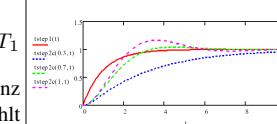
11.5.2 Tiefpass 2. Ordnung



$$t_{\text{step}2a}(t) = 1 - e^{-\frac{t}{T_1}} \cdot \left(1 + \frac{t}{T_1} \right)$$

$$t_{\text{step}2b}(t) = 1 - \left(\frac{T_1 \cdot e^{-\frac{t}{T_1}} - T_2}{T_1 - T_2} \right)$$

11.6 Schrittantworten verschiedener Polgüten



Komplexe Pole ($Q > \frac{1}{2}$) führt zu Überschwingen.

Bei einer Polgüte von $Q = \frac{1}{\sqrt{2}} \approx 0.7$ (grüne Kurve) schwingt das System am schnellsten ein!

11.3 Filter 2. Ordnung

11.3.1 Kaskadierung von zwei gleichen Filtern

$$G_{11}(s) = \frac{1}{1 + s \cdot R \cdot C} \cdot \frac{1}{1 + s T_2 R \pm \sqrt{\frac{\sqrt{2}-1}{2 \pi f_{3\text{dB}}}}} \approx 0.64 \cdot T_1$$

Daraus folgt, dass bei 2 identischen Stufen die Grenzfrequenz $f_{3\text{dB}}$ der einzelnen Stufen $\frac{1}{\sqrt{0.64}} = 1.56$ mal höher gewählt werden muss als bei einem Filter 1. Ordnung.

11.3.2 Filter 2. Ordnung mit komplexen Polen

$$G(s) = \frac{A_0 \cdot p_1 \cdot p_2}{(p_1 + s) \cdot (p_2 + s)} = \frac{A_0 p_1^2}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2}$$

ω_0 Polfrequenz
 Q Polgüte / Filtergüte
 $p_{1,2} = \frac{\omega_0}{2Q} (1 \pm \sqrt{1 - 4Q^2})$

11.7 Filter 2. Ordnung (passiv und aktiv)

Tiefpass

$$G(s) = \frac{V_{out}}{V_{in}} = \frac{A_0}{\frac{1}{\omega_0^2}s^2 + \frac{1}{\omega_0} \cdot \frac{G(s)}{Q} + \frac{1}{\omega_0^2}}$$

Bandpass

$$G(s) = \frac{V_{out}}{V_{in}} = \frac{\frac{A_0}{\omega_0} \cdot \frac{s}{Q}}{\frac{1}{\omega_0^2}s^2 + \frac{1}{\omega_0} \cdot \frac{G(s)}{Q} + \frac{1}{\omega_0^2}}$$

11.4 Filter höherer Ordnung

- Systeme höherer Ordnung können in kaskadierte Teilsysteme 1. & 2. Ordnung aufgeteilt werden
- Höhere Ordnung und komplexe Pole ermöglichen steileren Übergang zwischen Durchlass- und Sperrbereich

Hochpass

Aufbau Nenner

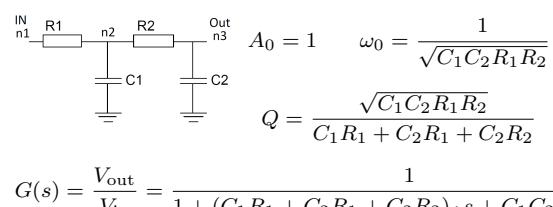
$$G(s) = \frac{V_{\text{out}}}{V_{\text{in}}} = \frac{\frac{A_0}{\omega_0^2} s^2}{\frac{1}{\omega_0^2} s^2 + \frac{1}{\omega_0 \cdot Q} s + 1} \quad \begin{aligned} &\bullet \text{ Alle Terme positiv} \\ &\bullet \text{ Term definiert Grenzfrequenz} \end{aligned}$$

- Im s -Term ist Dämpfung enthalten
 - s -Term gross \rightarrow grosse Dämpfung
 - s -Term = 0 \rightarrow Oszillator!

Passive RC-Filter können maximal Güte 0.5 haben (entkoppelte reelle Pole). Filter höherer Güte benötigen entweder Spulen oder **Verstärker**.

→ Die Formeln gelten aber für passive und aktive Filter!

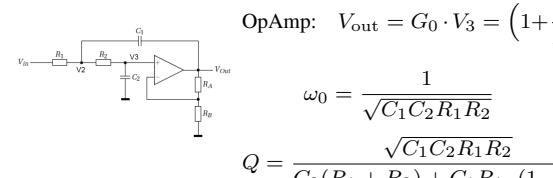
11.7.0 Beispiel: UTF Tiefpass 2. Ordnung



$$G(s) = \frac{1}{1 + (C_1 R_1 + C_2 R_1 + C_2 R_2) \cdot s + C_1 C_2 R_1 R_2 s^2}$$

12 Aktive Filter

12.1 Sallen-Key-Filter (Einfachmitkopplung)



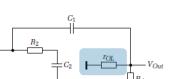
$$G(s) = \frac{G_0}{C_1 C_2 R_1 R_2 \cdot s^2 + [C_2(R_1 + R_2) + C_1 R_1(1 - G_0)] \cdot s + 1}$$

Stromgleichungen:

$$V_2: 0 = (V_2 - V_{\text{in}}) \frac{1}{R_1} + (V_2 - V_3) \frac{1}{R_2} + (V_2 - V_{\text{out}}) \cdot s \cdot C_1$$

$$V_3: 0 = (V_3 - V_2) \frac{1}{R_2} + V_3 \cdot s \cdot C_2$$

12.1.1 Sallen-Key-Filter bei hohen Frequenzen

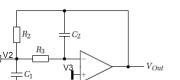


$$\frac{V_{\text{out}}}{V_{\text{in}}} \approx \frac{r_{\text{OL}}}{R_1 + r_{\text{OL}}}$$

r_{OL} ist der OpAmp open-loop Ausgangswiderstand (bei hohen Frequenzen $\approx 100 \Omega$)

- Dämpfung ist limitiert auf obigen Spannungsteiler → Sallen-Key-Filter sind nicht geeignet für Systeme mit hohen Frequenzanteilen z.B. PWM-DAC

12.2 Multiple-Feedback-Struktur



$$\text{OpAmp: } G_0 = -\frac{R_2}{R_1}$$

$$Q = \frac{\sqrt{C_1 C_2 R_1 R_2}}{C_2 \left(R_2 + R_3 + R_3 \frac{R_2}{R_1} \right)}$$

$$G(s) = \frac{G_0}{1 + C_2 \left(R_2 + R_3 + R_3 \frac{R_2}{R_1} \right) \cdot s + C_1 C_2 R_2 R_3 \cdot s^2}$$

Stromgleichungen:

$$V_2: 0 = (V_2 - V_{\text{in}}) \frac{1}{R_1} + (V_2 - V_{\text{out}}) \frac{1}{R_2} + (V_2 - V_3) \frac{1}{R_3} + V_2 \frac{s \cdot C_1}{R_1} = (V_3 - V_2) \frac{1}{R_3} + (V_3 - V_{\text{out}}) \cdot s \cdot C_2$$

12.3 Sallen-Key vs. Multiple-Feedback Struktur

Sallen-Key

- Nicht-invertierend
- Q sensitiver auf Toleranzen
- Vorwärtspfad für hohe Frequenzen
- Noise-Gain: A
- Eher für Hochpass
- kleine Verstärkungen

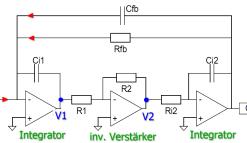
Multiple-Feedback

- Invertierend
- f_g sensitiver auf Toleranzen
- Noise-Gain: $A + 1$
- Eher für Tiefpass, Bandpass
- grösse Verstärkungen

12.4 Vorgehen: UTF aus OPV-Filterschaltung ermitteln

- Stromgleichungen (Knotengleichungen) aufstellen
- Gleichungen ineinander einsetzen
- Umformen nach $G(s) = \frac{V_{\text{out}}}{V_{\text{in}}}$

12.5 Zustandsvariablen-Filter (Biquad-Filter)



Mit dieser Topologie sind alle drei Parameter f_0 , Q und A_0 frei wählbar! An V_{out} herrscht **Tiefpass-Verhalten**.

$$G(s) = \frac{-R_{fb}}{s^2 \cdot C_{i1} C_{i2} R_{fb} R_{i2} \frac{R_1}{R_2} + s \cdot C_{fb} R_{fb} + 1}$$

$$f_0 = \frac{1}{2\pi \sqrt{C_{i1} C_{i2} R_{fb} R_{i2} \frac{R_1}{R_2}}}$$

$$Q = \frac{1}{C_{fb}} \sqrt{C_{i1} C_{i2} \frac{R_1}{R_2 R_{fb}}}$$

12.5.1 Allgemein: Filter mit mehreren OpAmps

Mit der Filter-Struktur aus Abschnitt 12.5 können auch Bandpass- und Hochpass-Filter gebildet werden:

• **Tiefpass**: Abgriff beim 3. OpAmp (V_{out} gemäss Abschnitt 12.5)

• **Bandpass**: Abgriff beim 2. OpAmp (an Knoten V2)

• **Hochpass**: Abgriff beim 2. OpAmp, Einspeisung am neg. Eingang des 2. OpAmps

13 Analyse von Filterschaltungen mit SFDs

Aktive Filterschaltungen (mit OpAmps) können mittels Signalflussdiagrammen (SFDs) analysiert werden. Dazu wird die gesamte Schaltung in einzelne Komponenten aufgeteilt. Diese Komponenten werden dann mit Impedanz- bzw. Admittanzfunktionen abgebildet. Um die Übertragungsfunktion (UTF) der gesamten Schaltung zu erhalten, muss die **Regel von Mason** angewendet werden.

13.1 Eingangsadmittanzen / (Eingangsimpedanzen)

Hinweis: Es wird normalerweise mit Eingangsadmittanzen gearbeitet!

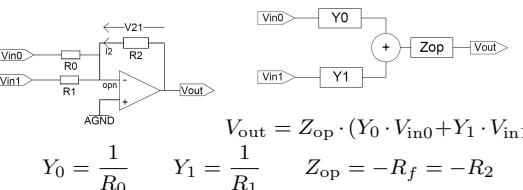
Komponente	Admittanz Y	(Impedanz Z)
Widerstand R	$Y_{\text{res}} = \frac{1}{R}$	($Z_{\text{res}} = R$)
Kapazität C	$Y_{\text{cap}} = s \cdot C$	($Z_{\text{cap}} = \frac{1}{s \cdot C}$)
Induktivität L	$Y_{\text{ind}} = \frac{1}{s \cdot L}$	($Z_{\text{ind}} = s \cdot L$)

13.2 OpAmp Impedanzfunktionen

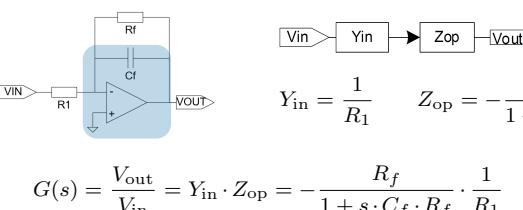
Hinweis: Es geht um **negatives Feedback** bzw. **Gegenkopplung**

Schaltung (Feedback)	Impedanz Z
Widerstand R_f im Feedback	$Z_{\text{op}} = -R_f$
Kapazität C_f im Feedback	$Z_{\text{op}} = -\frac{1}{s \cdot C_f}$
$R_f \cdot C_f$ (parallel) im Feedback	$Z_{\text{op}} = -\frac{R_f}{1+s \cdot C_f \cdot R_f}$

13.2.0 Beispiel: Summierender Verstärker



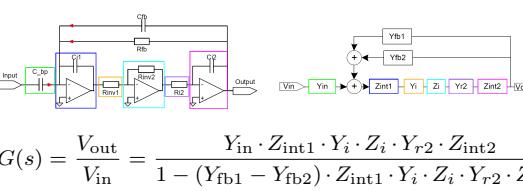
13.2.0 Beispiel: Aktiver Tiefpass 1. Ordnung



13.3 Regel von Mason (vereinfacht)

$$\text{UTF: } G(s) = \frac{V_{\text{out}}}{V_{\text{in}}} = \frac{\text{Produkt der Transmittanzen im Vorwärtspfad}}{1 - \text{Summe aller Schleifentransmittanzen}}$$

13.3.0 Beispiel: Analyse Bandpass mittels SFD und Regel von Mason

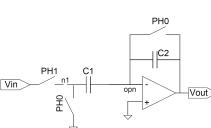


14 Switched-Capacitor-Verstärker

14.1 Switched-Capacitor-Verstärker

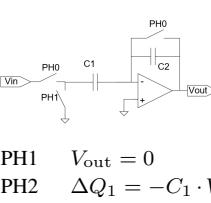
→ Funktionsweise von SC-Schaltungen siehe Abschnitt 9.2

14.1.1 Invertierender Verstärker



Hinweis: Absolut-Werte von C_x variieren um bis zu 10 %, aber **Verhältnisse** können sehr exakt sein!
Verstärkung A
PH1 $V_{out} = 0$ $Q \cdot C_1$
PH2 $\Delta Q_1 = C_1 \cdot V_{in}$ ΔV_{out}

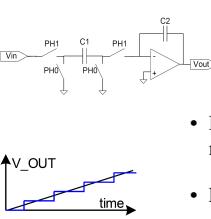
14.1.2 Nicht-invertierender Verstärker



Hinweis: Ansteuerung vertauscht: Aufladung von C_1 in PH0, gleichzeitig mit C_2 -Reset. Ansonsten sehen der invertierende und nicht-invertierende SC-Verstärker gleich aus! **Verstärkung A**

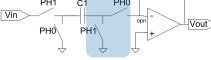
$$\begin{aligned} \text{PH1} \quad V_{out} &= 0 \\ \text{PH2} \quad \Delta Q_1 &= -C_1 \cdot V_{in} \quad \Delta V_{out} = \frac{\Delta Q_1}{C_2} = \frac{C_1}{C_2} V_{in} \end{aligned}$$

14.1.3 (Invertierender) SC-Integrator



Spannungsänderung $\Delta V_{out(T_n)}$
Ausgangsspannung $V_{out}(t) \cong \frac{1}{C_1 \frac{1}{T} \int V_{in}(t) dt}$
Hinweis: $V_{out}(t)$ gilt für $t \gg T$ und langsam änderndes V_{in}
• In jedem Zyklus wird C_1 aufgeladen mit $Q = V_{in} \cdot C_1$
• Ladungen werden in C_2 akkumuliert
• Ausgangsspannung macht Sprünge!

14.1.4 Nicht-invertierender SC-Integrator



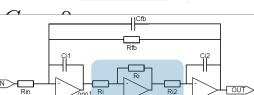
- Geänderte Schalter-Ansteuerung → In PH1 wird C_1 aufgeladen mit $V_{in} \cdot C_1$
- In PH0 fließt Entladestrom in C_2 → SC bildet einen 'negativen Widerstand' mit $R_{eq} = -\frac{T_{per}}{C_1}$
- Spannungs-Sprünge sind um eine halbe Periode verschoben

14.2 Vergleich RC- und SC-Integrator

$$\begin{aligned} \text{UTF: } G(s) &= -\frac{1}{s \cdot R_i \cdot C_i} \\ \text{UTF: } G(s) &= -\frac{C_1}{s \cdot C_2 \cdot T} \\ \rightarrow R_{eq} &= \frac{T}{C_1} \end{aligned}$$

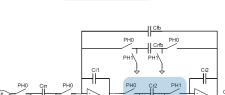
14.3 RC- / SC-Filter

RC-Filter



$$\frac{1}{C_2} \frac{1}{T} \int V_{in}(t) dt = \frac{\omega_0}{C_2} V_{in} \sqrt{C_{i1} C_{i2} R_{i2} R_{fb}}$$

SC-Filter



$$\omega_0 = \frac{1}{T} \sqrt{\frac{C_{fb} C_{r2}}{C_{i1} C_{i2}}}$$

- Für SC-Filter gilt:

- C_{r2} wird umgekehrt angesteuert → bildet negativen Widerstand
- Kapazitäts-Verhältnisse und Taktperiode T bestimmen f_0 bzw. ω_0

14.4 Fazit Filter

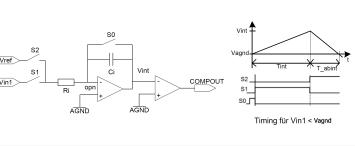
- Aktive Filter sind nötig für Polgüten > 0.5 (oder Spulen)
- Filter werden aufgeteilt in Stufen 1. oder 2. Ordnung
- Strukturen mit mehreren OpAmps sind weniger sensibel auf Bauteiltoleranzen und auf Nichtidealitäten der OpAmps
- Als integrierte Schaltungen werden oft Switched-Capacitor-Schaltungen eingesetzt

15 Single- und Dual-Slope-Wandler

n	Anzahl Bits
D	Digitaler Wert $D < 2^n$
q	Quantisierungsschritt (1 LSB)
B_0	Bitwert 0 (LSB)
B_{n-1}	Bitwert $n - 1$ (MSB)

$$\begin{aligned} q &= \frac{V_{refp} - V_{refn}}{2^n} \\ D &= \frac{V_{in} - V_{refn}}{V_{refp} - V_{refn}} \end{aligned}$$

15.1 Dual-Slope-Wandler



$$\text{DC: } V_{int} = V_{AGND} - \frac{1}{R_i \cdot C_i} (V_{in1} - V_{AGND}) \cdot T_{int}$$

$$\Delta V_{abint} = -\Delta V_{int}$$

$$\Delta V_{abint} = V_{AGND} - V_{int} = -\frac{1}{R_i \cdot C_i} (V_{ref} - V_{AGND}) \cdot T_{abint}$$

$$T_{abint} = -\frac{V_{in1} \cdot T_{int}}{V_{ref}}$$

$$\text{Allgemein: } V_{int} = \int_0^{T_{int}} -\frac{1}{R_i \cdot C_i} V_{in1} dt + V_{int,0}$$

$$-\frac{V_{in}}{V_{ref}} = \frac{T_{abint}}{T_{int}} = \frac{n \cdot T_{clk}}{N \cdot T_{clk}}$$

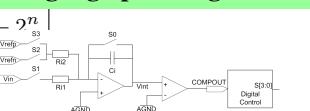
15.1.1 Frequenzverhalten vom Dual-Slope-Wandler

Frequenzen $f = \frac{1}{T}$, wobei T der Integrationszeit entspricht, werden perfekt unterdrückt
⇒ Integrationszeit $T = 20$ ms unterdrückt Netzbrumm von 50 Hz

15.2 Single-Slope-Wandler

- Einfacher als Dual-Slope
- V_{in} wird auf C_{sample} übertragen
- C_{sample} wird mit I_{sink} entladen
- Zeit bis $V(C_{sample}) = 0$ wird gemessen
- Kein OpAmp, nur zwei Schalter
- Schnell, da $T_{sample} < T_{int}$
- V_{in} ~ $T_{abint}, C_{sample}, I_{sink}$
- C_{sample} und I_{sink} streuen stark

15.3 Dual-Slope-Wandler für pos. und neg. Eingangsspannungen



- Auf- und Abintegration wechseln ab

- Je nach Komparator-Ausgang wird S2 oder S3 geschlossen

- Für $V_{in} < V_{AGND}$ wird in Richtung positive Speisung integriert
- Für $V_{in} > V_{AGND}$ wird in Richtung GND integriert

15.3.1 Eigenschaften von Dual-Slope-Wandlern

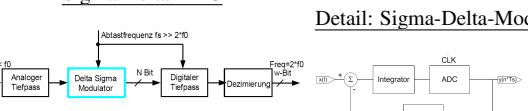
- Unabhängig von Bauteiltoleranzen

- Höhere Frequenzen werden stärker unterdrückt → reduziert Bandbreite
- Auflösung wird gegen Bandbreite getauscht

16 Sigma-Delta-ADC

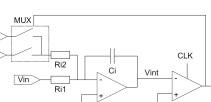
16.1 Aufbau Sigma-Delta-ADC

Sigma-Delta-ADC



Detail: Sigma-Delta-Modulator

16.2 Sigma-Delta-Modulator 1. Ordnung



$$V_{in} = \frac{2 \cdot n - N}{N} V_{ref}$$

N # Taktzyklen von Clk
 n # Taktzyklen, in denen Modulator-Ausgang = 1

$$\text{Allgemein: } V_{int}(t) = \Delta V_{int} + V_{int,0} = -\frac{1}{C_i} \int_0^t \left(\frac{V_{in} - A_G}{R_i} \right) dt$$

- Sigma-Delta-Wandler machen **gleichzeitig** Auf- und Abintegration (Feedback-Pfad)
- 'Digitales Filter' → 'Mittelwertbildung' um V_{in} zu berechnen
- Eingangsspannungsbereich: $V_{refn} \leq V_{in} \leq V_{refp} \rightarrow I_{Eingang} \leq I_{Feedback}$
- Summe aller Ladungen muss gesamthaft 0 sein!** → $\Delta Q = C \cdot \Delta U = I \cdot \Delta t = 0$

16.3 Sigma-Delta-Modulator im Zeitbereich

16.3.1 DC-Eingangssignale

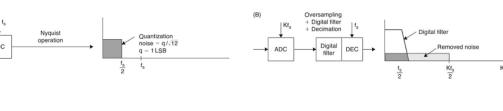
Je nach V_{in} ergibt sich ein anderer DutyCycle $\frac{n}{N}$ (mod out). Für $V_{refn} = -V_{refp}$ gilt die aufgeführte Tabelle.

V_{in}	Duty Cycle $\frac{n}{N}$
0 V	0
$\frac{1}{2} V_{refn}$	$\frac{1}{2}$
$\frac{7}{8} V_{refn}$	$\frac{1}{4}$
$\frac{1}{10} V_{refp}$	$\frac{2}{5}$
$0.02 \cdot V_{refp}$	$\frac{1}{100}$

- Oversampling verteilt Quantisierungsrauschen über grösseren Frequenzbereich

- Da die Rauschleistung konstant ist, wird die Rauschleistungsdichte (also die 'Amplitude' des Rauschens) kleiner

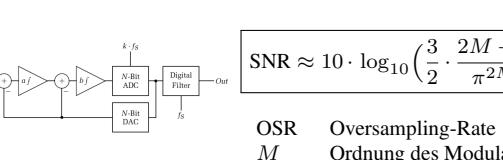
- Ein Digitalfilter reduziert die Bandbreite des ADCs weiter



16.5.1 Noise-Shaping

- Nicht nur Oversampling und Rauschen gleichmässig verteilen, sondern Rauschleistungsdichte 'formen'
- Nur bei Sigma-Delta-Wandlern möglich

16.6 Sigma-Delta-Wandler 2. Ordnung



- Ordnung $M = 2 \rightarrow 2$ Integratoren
- Quantisierungsrauschen $Q(s)$ wird mit Hochpass 2. Ordnung gefiltert
- Je höher Ordnung M , desto stärker das Noise-Shaping (6 dB pro Ordnung und Oktave)
- Je höher Oversampling (OSR), desto höher SNR (3 dB Oktave)

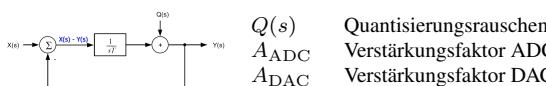
17 Multi-Bit Modulatoren

Anstatt eines Komparators ADCs mit mehreren Bits für den Aufbau des Sigma-Delta-Modulators verwendet.

Dynamikgewinn (Hochpass) von ca. 6 dB pro zusätzlichem Bit.

- Aufwändiger Flash-ADC (parallele Komparatoren) nötig, da in einem Takt gewandelt werden muss

16.4 Modellierung Sigma-Delta-Modulator im Frequenzbereich



16.4.1 Übertragungsfunktionen Sigma-Delta Modulator

Signal-Übertragungsfunktion H_s Noise-Übertragungsfunktion $H_n(s)$
(Quantisierungsrauschen (Eingangssignal $X(s) = 0$)
 $Q(s) = 0$

$$Y(s) = [X(s) - Y(s)] \cdot \frac{1}{s \cdot T}$$

$$H_s(s) = \frac{Y(s)}{X(s)} = \frac{1}{1 + s \cdot T}$$

$$H_n(s) = \frac{Y(s)}{Q(s)} = \frac{s \cdot T}{1 + s \cdot T}$$

(Tiefpass)

16.5 Oversampling / Signal-Rausch-Abstand (SNR)

$$\text{Rauschleistung} = \text{Rauschleistungsdichte} * \text{Bandbreite} = \frac{q^2}{12}$$

- ADC ist unproblematisch, da hinter Integrator (siehe Blockschaltbild Abschnitt 16.1) und damit Teil vom Quantisierungsfehler

- 1-Bit ADC (Komparator) nichtlinear \rightarrow ADC-Verstärkung signalabhängig

- Es entsteht ein nichtlineares System

17.2 1 Bit vs. Multi-Bit DAC (im Modulator)

- DAC muss volle Präzision des (gesamten) Wandlers haben
 - DAC-Spannung wird direkt mit Eingangsspannung 'verrechnet'
- 1-Bit DAC ist perfekt linear (nur Offset- und Gain-Fehler, welche statisch kompensierbar sind)
- DAC muss sehr genau sein \rightarrow kann kalibriert werden
 - Drifttemperatur und Alterung sind dennoch ein Problem

17.3 Dynamic Element Matching (DEM), Mismatch-Shaping

- Widerstände des DAC müssen perfekt matchen (so gut wie DAC-Genauigkeit)
 - In der Praxis ist das nicht möglich!
 \rightarrow mismatch

- Dynamic Element Matching (DEM): Spezieller Algorithmus

- Einschalten der einzelnen Widerstände wird dynamisch umgestaltet, so dass Ausgangskennlinie des DAC 'durchschnittlich linear'
 \rightarrow Systematischer Fehler wird in Zufallsfehler (Rauschen) umgewandelt

- Mismatch-Shaping

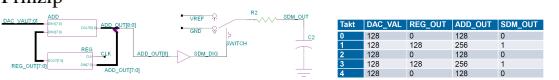
- Zufallsfehler (Rauschen) wird mit Noise-Shaping gedämpft

17.4 Fazit Sigma-Delta-Modulatoren

- + Signal wird nicht (wenig) verändert mit Tiefpass
- + Modulatoren 1. Ordnung immer stabil (90° Phasenschiebung)
- + 1 Bit DAC perfekt linear
- + Modulatoren 2. Ordnung meistens stabil
- + 1. SNR-Erhöhung durch Oversampling (3 dB pro Oktave)
- Modulatoren höherer Ordnung können instabil werden
- 1 Bit ADC (Komparator) nichtlinear
- Pattern Noise

18 Sigma-Delta-DAC

Die finale Realisierung des DACs erfolgt als **PWM-DAC**. Die Generierung des PWM-Signals erfolgt nach dem Sigma-Delta-Prinzip

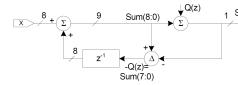


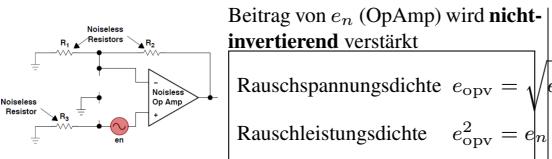
18.1 Pattern-Noise

Für einen 8-Bit DAC ist der digitale Wert 129 ungünstig, da in der Bitsequenz irgendwann zwei '1' hintereinander auftauchen. Dies führt zu einer grossen Periodendauer, welche ein **Pattern Noise** beim DAC verursacht, da die '0' und '1' möglichst gleichmässig auf die gesamte Periode verteilt werden.

18.2 Bilanz Sigma-Delta-DAC

- Im Mittel gleich viele '1' und '0' wie bei $\text{PWM} = \frac{n}{N}$
- '1' werden möglichst gleichmässig in Periode verteilt ($N \cdot T_{clk}$)
- Gleichmässige Verteilung ergibt regelmässige Sequenzen \rightarrow periodische Signale \rightarrow unerwünschte Frequenzkomponenten (Pattern Noise)
- Verhalten wie analoger Modulator (Blockschaltbild)





Beitrag von e_n (OpAmp) wird **nicht-invertierend** verstärkt

$$\text{Rauschspannungsdichte } e_{\text{OPV}} = \sqrt{e_n^2 \left(\frac{R_1+R_2}{R_1} \right)^2}$$

$$\text{Rauschleistungsdichte } e_{\text{OPV}}^2 = e_n^2 \left(\frac{R_1+R_2}{R_1} \right)^2$$

Für die **obige Beschaltung** (nicht allgemeingültig) ergibt sich somit gesamthaft:

$$V_{\text{noise}} = \sqrt{\int_0^{\infty} 4kTR_2 \left(\frac{R_1+R_2}{R_1} \right) + 4kTR_3 \left(\frac{R_1+R_2}{R_1} \right)^2 + (i_{nn} R_2)}$$

→ Nicht vorhandene Elemente auf Null setzen!

Hinweis: Die meisten Elemente werden mit dem **Noise-Gain** A_{noise} multipliziert (Verstärkung nicht-invertierender OpAmp)

$$A_{\text{noise}} = \frac{R_1 + R_2}{R_1} = 1 + \frac{R_2}{R_1}$$

19.9.1 Vereinfachte Berechnung – Rauschen von OpAmps

Die vereinfachte Berechnung darf angewendet werden wenn: (UND-Verknüpfung)

- Bandbreite $B \gg$ Noise Corner Frequency f_{enc} → Bandbreite $B > 10 \text{ kHz}$
- Widerstand $R_3 = 0$ (→ Abschnitt 19.9)

$$V_{\text{noise}} = \sqrt{4kT \cdot R_2 \cdot A_{\text{noise}} \cdot \frac{\pi}{2} \frac{\text{GBW}}{A_{\text{noise}}} + e_w^2 \cdot A_{\text{noise}}^2 \frac{\pi}{2} \frac{\text{GBW}}{A_{\text{noise}}}} = \sqrt{(v_{\text{mic}} \cdot A_{\text{mic}} \cdot A_1 \cdot A_2)^2 + (v_{\text{OPV}} \cdot A_1 \cdot A_2)^2 + \dots}$$

ENB Effective Noise Bandwidth
GBW Gain Bandwidth (Product)
 A_{noise} Noise Gain
 e_w Rauschspannungsdichte (Datenblatt OpAmp)

k Boltzmann-Konstante $k = 1.38 \cdot 10^{-23} \frac{\text{J}}{\text{K}}$
Optimalfall: Widerstände rauschen gleich viel wie OpAmp

19.9.2 OpAmp Tiefpass – Vereinfachte Berechnung

$$V_{\text{noise}} = \sqrt{4kT \cdot R_2 \cdot A_{\text{noise}} \cdot \frac{\pi}{2} f_{\text{TP}}}$$

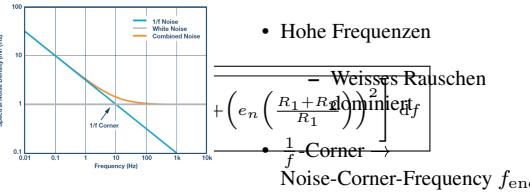
$$\text{mit } f_{\text{TP}} = \frac{1}{2\pi R_2 C_2}$$

$$\text{mit } f_{\text{TP}} = \frac{1}{2\pi R_2 C_2}$$

19.9.3 Arten von Rauschen in OpAmps

- Tiefe Frequenzen
 - Flicker-Noise ($\frac{1}{f}$ -Rauschen) dominiert

- Hohe Frequenzen



– Weisses Rauschen gleich gross wie $\frac{1}{f}$ -Rauschen

19.10 Noise und Signal to Noise Ratio (SNR)

$$\text{SNR} = \frac{V_{\text{signal}}}{V_{\text{rausch}}}$$

$$\text{SNR}_{\text{dB}} = 20 \cdot \log_{10}(\text{SNR})$$

19.10.0 Beispiel: Rauschen bei mehrstufigen Verstärkern



Bei mehrstufigen Verstärkern sollten **große Verstärkungen möglichst 'weit vorne'** in der Signalkette vorkommen.

19.11 Rauschen vermindern

- [ENB] \rightarrow Weniger Rauschen \Leftrightarrow mehr Strom
- [GBW] \rightarrow Hz
- $[A_{\text{noise}}] = 1$ Gilt für Widerstände und aktive Bauteile
- $[e_w] = \frac{V}{\sqrt{\text{Hz}}}$
- Bandbreite auf das Nötigste begrenzen
 - Tiefpass > 1. Ordnung → ENB verkleinern
 - Verstärkung möglichst früh in Signalkette
 - Nicht-invertierender OpAmp besser als invertierender OpAmp parallel schalten
 - n -mal mehr Strom $\Leftrightarrow \frac{1}{\sqrt{n}}$ -mal weniger Rauschen
 - Differentielle Signale verwenden
 - Amplitude doppelt so gross
 - Referenzspannung filtern
 - Signal HP-filtern → Reduktion $\frac{1}{f}$ -Noise

• Chopper- oder Sutozeroing-Verstärker → Reduktion $\frac{1}{f}$ -Noise

- Correlated Double Sampling (CDS)
- Kühlen (teuer!)

20 Reale Bauteile

20.1 Impedanzen – Übersicht

$$Z_C = \frac{1}{j\omega C}$$

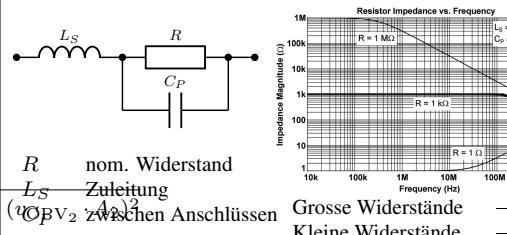
$$Z_L = j\omega L$$

$$|Z| = \sqrt{R_{\text{tot}}^2 + X_{\text{tot}}^2}$$

20.2 Reale Widerstände

R	Widerstand (@ 20 °C)	$[R] = \Omega$
$R = \frac{\rho \cdot l}{A}$	spez. Widerstand	$[\rho] = \frac{\Omega \text{mm}^2}{\text{m}}$
l	Länge des Leiters	$[l] = \text{m}$
A	Querschnitt des Leiters	$[A] = \text{m}^2$

20.2.1 Ersatzschaltung und Frequenzabhängigkeit



20.2.2 Temperaturabhängigkeit

$R_{\vartheta} = R_{20} + \Delta R$	R_{20}	Widerstand bei Temperatur ϑ
		$R_{20} = \Omega$
$\Delta R = R_{20} \cdot \alpha \cdot \Delta \vartheta$	α	Temperaturkoeffizient
	$\Delta \vartheta$	Temperaturdifferenz $\vartheta - 20^\circ\text{C}$

Achtung: Leistungs-Derating bei steigender Temperatur beachten!

20.2.3 Kenngrößen

- Widerstandswert
- Toleranz
- Temperaturkoeffizient α
- max. Verlustleistung
- Bauform (Grösse)
- Leistung (Verlustwärme)
- Widerstandsmaterial
- Genauigkeit und Langlebigkeit

20.3 Spezielle Widerstände

20.3.1 Thermistoren

Thermistoren sind **temperaturabhängige Widerstände**. PTC (pos. temp. Koeffizient, K)

NTC (neg. temp. Koeffizient, Heissleiter)

• Widerstandswert steigt mit steigender Temperatur

– Temperatursensoren

– Selbst-rückstellende Sicherungen

– Selbst-regelndes Heizelement

$$R = R_{20} \cdot e^{B \cdot \left(\frac{1}{T} - \frac{1}{T_{20}} \right)}$$

$$R = R_{20} \cdot (1 + A \cdot \vartheta + b \cdot \vartheta^2)$$

20.3.2 Varistoren

Varistoren sind **spannungsabhängige Widerstände**.

- Alternativ: Voltage Dependent Resistor (VDR)
- Verringern Widerstand bei steigender Spannung (Verhalten sich wie Z-Diode aber für beide Polaritäten)
- Eingesetzt für:
 - Begrenzung von Überspannungs-Impulsen
 - Eingangs-Schutzschaltungen

20.3.3 Fotowiderstände (LDR)

$$[R_{\vartheta}] = \frac{R_{20}}{1 + \frac{R_{20}}{I_{\text{light}}} \cdot \vartheta}$$

[a] Licht auf die foto-empfindliche Fläche des Fotowiderstands, so verringert sich der Widerstand durch den inneren foto-elektrischen Effekt

- Relativ langsame Widerstands-Änderung
 - Mehrere ms Verzögerung
- Heutzutags werden statt LDRs meist Photodioden eingesetzt

20.3.4 Druck- und dehnungsabhängige Widerstände

• **Dehnmessstreifen** (Strain Gage, Strain Gauge)

• Ändern ihren Widerstandswert in Abhängigkeit ihrer Dehnung bzw. Zugspannung

• Folienwiderstände, welche aufgeklebt werden

• Häufig in Brückenschaltungen verwendet

20.3.5 Verstellbare Widerstände, Potentiometer

- Fester Widerstand mit Abgriff dazwischen (\rightarrow 'Spannungsteiler')
- Potentiometer geeignet für häufiges Verstellen
 - Alternative heute: Digitale Potentiometer
- Trimmpotentiometer nur für gelegentliches Verstellen geeignet
 - Alternative heute: Winkelencoder mit Hall-Sensor

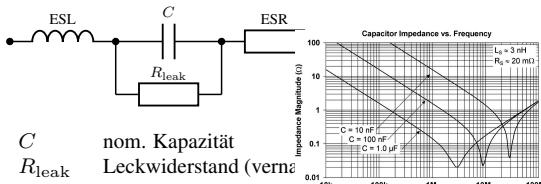
20.4 Reale Kondensatoren

$$C_P = \frac{\epsilon_0 \cdot \epsilon_r \cdot A_r}{d} \quad \text{relative Permittivität}$$

$$C = \frac{\epsilon_0 \cdot \epsilon_r \cdot A}{d} \quad \text{Fläche der Platten}$$

$$\text{Abstand zwischen Platten}$$

20.4.1 Ersatzschaltung und Frequenzabhängigkeit



Bei Resonanz: $|X_C| = |Z| = \sqrt{|R|^2 + (|X_C| - |X_L|)^2}$ → Z rein resistiv (tiefster Punkt in Diagramm)

Hinweis: Für eine optimale Stützung der Speisung werden mehrere Kondensatoren mit verschiedenen Kapazitätswerten parallelgeschaltet

20.4.2 Temperaturabhängigkeit

- Abhängig von Dielektrikum
→ Kennlinien

20.4.3 Spannungsabhängigkeit

- Abhängig von Dielektrikum
→ Kennlinien
- Faustregel: Je höher die maximale Spannung des Kondensators, desto weniger ändert die Kapazität

20.4.4 Verschiedene Typen von Kondensatoren

- Elektrolytkondensatoren (Elkos)**
 - Gepolte Kondensatoren
 - Wenn bei tieferer Temperatur eingesetzt als spezifiziert:
 -10°C verdoppelt Lebenserwartung
- Keramikkondensatoren**
 - Spannungsfestigkeit 10 V – 100 kV
 - Verschiedene Klassen von Dielektrika
 - * Klasse 1: HF- und Filteranwendungen (temp- und spannungsstabil)
 - * Klasse 2: Höhere Kapazitätswerte (temp- und spannungsabhängig)

Tantalkondensatoren

$$[C_P] = \frac{F}{m}$$

$$[\epsilon_0] = \frac{F}{m}$$

$$[\epsilon_r] = \text{Gepolte Konden-} \quad [A] = n^2 \text{atoren}$$

$$[d] = m$$

- Grosse Kapazität bei kleiner Abmessung
- Tantal ist problematisch im Abbau

Folien-Filmkondensatoren

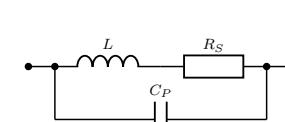
- Sind selbstheilend
- Hohe Genauigkeit
- Relativ teuer

Kondis mit einstellbarer Kapazität

- Zum Einstellen von Schwingfrequenzen
- Trimmer

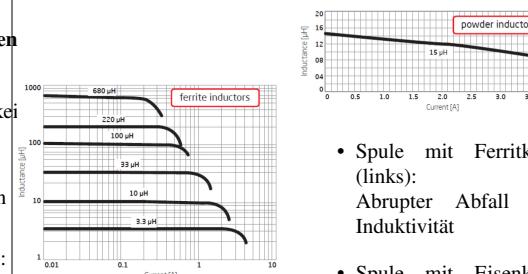
20.5 Reale Spulen

20.5.1 Ersatzschaltung und Frequenzabhängigkeit



R nom. Widerstand
LS Zuleitung zwischen Anschlüssen
C

20.5.2 Induktivität und Strom



- Spule mit Ferritkern (links): Abrupter Abfall der Induktivität
- Spule mit Eisenkern (rechts): Kein abrupter Abfall der Induktivität

20.5.3 Einsatzgebiete von Spulen

- Transformer
- Galvanische Trennung
- DC-DC-Wandler
- HF-Anwendungen
- Entstörung (EMV)

- Auch Ferrite Bead genannt
- Dämpfung von HF-Störungen

- Hohe Impedanzen bei hohen Frequenzen
- Kleiner DC-Widerstand

21 Printed Circuit Boards (PCBs)

21.1 Allgemeine Informationen

21.1.1 Aufgaben PCB

- Elektrische Verbindung zwischen Bauteilen
- Mechanische Befestigung der Bauteile

21.1.2 Testen von PCBs

- Lot überprüfen
- Automatische Röntgen-Inspektion (AXI)
- Elektrische Überprüfung
 - In-Circuit-Test (ICT)
- Wärmeabfuhr
- Ev. Abschirmfunktion
- Ev. Antennen (kleine Spulen)
- Bestückung
- Automatische optische Inspektion (AOI)

21.1.3 Ausführungen von PCBs

- Anzahl der Lagen (Layer)
 - (4-Lagen als Standard)
- Flex-Leiterplatten
 - Stark elatisches Grundmaterial
- Starr-Flex-Leiterplatten
 - Kombination aus starr und flexibel

21.1.4 Gehäuse (Komponenten)

- THT: through-hole-technology
- SMD/SMT: surface mounted device / surface mounted technology
 - BGA: Ball grid array
 - CSP: chip scale package
 - DCA: direct chip attach

21.2 Aufbau von PCBs

21.2.1 Lagen-Aufbau

Ein 4-lagiges PCB ist folgendermassen aufgebaut:

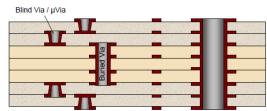
Material	Lagen	Typ	Dicke in mm
Cu-Folie	Lage 1		0.018
Prepreg		Prepreg 7628	0.180
Prepreg		Prepreg 7628	0.180
Kupfer	Lage 2		0.035
Innenlage		FR4-Kern	0.900
Kupfer	Lage 3		0.035
Prepreg		Prepreg 7628	0.180
Prepreg		Prepreg 7628	0.180
Cu-Folie	Lage 4		0.018

21.2.1 Hinweise und Eigenschaften zum Lagen-Aufbau

- Die Gesamt-Dicke eines PCBs ist meist 1.6 mm (unabhängig von der Anzahl Layer)
- PCBs sind immer symmetrisch aufgebaut
- In die Innenlagen sind meist Speisungs-Layer (Flächen mit Speisungen)
- Das Basismaterial FR4 besteht aus Epoxidharz und Glasfasergewebe

21.2.2 Durchkontaktierung (Via)

Die verschiedenen Lagen des PCBs werden mit Vias miteinander verbunden.



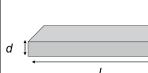
- Buried Via (Vergrabene Durchkontaktierung)
- Blind Via (Sackloch)
- Micro Via

21.3 Herstellungsprozess von PCBs

- Vorbereitung und Belichtung der Innenlage (Kern aus FR4)
- Ätzen der Innenlage (Kupfer wird abgeätzt)
- Aussenlage aufbringen und verpressen
- Löcher für Durchkontaktierungen (Vias) bohren
- Durchkontaktieren der Vias (elektrisch verbinden)
- Belichten und Cu-Abscheiden der Aussenlagen
- Aussenlagen ätzen (Leiterbahnen bleiben übrig)
- Lötstopfmaske (solder mask) aufbringen
- Oberfläche veredeln (Lötpads mit Nickel oder Gold überziehen)

21.4 Elektrische Eigenschaften von PCBs

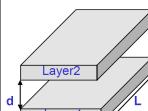
21.4.1 Widerstand von Leiterbahnen



$$R = \frac{\rho \cdot l}{w \cdot d}$$

R Widerstand (@ 20 °C)
 ρ spez. Widerstand
 l Länge des Leiters
 w Breite der Leiterbahn
 d Dicke der Leiterbahn (35 µm)

21.4.2 Kapazität von Leiterbahnen



$$C = \frac{\varepsilon_0 \cdot \varepsilon_r \cdot W \cdot L}{d}$$

$$\begin{aligned} C &= \\ \varepsilon_0 &= \\ \varepsilon_r &= \\ A &= W \cdot L \\ d &= \end{aligned}$$

Kapazität (**Plattenkondensator!**)
 elektrische Feldkonstante $8.85 \cdot 10^{-12} \frac{F}{m}$
 relative Permittivität (FR4: $\varepsilon_r = 4.5$)
 Fläche der Platten
 Abstand zwischen Platten

$$[C] = F$$

$$[\varepsilon_0] = \frac{F}{m}$$

$$[\varepsilon_r] = \frac{F}{N}$$

$$[A] = m^2$$

$$[d] = m$$

L_C Induktivität (flache) PCB-Ver.
 l Länge der Leiterbahn
 w Breite der Leiterbahn
 d Dicke der Leiterbahn

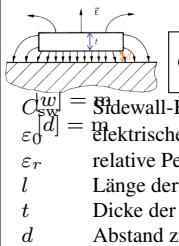
21.5 Signalfluss auf dem PCB

- Strom fließt immer zurück!

– Leitung oder ground planes

- Rückstrom nimmt Weg des geringsten Widerstands (geringste Impedanz)

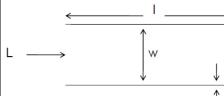
21.4.3 Kapazität zwischen Leiterbahn und Fläche



$$C_{sw} = 2 \cdot \varepsilon_0 \cdot \varepsilon_r \cdot l \cdot \ln \left(1 + \frac{t}{d} \right) = C_P + C_{sw}$$

C_{sw} Sidewall-Kapazität
 ε_0 elektrische Feldkonstante $8.85 \cdot 10^{-12} \frac{F}{m}$
 ε_r relative Permittivität (FR4: $\varepsilon_r = 4.5$)
 l Länge der Leiterbahn
 t Dicke der Leiterbahn
 d Abstand zwischen Leiterbahn und Fläche

21.4.4 Induktivität von Leiterbahnen



Für $l \gg w \gg r$

$$L = \frac{\mu \cdot l}{\pi} \cdot \ln \left(\frac{4r_2}{r_1} \right)$$

19	14	15	18	22	27	33	39	47
1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1

E6-Reihe: blau markierte Zahlen
 E12-Reihe: obere Zeile
 E24-Reihe: ganze Tabelle

22 Anhang

22.1 E-Reihen