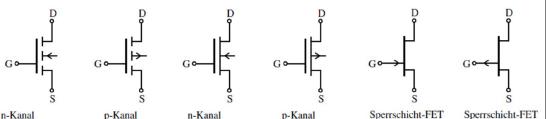


# Elektronik 2

FS 25 – Prof. Guido Keel  
Autoren: Alessio Ciceri, Ricca Aaron  
V 1.0.June 26. 2025 https://github.com/AleCic02/Elo2

## 1 Feldeffekt-Transistoren

### 1.1 FET-Typen und Symbole



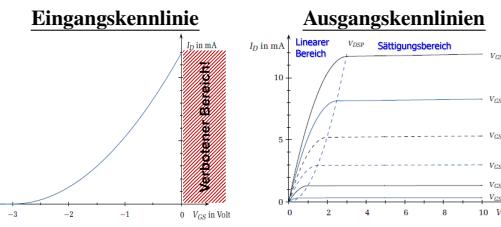
#### 1.1.1 Anschlüsse eines FET

Kanal von Drain zu Source (Stromfluss), gesteuert von Gate (und Bulk).

Wichtig ist, dass die Verarmungsmosfets SEHR selten sind. Wenn sie werdenet sind, sollte es explizit geschrieben werden.

## 1.2 Sperrschi-FET / Junction FET (JFET)

### 1.2.1 Kennlinien

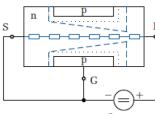


### 1.2.2 Linearer Bereich (gesteuerter Widerstand)

- Für kleinen Spannung-Unterschied  $V_{DS}$
- $V_{GS}$  ändert Dicke der Raumladungszone (Kanal)
- n-Kanal JFET: Je negativer  $V_{GS}$ , desto weniger Strom fließt bzw. desto enger der Kanal

$$I_D = \frac{2 \cdot I_{DSS}}{V_p^2} \left( V_{GS} - V_p - \frac{V_{DS}}{2} \right) V_{DS}$$

### 1.2.3 Sättigungs-Bereich (Stromquelle)



- Für hohes  $V_{DS}$  wird leitender Kanal abgeschürt  
→ Strom kann nicht weiter steigen (Stromquelle)
- Übergang gest. Widerstand zu Stromquelle @  $V_{DS,p}$   
→  $V_{DS,p} = V_{GS} - V_p$  ( $V_p$  = Pinch-Off-Spannung)

$$I_D = \frac{I_{DSS}}{V_p^2} \cdot (V_{GS} - V_p)^2$$

#### Verstärkungsmass Transkonduktanz:

$$g_m = \frac{2 \cdot I_{DSS}}{V_p^2} \cdot (V_{GS} - V_p) = \frac{2}{|V_p|} \cdot \sqrt{I_{DSS} \cdot I_D} \quad [g_m] = \frac{S}{V_{GS}}$$

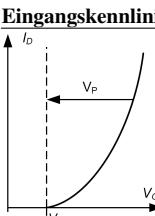
## 1.3 MOS-FETs

### 1.3.1 Aufbau

$L$  Länge des Transistors  
 $W$  Breite des Transistors

- N-Kanal FET: Drain und Source sind n-dotiert
- Kanal ist p-dotiert

### 1.3.2 Kennlinien



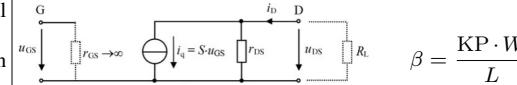
### 1.3.3 Bereiche

- Sperrbereich:**  $V_{GS} < V_{TH}$
- Linearer (Widerstands-)Bereich / Anlaufbereich:**  $V_{GS} > V_{TH}$
- Sättigungsbereich (Stromquelle):**  $V_{DS} > V_{GS} - V_{TH}$

Anlaufbereich (Linearer Bereich)  
Sättigungsbereich (Stromquelle)

$$I_{D,lin} = \beta \cdot (V_{GS} - V_{TH} - \frac{V_{DS}}{2}) I_{D,DS} = \frac{\beta}{2} \cdot (V_{GS} - V_{TH})^2$$

### 1.3.4 Kleinsignal-Ersatzschaltung (MOS-FET)



$$I_{D,lin} = \beta \cdot (V_{GS} - V_{TH} - \frac{V_{DS}}{2}) I_{D,DS} = \frac{1}{\beta \cdot (V_{GS} - V_{TH})} \frac{dV_{DS}}{dI_D}$$

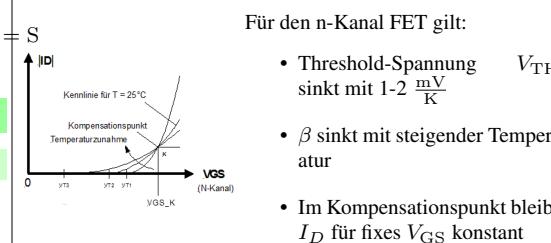
Schalter geschlossen:  
 $R_{FET} = R_{DS(on)}$  Schalter offen:  $R_{FET} = \infty$

### 1.5.1 Verlustleistung / Erwärmung

$$S = g_m = \beta \cdot (V_{GS} - V_{TH}) = \sqrt{2 \cdot \beta \cdot I_D} = \sqrt{2 \cdot \frac{KP \cdot W}{L}} \cdot I_D$$

$$\frac{1}{r_{DS}} = g_{DS} = \lambda \cdot I_D$$

### 1.3.5 Temperaturabhängigkeit der Übertragungskennlinie



Für den n-Kanal FET gilt:

- Threshold-Spannung  $V_{TH}$  sinkt mit  $1-2 \frac{mV}{K}$
- $\beta$  sinkt mit steigender Temperatur
- Im Kompensationspunkt bleibt  $I_D$  für fixes  $V_{GS}$  konstant

## 1.6 Transmission Gate

Im Bild links gilt:  $V_{DD} = 5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$

- NMOS (oben) leitet für  $V_{in} < V_{DD} - T_{TH,n}$
- PMOS (unten) leitet für  $V_{in} > V_{SS} - T_{TH,p}$
- Source und Drain austauschbar  
→ Strom kann in beide Richtungen fliessen

## 2 Transistor-Transistor-Logik

- Meist statischer Stromverbrauch
- Asymmetrische Schaltschwellen (weniger Marge als CMOS-Logik)

### 2.1 Resistor Transistor Logik (RTL)

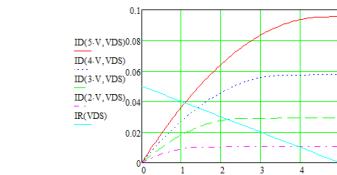
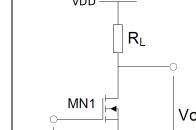
Bild: NOR-Gate

- Ausgangsspannung  $V_{out} = V_+$  oder  $V_{out} = V_{CE,sat}$
- Fan-Out ist begrenzt** (Werden zu viele weitere Gatter an den Ausgang gehängt, so reicht der Strom nicht mehr, um diese zu treiben → Spannungslevel stimmen nicht mehr, um Transistoren durchzusteuren)

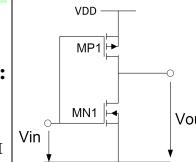
### 1.4 Verstärkerschaltungen mit FETs

#### 1.4.1 Source-Schaltung mit Lastwiderstand

Um den Arbeitspunkt der Schaltung zu bestimmen, wird die **Lastgerade von  $R_L$**  in das Ausgangskennlinienfeld eingezeichnet:



#### 1.4.2 Push-Pull / Digitaler Inverter



- $V_{in}$  geht auf NMOS und PMOS
- Ermöglicht grössere Verstärkung

Für  $V_{in} \approx \frac{V_{DD}}{2}$  gilt:

$$A_{V0} = -(g_{m1} + g_{m2}) \cdot (r_{DS1} + r_{DS2})$$

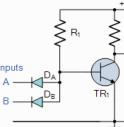
### 1.5 MOS-FET als (Leistungs-)Schalter

Wenn der FET als Schalter eingesetzt wird, so arbeitet er im **linearen Bereich**  
( $V_{GS} > V_{TH}$ , d.h.  $V_{out} < V_{DD} - V_{TH}$ )

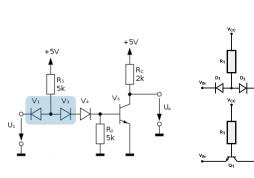
### 2.2 Dioden-Transistor-Logik (DTL)

Bild: NAND-Gate

- Fan-Out grösser**, da Transistor aktiv nach '0' zieht
- $R_2$  muss keine Gatter treiben (kein grosser Stromfluss)
- Nachteile: Sehr tiefer Störabstand; Transistor leitet schon bei Spannungen, welche kaum  $> 0 \text{ V}$  sind



## 2.3 Transistor-Transistor-Logik (TTL)

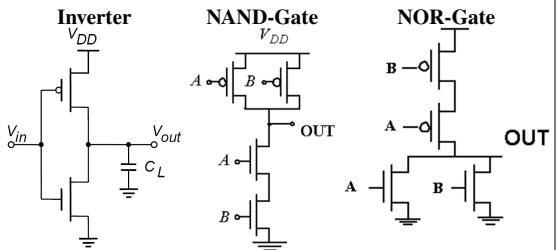


- Schaltschwelle am Eingang wird durch Dioden  $V_3$  und  $V_4$  um 1.4 V erhöht
- Dioden  $V_1$  und  $V_3$  bilden npn-Struktur  $\rightarrow$  npn-Transistor

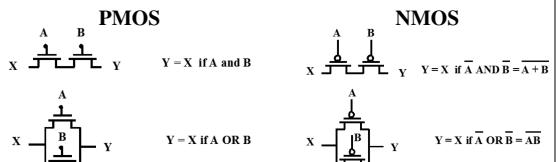
## 3 CMOS-Logik

- Entweder leitender Pfad nach  $V_{SS}$  (NMOS) oder  $V_{DD}$  (PMOS)
- Kein statischer Stromverbrauch
- Langsamer als Bipolar
- Symmetrische Schaltschwellen bei ca.  $\frac{V_{DD}}{2}$  (Übertragungskennlinie)
- Output-Level  $V_{ol}, V_{oh}$  näher bei Speisung als Input Level  $V_{il}, V_{ih} \rightarrow$  mehr Marge
- Höhere Speisespannung  $\rightarrow$  weniger propagation delay
- Nicht geeignet zur Datenübertragung über längere Strecken (kein  $50\Omega$  Abschluss)

## 3.1 Grundgatter in CMOS-Logik



## 3.2 Dualität NMOS – PMOS



## 3.3 Verlustleistung bei CMOS-Logik

$$P_V = C \cdot V_{CC}^2 \cdot f$$

$C$  Kapazität (aus Datenblatt)  
 $f$  Frequenz

## 3.4 Verzögerungszeit

### Linearer Bereich

$$t_{pHL} = 0.69 \cdot R_{on} \cdot C_L$$

$\rightarrow$  Exponentielle Entladung!

### Sättigung (Stromquellen-Bereich)

$$t_{pHL} = \frac{C_L}{I_{sat}} \cdot \frac{V_{swing}}{2} \approx \frac{C_L}{I_{sat}} \cdot V_{swing}$$

$\rightarrow$  Lineare Entladung!

## 4 Schmitt-Trigger

- Schaltschwellen müssen nicht sehr genau sein
- Schmitt-Trigger garantieren auch bei verrauschten Signalen saubere (einmalige) Schaltschwellen, dank der Hysterese

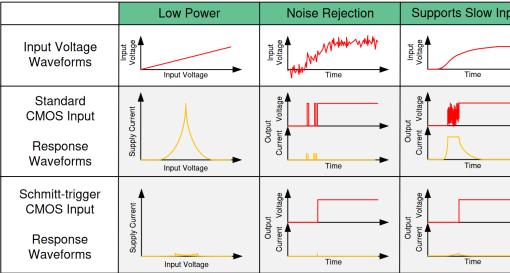
### 4.1 Aufbau nichtinvertierender digitaler Schmitt-Trigger

- $M_1, M_2$ : Digitale Inverter
- $M_3, M_4$ : gesteuerte Widerstände
- Für  $V_{out} = 0$ :  $M_4$  leitet,  $M_3$  sperrt
- Für  $V_{out} = 1$ :  $M_3$  leitet,  $M_4$  sperrt
- $M_3, M_4$  verschieben Schaltschwellen abhängig von  $V_{out} \rightarrow$  Hysterese

### 4.2 Aufbau invertierender digitaler Schmitt-Trigger

- Ohne  $M_5, M_6$ : Normaler Inverter mit je 2 Serie-Transistoren
- Für  $V_{out} = 1$ : Durch  $M_5$  fließt Strom in  $M_1$
- $V_{in}$  muss höher sein, um Strom der PMOS aufzunehmen  
 $\rightarrow$  Höhere Schaltschwelle für High-Low-Übergang
- 'Inverses' gilt für  $M_6$  und  $M_4$

## 4.3 Schmitt-Trigger vs. CMOS-Logik



## 6.1 Emitter Coupled Logic (ECL)

- 2 Familien: 10k (langsamer) und 100k (schneller)
- Positive Speisung:  $V_{CC} = 0\text{ V}$
- Negative Speisung:  $V_{EE} = -4.5\text{ V}$  /  $V_{EE} = -5.2\text{ V}$
- ICs werden warm ( $40\text{ mW}$  pro Gatter)
- Eingangssignal  $V_I$  wird mit fixer Referenz  $V_R$  verglichen
- Von  $V_R - 100\text{ mV}$  bis  $V_R + 100\text{ mV}$  kippt Ausgangsspannung von  $V_{CC}$  auf  $V_{CC} - R_C \cdot I_C$
- Differentieller Spannungshub der Ausgänge:  $V_{diff} = \pm R_C \cdot I_C$
- Spannungspegel nicht kompatibel zu CMOS / TTL

### 6.1.1 Positive Emitter Coupled Logic PECL

- Positive Speisung:  $V_{CC} = 5\text{ V}$
- Negative Speisung:  $V_{EE} = 0\text{ V}$
- Ausgangsbeschaltung mit  $50\Omega$  Abschluss zu  $V_{CC} - 2\text{ V}$   
 $\rightarrow$  Reduktion der Reflexionen!
- Spannungspegel sind kompatibel zu CMOS / TTL

### 6.1.2 Low Voltage Positive ECL (LVPECL)

- Speisespannungen:  $V_{CC} = 3.3\text{ V}$ ;  $V_{EE} = 0\text{ V}$
- Weniger Leistung als 5 V Logik; leichter anpassbar an 3.3 V Logik

## 6.2 Current Mode Logic (CML)

- Terminierung am Eingang der Folgestufe gegen  $V_{CC}$
- Äquivalenter Widerstand:  $R_{Ceq} = 50\Omega \parallel 50\Omega = 25\Omega$

Differentielle Spannung:  $V_{diff} = \pm R_{Ceq} \cdot I$

## 6 High-Speed-Logik

- Sättigung verhindern, da langsam (bei Bipolar-Transistoren)
- Reduzierter Spannungshub
- Stromsteuerung, da Ströme schneller geschaltet werden als Spannungen

## 6.2.1 CML vs. ECL

ECL	CML
• Diff-Amp mit Transistor-Buffer; Ausgang am Emitter	• Ausgang direkt vom Diff-Amp
• Single-ended Input (2. Eingang auf fixer Spannung)	• Differentieller Input und differentieller Output
• Single-ended Output (z.T. auch differentiell)	• Impedanzanpassung zur Reduktion von Reflexionen ( $50\ \Omega$ )

## 6.2.2 Vorteile / Nachteile von CML gegenüber CMOS-Logik

+ high Speed	- hoher statischer Stromverbrauch
+ konstanter Strom (kaum Speisungseinbrüche)	- differentiell: benötigt doppelt so viele Leitungen
+ differentiell: wenig Störung	- aufwändiges PCB-Layout wegen angepassten Leistungsimpedanzen nötig
+ kann Kabel treiben	

## 7 Spannungsreferenzen

- Referenzspannungsquellen liefern idealerweise Ausgangsspannungen, welche **unabhängig** von Temperatur, Speisepotential und Last sind
- 2 Hauptprinzipien: Zenerdioden (meistens mit  $V_Z = 5.6\text{ V}$ ) und Bandgap-Quellen mit  $V_{out} = 1.25\text{ V}$

## 7.1 Spannungsteiler

Speisepotentialabhängigkeit	
Spannungsänderung:	$\Delta V_{ref} = \Delta V_{POS} \frac{R_1}{R_1 + R_2}$
Sensitivität:	$S = \frac{\Delta V_{ref}}{V_{POS}} = 1 - \frac{\Delta V_{POS}}{V_{POS}}$
Temperaturabhängigkeit	Da die Widerstände <b>gleiche Temperaturkoeffizienten</b> haben ändert sich der Strom durch $R_1$ und $R_2$ , jedoch nicht das Widerstandsverhältnis $\rightarrow V_{ref}$ bleibt <b>konstant</b> ! $\rightarrow$ gut
Spannungsänderung bei Lastwechsel	
	Ersatzschaltung der Referenzquelle durch Thévenin-Äquivalent mit
	$R_P = R_1    R_2 \rightarrow$ sehr lastabhängig, da $R_P$ gross

## 7.2 Diodenreferenz

$$V_{ref} = V_D = n \cdot V_T \cdot \ln\left(\frac{I}{I_S}\right) \quad \text{mit } V_T = \frac{kT}{q} \approx 25\text{ mA}$$

### Speisepotentialabhängigkeit

Sensitivität:  $\frac{V_{ref}}{I} = \frac{1}{\ln\left(\frac{I}{I_S}\right)} = 0.065 \rightarrow g$

### Temperaturabhängigkeit

Diode hat einen **Temperaturkoeffizient von  $-2\text{ mV/K}$** , d.h.  $V_{ref}$  ändert ebenfalls mit  $-2\text{ mV/K}$   $\rightarrow$  schlecht

### Spannungsänderung bei Lastwechsel

Diode durch Kleinsignal-Ersatzschaltung ersetzen und Ersatzschaltung der Referenzquelle durch Thévenin-Äquivalent mit

$$R_P = R_1 || r_D \rightarrow$$
 weniger lastabhängig, da  $r_D$

## 7.3 Spannungsreferenz mit mehreren Dioden

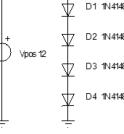
$m$  = Anzahl Dioden in Serie (links:  $m = 4$ )

- Strom durch Dioden muss  $> 0\text{ A}$  sein, damit  $V_D \approx 0.7\text{ V}$

- Spannung über  $m$  Dioden:  $V_{out} = m \cdot V_D$

- Max. Ausgangsstrom:  $I_{out,max} = \frac{V_{pos} - V_{out}}{R_1}$

- Temperaturabhängigkeit:  $TK_{tot} = m \cdot -2\text{ mV/K}$



## 7.4 Spannungsreferenz mit Zenerdioden (Shunt-Regler)

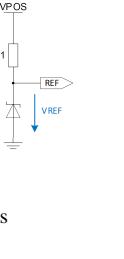
**Shunt-Regler:** Überflüssiger Strom wird durch ein Element abgeführt  $\rightarrow$  Je nach Last wird mehr oder weniger Strom in Z-Diode verheizt

- $V_{REF}$  entspricht Zener-Spannung der Z-Diode

- Häufigste Zener-Spannung:  $5.6\text{ V} \rightarrow TK = 0\text{ mV/K}$

- Strom  $I = \frac{V_{POS} - V_{REF}}{R_1}$  fließt entweder durch Diode oder durch Last

$$\bullet I_{out} < I_{out,max} = \frac{V_{POS} - V_{REF}}{R_1}$$



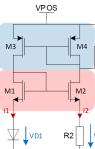
## 7.5 Bootstrap-Referenz ( $V_D$ Stromquelle)

- Stromspiegel  $M_3$  und  $M_4 \rightarrow I_1 = I_2$

- Stromspiegel  $M_1$  und  $M_2 \rightarrow V_{GS1} = V_{GS1}$  da  $I_1 = I_2$

- Da Temperaturkoeffizient von  $V_{D1} \approx -2\text{ mV/K}$  nimmt  $I_{out}$  mit steigender Temperatur ab  $\rightarrow$  schlechte Referenz

- Schaltung hat zwei mögliche Arbeitsspunkte ( $AP\ I_1 = I_2 = 0$  ist unerwünscht!)



$$V_{D1} = I_2 \cdot R_2 = V_{R2}$$

$$I_{REF} = I_1 = I_2$$

## 8 Lineare Spannungsregler

### 8.1 Spannungsstabilisierung mit Z-Diode und BJT

$$V_{out} = V_Z - V_{BE}$$

- Ausgang kann viel Strom liefern
- Ausgangsspannung **sinkt** um ca.  $20\text{ mV}$  bei **Verdopplung** des Stroms
- Ausgangsspannung **sinkt** um  $-2\text{ mV/K}$
- **Keine Regelung** der Ausgangsspannung
- Schnell und stabil, aber nicht genau

### 8.2 Linearer Spannungsregler

$$V_a = V_{ref} \left( 1 + \frac{R_1}{R_2} \right)$$

$$P_V = V_{CE} \cdot I$$

- OpAmp Ausgang ändert so lange, bis für die Spannungen  $V_{R2} = V_{ref} (= 1.25\text{ V})$  gilt
- Minimaler Spannungsabfall  $V_{CE}$  über Regler: bis  $2.5\text{ V}$
- Regler kann sehr warm werden  $\rightarrow$  Verlustleistung  $P_V$

### 8.3 Low-Dropout-Regler mit pnp-Längstransistor (LDO)

- Feedback auf **positiven** OpAmp-Eingang!
- Ansteuerung Längstransistor mit Basisspannung  $< V_{out}$
- Kleiner minimaler Spannungsabfall  $V_{CE}$  über Regler ( $V_{CE,sat}$ )
- Auch erhältlich mit PMOS-Transistor  $\rightarrow$  Dropout-Spannung über Regler (PMOS) ist dann abhängig vom Laststrom (PMOS = gesteuerter Widerstand)

$$V_{out} = (V_{Zener} + V_{OS}) \left( 1 + \frac{R_1}{R_2} \right)$$

$$V_{pos_{min}} = V_{out} + V_{rai}$$

### 7.7 Bandgap-Spannungsreferenz

$$V_{REF} = K \cdot V_{PTAT} + V_D$$

- Der positive Temperaturkoeffizient von  $V_{PTAT}$  wird mit dem Faktor  $K$  verstärkt, sodass  $K \cdot TK_{PTAT} = +2\text{ mV/K}$

- Der nun positive Temperaturkoeffizient wird mit einer Diodenquelle mit  $TK_{Diode} = -2\text{ mV/K}$  kompensiert

- Der gesamte Temperaturkoeffizient  $TK_{bandgap} = 0\text{ mV/K}$

- $V_{REF}$  buffern, damit der Ausgang belastet werden darf

### 7.7.0 Beispiel: LM4041 Shunt Voltage Bandgap Reference

$$V_{out} = V_Z = V_{REF} \left( 1 + \frac{R_2}{R_1} \right)$$

- Einstellbare Referenzspannung  $V_Z = V_{out}$
- Interne Referenz:  $V_{REF} = 1.25\text{ V}$  (Bandgap-Referenz)



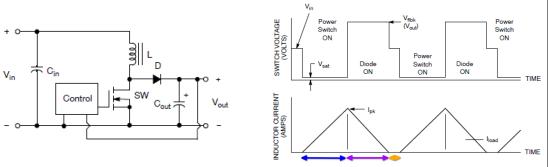


### 10.3.1 Synchronous Boost Converter

- Diode ersetzt durch Schalter SW2
- Entweder SW1 oder SW2 geschlossen
- VSW somit immer leitend verbunden, entweder mit GND oder mit  $V_{out}$   
→ In Spule fließt immer ein Strom

Achtung: Bei kleinen Lasten fließt Strom in die Quelle zurück und die Verlustleistung in der Spule ist größer (Drahtwiderstand)

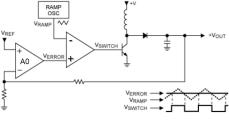
### 10.4 Aufwärtswandler: Lückender Betrieb



- Es existiert ein **3. Zustand**, in welchem kein Strom durch Spule fließt
- Aus  $i_L = 0$  folgt  $V_L = 0$
- Schalter SW offen, damit Spannung am Knoten SW =  $V_{in}$  wird → Diode sperrt
- Control schließt Schalter, nachdem  $V_{out} < V_{out,soll}$  ist  
→ **Regelung von  $V_{out}$**

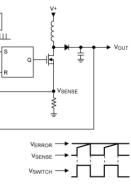
### 10.4.1 Regelung der Ausgangsspannung: voltage-mode control

- Verstärker mit Verstärkung A0
- Komparator vergleicht  $V_{ERROR}$  mit  $V_{RAMP}$
- $V_{OUT} \uparrow$ ,  $V_{ERROR} \uparrow$ , Schalter muss länger geschlossen bleiben  
→ größerer Duty Cycle →  $V_{OUT} \uparrow$

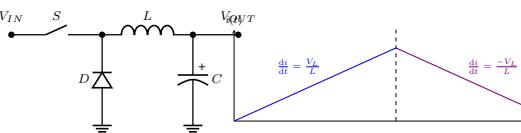


### 10.4.2 Regelung der Ausgangsspannung: current-mode control

- Strom wird mit Shunt-Widerstand durch Spannung  $V_{SENSE}$  gemessen
- Verstärker mit Verstärkung A0
- Komparator resetted Flip-Flop  
→ Schalter (FET) öffnet
- Häufiger zur Regelung verwendet als vorherige Schaltung



### 10.5 Abwärtswandler (Buck, Step-Down Converter)



**Vereinfachungen:**  $V_{out}$  konstant, kein Spannungsabfall über Diode und Schalter

**Formeln gelten nur, wenn immer ein Strom in der Spule fließt**

#### Ladephase

$$\Delta I_{L_{on}} = \frac{1}{L} \cdot (V_{in} - V_{out}) \cdot t_{on}$$

$$I_{L_{on}} = \frac{1}{L} \cdot (V_{in} - V_{out}) \cdot t_{on}$$

$$\Delta I_{L_{off}} = -\frac{1}{L} \cdot V_{out} \cdot t_{off}$$

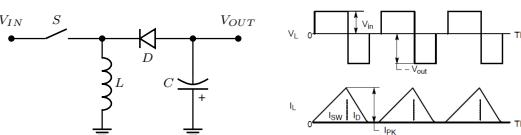
$$I_{L_{off}} = -\frac{1}{L} \cdot V_{out} \cdot t_{off}$$

$$\Delta I_{L_{on}} = -\Delta I_{L_{off}}$$

$$V_{out} = V_{in} \cdot \frac{t_{on}}{T}$$

Gleichgewicht (eingeschwungen)  
Ausgangsspannung

### 10.6 Invertierender Wandler (Buck-Boost Converter)



**Der Converter kann im buck-mode oder boost-mode betrieben werden**: buck-mode: Duty Cycle  $\frac{t_{on}}{T} < 0.5$ ; boost-mode: Duty Cycle  $\frac{t_{on}}{T} > 0.5$

#### Ladephase

$$\Delta I_{L_{on}} = \frac{1}{L} \cdot V_{in} \cdot t_{on}$$

Entladephase ( $V_{out} < 0$ )

$$\Delta I_{L_{off}} = \frac{1}{L} \cdot V_{out} \cdot t_{off}$$

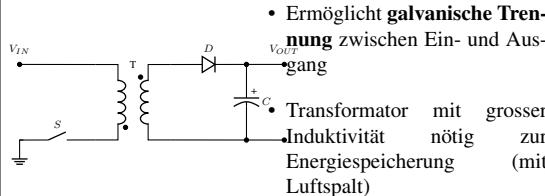
Gleichgewicht (eingeschwungen)

$$\Delta I_{L_{on}} = -\Delta I_{L_{off}}$$

Ausgangsspannung

$$V_{out} = -V_{in} \cdot \frac{t_{on}}{t_{off}}$$

### 10.7 Flyback (Sperrwandler)



• Ermöglicht **galvanische Trennung** zwischen Ein- und Ausgang

• Transformator mit grosser Induktivität nötig zur Energiespeicherung (mit Luftspalt)

#### Phase 1 (Schalter geschlossen)

– Linear steigender Strom auf Primärseite; Energie wird im Magnetfeld gespeichert

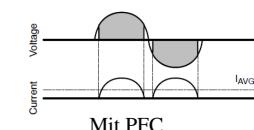
#### Phase 2 (Schalter offen)

– Linear sinkender Strom auf Sekundärseite; Magnetfeld baut sich über Sekundärspule ab

#### Phase 3 (LC-Schwingkreis)

– C parallel zu Schalter auf Primärseite wird wirksam

### 10.8 Power Fail Control (PFC)

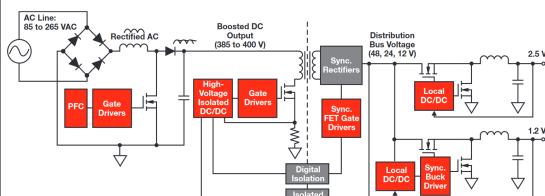


#### Mit PFC

• Strom soll **möglichst sinusförmig** fließen, nicht nur beim Spannungsmaximum  
→ erzeugt Oberwellen (Blindleistung)

• Lösung: 1. Stufe mit Boost Converter

### 10.9 Aufbau Modernes Netzteil



• 1. Stufe: Gleichrichtung und Boost Converter mit PFC

• 2. Stufe: Reduktion auf Systemspannung (Bus voltage) mit Flyback-Converter

• 3. Stufe: Buck Converter (ev. mehrere)

### 10.10 Fazit Spannungswandler SMPS

- Geschaltete Spannungsregler generieren weniger Verlustleistung als Linearregler
- Ausgangsspannung geschalteter Spannungsregler hat **Rippel** der Schaltfrequenz  
→ Muss ev. mit Linearregler zusätzlich stabilisiert werden

### 11 Passive Filter

$$f_3 \text{ dB} = f_g \quad \text{Cut-Off-Frequency, Corner-Frequency}$$

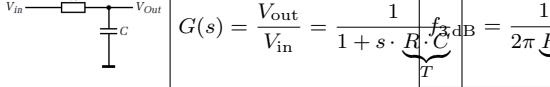
Dämpfung von 3 dB (d.h. Amplitude wird mit  $\frac{1}{\sqrt{2}}$  vermindert)

$$f_S \quad \text{Sampling-Frequenz (ADC, digitale Filter)}$$

→ Alle Frequenzen über  $f_S$  müssen unterdrückt werden

$$UTF \quad \text{Übertragungsfunktion } G(s)$$

### 11.1 Tiefpassfilter 1. Ordnung



$$G(s) = \frac{V_{out}}{V_{in}} = \frac{1}{1 + s \cdot R \cdot C} = \frac{1}{2\pi R C T}$$

**Hinweis:** Die Zeitkonstante  $T$  entspricht immer dem Parameter vor dem  $s$ . Beim Tiefpass 1. Ordnung entspricht dies  $T = R \cdot C$

### 11.2 Bodeplot Tiefpassfilter 1. und 2. Ordnung

#### 1. Ordnung

• Abfall von  $-20 \text{ dB} / \text{Dekade}$

#### 2. Ordnung

• Abfall von  $-40 \text{ dB} / \text{Dekade}$

• Phasenschiebung von maximal  $-90^\circ$  (bei  $f_g = -45^\circ$ )

• Phasenschiebung von maximal  $-180^\circ$  (bei  $f_g = -90^\circ$ )

### 11.3 Filter 2. Ordnung

#### 11.3.1 Kaskadierung von zwei gleichen Filtern

$$G_{11}(s) = \frac{1}{1 + s \cdot R \cdot C} \cdot \frac{1}{1 + s \cdot T \cdot R \cdot C} \cdot \frac{\sqrt{2} - 1}{2\pi f_3 \text{ dB}} \approx 0.64 \cdot T_1$$

Daraus folgt, dass bei 2 identischen Stufen die Grenzfrequenz  $f_3 \text{ dB}$  der einzelnen Stufen  $\frac{1}{0.64} = 1.56$  mal höher gewählt werden muss als bei einem Filter 1. Ordnung.

### 11.3.2 Filter 2. Ordnung mit komplexen Polen

$$G(s) = \frac{A_0 \cdot p_1 \cdot p_2}{(p_1 + s) \cdot (p_2 + s)} = \frac{A_0 p_0^2}{s^2 + \frac{\omega_0}{Q} s + \omega_0^2}$$

Polygut / Filtergüte für  $Q > \frac{1}{2}$   
 $p_{1,2} = \frac{\omega_0}{2Q} (1 \pm \sqrt{1 - 4Q^2})$

### 11.4 Filter höherer Ordnung

- Systeme höherer Ordnung können in kaskadierte Teilsysteme 1. & 2. Ordnung aufgeteilt werden
- Höhere Ordnung und komplexe Pole ermöglichen steileren Übergang zwischen Durchlass- und Sperrbereich

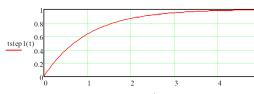
Folgende Filter erzielen durch unterschiedliche Polverteilungen unterschiedl. Verhalten:

- Butterworth:** Konstant im Durchlassbereich der UTF
- Bessel:** Beste Rechteckübertragung, kein Überschwingen
- Tschebyscheff:** Steilster Abfall im Sperrbereich der UTF

### 11.5 Zeitverhalten: Schrittantwort

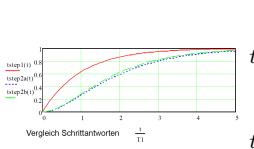
- Frequenzbereich: Multiplikation der UTF mit  $\frac{1}{s}$
- Rücktransformation in den Zeitbereich, um  $t_{\text{step}}(t)$  zu erhalten

#### 11.5.1 Tiefpass 1. Ordnung



$$t_{\text{step},1}(t) = 1 - e^{-\frac{t}{T_1}}$$

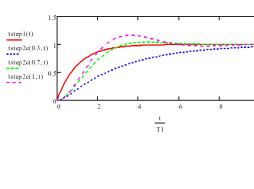
#### 11.5.2 Tiefpass 2. Ordnung



$$t_{\text{step}2a}(t) = 1 - e^{-\frac{t}{T_1}} \cdot \left(1 + \frac{t}{T_1}\right)$$

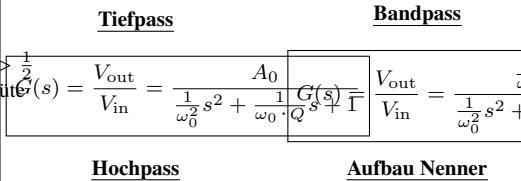
$$t_{\text{step}2b}(t) = 1 - \left(\frac{T_1 \cdot e^{-\frac{t}{T_1}} - T_1}{T_1 - T_2}\right)$$

### 11.6 Schrittantworten verschiedener Polgüten



Komplexe Pole ( $Q > \frac{1}{2}$ ) führt zu Überschwingen.  
Bei einer Polgüte von  $Q = \frac{1}{\sqrt{2}} \approx 0.7$  (grüne Kurve) schwingt das System am schnellsten ein!

### 11.7 Filter 2. Ordnung (passiv und aktiv)



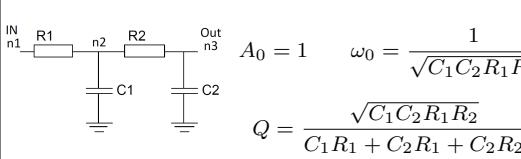
Hochpass	Aufbau Nenner
$G(s) = \frac{V_{\text{out}}}{V_{\text{in}}} = \frac{\frac{A_0}{\omega_0^2}s^2}{\frac{1}{\omega_0^2}s^2 + \frac{1}{\omega_0 \cdot Q}s + 1}$	• Alle Terme positiv Term definiert Grenzfrequenz

- Im  $s$ -Term ist Dämpfung enthalten
  - $s$ -Term gross  $\rightarrow$  grosse Dämpfung
  - $s$ -Term = 0  $\rightarrow$  Oszillatör!

Passive RC-Filter können maximal Güte 0.5 haben (entkoppelte reelle Pole). Filter höherer Güte benötigen entweder Spulen oder **Verstärker**.

→ Die Formeln gelten aber für passive und aktive Filter!

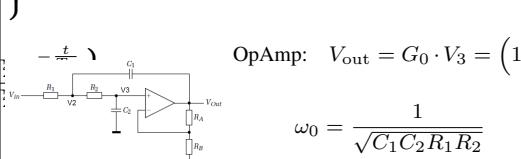
#### 11.7.0 Beispiel: UTF Tiefpass 2. Ordnung



$$G(s) = \frac{V_{\text{out}}}{V_{\text{in}}} = \frac{1}{1 + (C_1 R_1 + C_2 R_1 + C_2 R_2) \cdot s + C_1 C_2 s^2}$$

### 12 Aktive Filter

#### 12.1 Sallen-Key-Filter (Einfachmitkopplung)

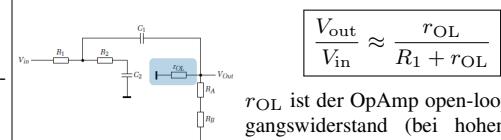


$$G(s) = \frac{G_0}{C_1 C_2 R_1 R_2 \cdot s^2 + [C_2(R_1 + R_2) + C_1 R_1(1 - G_0)] \cdot s + 1}$$

### Stromgleichungen:

$$\begin{aligned} \text{V2: } 0 &= (V_2 - V_{\text{in}}) \frac{1}{R_1} + (V_2 - V_3) \frac{1}{R_2} + (V_2 - V_{\text{out}}) \cdot s \\ \text{V3: } 0 &= (V_3 - V_2) \frac{1}{R_2} + V_3 \cdot s \cdot C_2 \end{aligned}$$

#### 12.1.1 Sallen-Key-Filter bei hohen Frequenzen



$r_{\text{OL}}$  ist der OpAmp open-loop Ausgangswiderstand (bei hohen Frequenzen  $\approx 100 \Omega$ )

Dämpfung ist limitiert auf obigen Spannungsteiler → Sallen-Key-Filter sind nicht geeignet für Systeme mit hohen Frequenzanteilen z.B. PWM-DAC

#### 12.2 Multiple-Feedback-Struktur

OpAmp:  $G_0 = -\frac{R_2}{R_1}$   
 $Q = \frac{\sqrt{C_1 C_2 R_1 R_2}}{C_2 \left( R_2 + R_3 + R_3 \frac{R_2}{R_1} \right)}$

$$G(s) = \frac{G_0}{1 + C_2 \left( R_2 + R_3 + R_3 \frac{R_2}{R_1} \right) \cdot s + C_1 C_2 R_2 R_3 \cdot s^2}$$

### Stromgleichungen:

$$\begin{aligned} \text{V2: } 0 &= (V_2 - V_{\text{in}}) \frac{1}{R_1} + (V_2 - V_{\text{out}}) \frac{1}{R_2} + (V_2 - V_3) \frac{1}{R_3} \\ \text{V3: } 0 &= (V_3 - V_2) \frac{1}{R_3} + (V_3 - V_{\text{out}}) \cdot s \cdot C_2 \end{aligned}$$

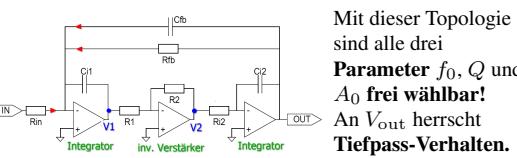
#### 12.3 Sallen-Key vs. Multiple-Feedback Struktur

Sallen-Key	Multiple-Feedback
• Nicht-invertierend	• Invertierend
• $Q$ sensibler auf Toleranzen	• $f_g$ sensibler auf Toleranzen
• Vorwärtspfad für hohe Frequenzen	• Noise-Gain: $A + 1$
• Noise-Gain: $A$	• Eher für
Eher für	– Tiefpass, Bandpass
– kleine Verstärkungen	– grösse verstärkungen

### 12.4 Vorgehen: UTF aus OPV-Filterschaltung ermitteln

- Stromgleichungen (Knotengleichungen) aufstellen
- Gleichungen ineinander einsetzen
- Umformen nach  $G(s) = \frac{V_{\text{out}}}{V_{\text{in}}}$

### 12.5 Zustandsvariablen-Filter (Biquad-Filter)



$$G(s) = \frac{-R_{fb}}{s^2 \cdot C_{i1} C_{i2} R_{fb} R_{i2} \frac{R_1}{R_2} + s \cdot C_{fb} R_{fb} + 1}$$

#### 12.5.1 Allgemein: Filter mit mehreren OpAmps

Mit der Filter-Struktur aus Abschnitt ?? können auch Bandpass- und Hochpass-Filter gebildet werden:

- Tiefpass:** Abgriff beim 3. OpAmp ( $V_{\text{out}}$  gemäss Abschnitt ??)
- Bandpass:** Abgriff beim 2. OpAmp (an Knoten V2)
- + **Hochpass:** Abgriff beim 2. OpAmp, Einspeisung am neg. Eingang des 2. OpAmps

### 13 Analyse von Filterschaltungen mit SFDs

Aktive Filterschaltungen (mit OpAmps) können mittels Signalflussdiagrammen (SFDs) analysiert werden. Dazu wird die gesamte Schaltung in einzelne Komponenten aufgeteilt. Diese Komponenten werden dann mit Impedanz- bzw. Admittanzfunktionen abgebildet. Um die Übertragungsfunktion (UTF) der gesamten Schaltung zu erhalten, muss die **Regel von Mason** angewendet werden.

#### 13.1 Eingangsadmittanzen / (Eingangsimpedanzen)

Hinweis: Es wird normalerweise mit Eingangsadmittanzen gearbeitet!

Komponente	Admittanz $Y$	(Impedanz $Z$ )
Widerstand $R$	$Y_{\text{res}} = \frac{1}{R}$	$(Z_{\text{res}} = R)$
Kapazität $C$	$Y_{\text{cap}} = s \cdot C$	$(Z_{\text{cap}} = \frac{1}{s \cdot C})$
Induktivität $L$	$Y_{\text{ind}} = \frac{1}{s \cdot L}$	$(Z_{\text{ind}} = s \cdot L)$

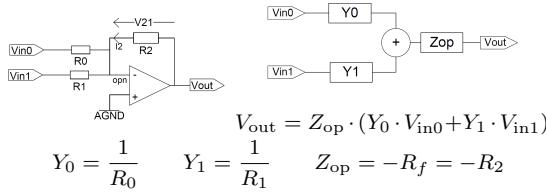
## 13.2 OpAmp Impedanzfunktionen

Hinweis: Es geht um negatives Feedback bzw. Gegenkopplung

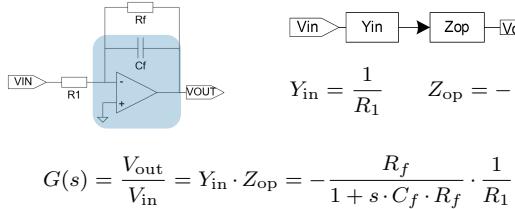
### Schaltung (Feedback) Impedanz $Z$

$$\begin{aligned} \text{Widerstand } R_f \text{ im Feedback} & Z_{\text{op}} = -R_f \\ \text{Kapazität } C_f \text{ im Feedback} & Z_{\text{op}} = -\frac{1}{s \cdot C_f} \\ R_f C_f \text{ (parallel) im Feedback} & Z_{\text{op}} = -\frac{R_f}{1+s \cdot C_f \cdot R_f} \end{aligned}$$

## 13.2.0 Beispiel: Summierender Verstärker



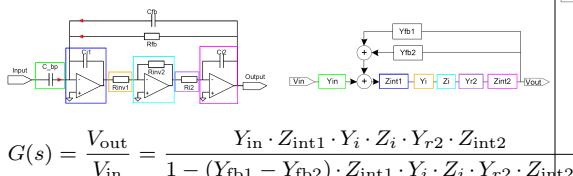
## 13.2.0 Beispiel: Aktiver Tiefpass 1. Ordnung



## 13.3 Regel von Mason (vereinfacht)

$$\text{UTF: } G(s) = \frac{V_{\text{out}}}{V_{\text{in}}} = \frac{\text{Produkt der Transmittanzen im Vorwärtspfad}}{1 - \text{Summe aller Schleifentransmittanzen}}$$

## 13.3.0 Beispiel: Analyse Bandpass mittels SFD und Regel von Mason

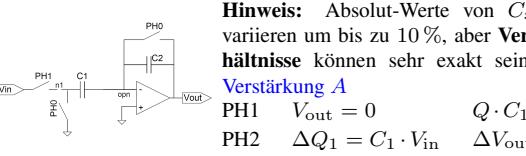


## 14 Switched-Capacitor-Verstärker

### 14.1 Switched-Capacitor-Verstärker

→ Funktionsweise von SC-Schaltungen siehe Abschnitt ??

## 14.1.1 Invertierender Verstärker

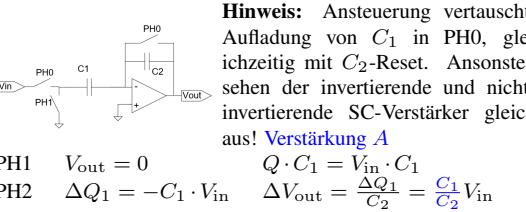


Hinweis: Absolut-Werte von  $C_x$  variieren um bis zu 10 %, aber Verhältnisse können sehr exakt sein!

#### Verstärkung A

$$\begin{aligned} \text{PH1} & V_{\text{out}} = 0 \\ \text{PH2} & \Delta Q_1 = C_1 \cdot V_{\text{in}} \quad \Delta V_{\text{out}} = Q \cdot C_1 \end{aligned}$$

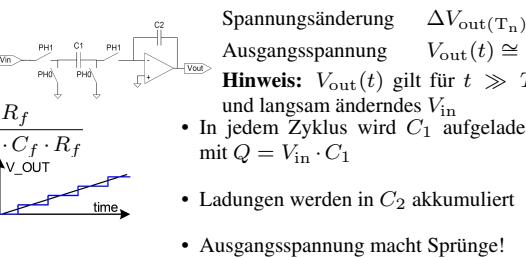
### 14.1.2 Nicht-invertierender Verstärker



Hinweis: Ansteuerung vertauscht: Aufladung von  $C_1$  in PH0, gleichzeitig mit  $C_2$ -Reset. Ansonsten sehen der invertierende und nicht-invertierende SC-Verstärker gleich aus! **Verstärkung A**

$$\begin{aligned} \text{PH1} & V_{\text{out}} = 0 \\ \text{PH2} & \Delta Q_1 = -C_1 \cdot V_{\text{in}} \quad \Delta V_{\text{out}} = \frac{\Delta Q_1}{C_2} = \frac{C_1}{C_2} V_{\text{in}} \end{aligned}$$

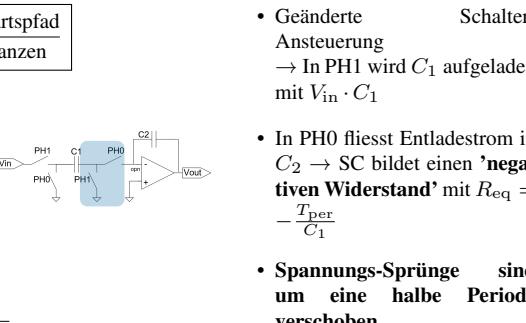
### 14.1.3 (Invertierender) SC-Integrator



Spannungsänderung  $\Delta V_{\text{out}(T_n)} = \frac{1}{C_2} \frac{1}{T} \int V_{\text{in}}(t) dt$   
Ausgangsspannung  $V_{\text{out}}(t) \cong \frac{1}{C_2} \frac{1}{T} \int V_{\text{in}}(t) dt$

- In jedem Zyklus wird  $C_1$  aufgeladen mit  $Q = V_{\text{in}} \cdot C_1$
- Ladungen werden in  $C_2$  akkumuliert
- Ausgangsspannung macht Sprünge!

### 14.1.4 Nicht-invertierender SC-Integrator

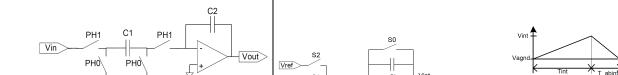
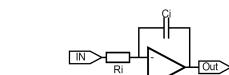


- Geänderte Schalter-Ansteuerung → In PH1 wird  $C_1$  aufgeladen mit  $V_{\text{in}} \cdot C_1$

- In PH0 fliesst Entladestrom in  $C_2$  → SC bildet einen 'negativen Widerstand' mit  $R_{\text{eq}} = -\frac{T_{\text{per}}}{C_1}$

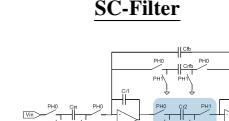
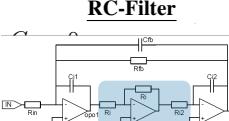
- Spannungs-Sprünge sind um eine halbe Periode verschoben

## 14.2 Vergleich RC- und SC-Integrator



$$\begin{aligned} \text{Hinweis: } & Q \cdot C_2 = 0 \\ \text{UTF: } & G(s) = -\frac{1}{s \cdot R_i \cdot C_i} \\ \text{UTF: } & G(s) = -\frac{C_1}{s \cdot C_2 \cdot T} \\ \rightarrow & R_{\text{eq}} = \frac{T}{C_1} \end{aligned}$$

## 14.3 RC- / SC-Filter



$$\Delta V_{\text{out}(T_n)} = \frac{1}{C_2} \frac{1}{T} \int V_{\text{in}}(t) dt$$

$$\omega_0 = \frac{1}{T} \sqrt{\frac{C_{\text{fb}} C_{r2}}{C_{i1} C_{i2}}}$$

- Für SC-Filter gilt:

- $C_{r2}$  wird umgekehrt angesteuert → bildet 'negativen Widerstand'
- Kapazitäts-Verhältnisse und Taktperiode  $T$  bestimmen  $f_0$  bzw.  $\omega_0$

## 14.4 Fazit Filter

- Aktive Filter sind nötig für Polgüten  $> 0.5$  (oder Spulen)
- Filter werden aufgeteilt in Stufen 1. oder 2. Ordnung
- Strukturen mit mehreren OpAmps sind weniger sensibel auf Bauteiltoleranzen und auf Nichtidealitäten der OpAmps
- Als integrierte Schaltungen werden oft Switched-Capacitor-Schaltungen eingesetzt

## 15 Single- und Dual-Slope-Wandler

$$\begin{aligned} n & \text{Anzahl Bits} \\ D & \text{Digitaler Wert } D < 2^n \\ q & \text{Quantisierungsschritt (1 LSB)} \\ B_0 & \text{Bitwert 0 (LSB)} \\ B_{n-1} & \text{Bitwert } n-1 \text{ (MSB)} \end{aligned}$$

$$\begin{aligned} q &= \frac{V_{\text{refp}} - V_{\text{refn}}}{2^n} \\ D &= \frac{V_{\text{in}} - V_{\text{refn}}}{V_{\text{refp}} - V_{\text{refn}}} \end{aligned}$$

## 15.1 Dual-Slope-Wandler

$$\begin{aligned} V_{\text{int}} &= \frac{\overline{V_{\text{in}}} \cdot T_{\text{int}}}{R_i \cdot C_i} \\ V_{\text{abint}} &= \frac{V_{\text{ref}} \cdot T_{\text{ab}}}{R_i \cdot C_i} \end{aligned}$$

$$\Delta V_{\text{abint}} = -\Delta V_{\text{int}}$$

$$\Delta V_{\text{abint}} = V_{\text{AGND}} - V_{\text{int}} = -\frac{1}{R_i \cdot C_i} (V_{\text{ref}} - V_{\text{AGND}}) \cdot T_{\text{ab}}$$

$$T_{\text{abint}} = -\frac{V_{\text{in}1} \cdot T_{\text{int}}}{V_{\text{ref}}}$$

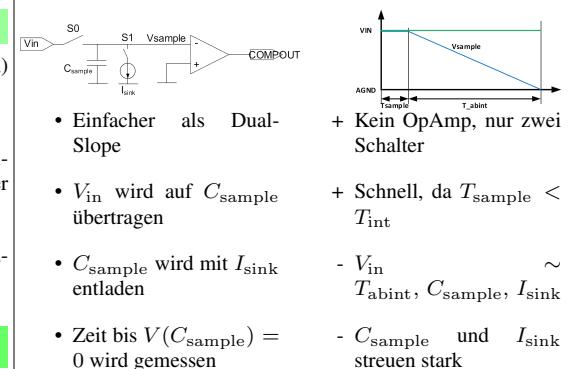
$$\text{Allgemein: } V_{\text{int}} = \int_0^{T_{\text{int}}} -\frac{1}{R_i \cdot C_i} V_{\text{in}1} dt + V_{\text{int},0}$$

$$-\frac{\overline{V_{\text{in}}}}{V_{\text{ref}}} = \frac{T_{\text{abint}}}{T_{\text{int}}} = \frac{n \cdot T_{\text{clk}}}{N \cdot T_{\text{clk}}}$$

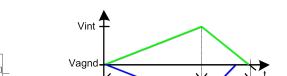
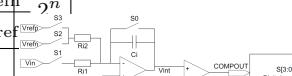
### 15.1.1 Frequenzverhalten vom Dual-Slope-Wandler

Frequenzen  $f = \frac{1}{T}$ , wobei  $T$  der Integrationszeit entspricht, werden perfekt unterdrückt  
⇒ Integrationszeit  $T = 20 \text{ ms}$  unterdrückt Netzbrumm von 50 Hz

## 15.2 Single-Slope-Wandler



### 15.3 Dual-Slope-Wandler für pos. und neg. Eingangsspannungen



- Auf- und Abintegration wechselt ab
- Je nach Komparator-Ausgang wird S2 oder S3 geschlossen

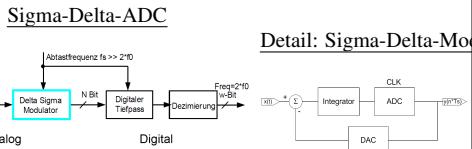
- Für  $V_{in} < V_{AGND}$  wird in Richtung positive Speisung integriert
- Für  $V_{in} > V_{AGND}$  wird in Richtung GND integriert

### 15.3.1 Eigenschaften von Dual-Slope-Wandlern

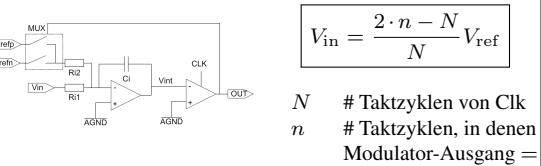
- Unabhängig von Bauteiltoleranzen
- Höhere Auflösung bedingt längere Integrationszeit (bei fixem clk) → Doppelte Zeit für 1 zusätzliches Bit
- Höhere Frequenzen werden stärker unterdrückt → reduziert Bandbreite
- Auflösung wird gegen Bandbreite getauscht

## 16 Sigma-Delta-ADC

### 16.1 Aufbau Sigma-Delta-ADC



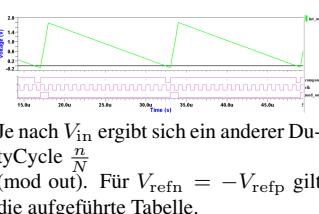
### 16.2 Sigma-Delta-Modulator 1. Ordnung



- Allgemein:  $V_{int}(t) = \Delta V_{int} + V_{int,0} = -\frac{1}{C_i} \int_0^t \left( \frac{V_{in} - A}{R_{i1}} dt \right)$
- Sigma-Delta-Wandler machen gleichzeitig Auf- und Abintegration (Feedback-Pfad)
  - 'Digitales Filter' → 'Mittelwertbildung' um  $V_{in}$  zu berechnen
  - Eingangsspannungsbereich:  $V_{refn} \leq V_{in} \leq V_{refp} \rightarrow I_{Eingang} \leq I_{Feedback}$
  - Summe aller Ladungen muss gesamthaft 0 sein! →  $\Delta Q = C \cdot \Delta U = I \cdot \Delta t = 0$

### 16.3 Sigma-Delta-Modulator im Zeitbereich

#### 16.3.1 DC-Eingangssignale



$V_{in}$	Duty Cycle $\frac{n}{N}$
0 V	0
$\frac{1}{2} V_{refn}$	$\frac{1}{2}$
$\frac{7}{8} V_{refn}$	$\frac{7}{8}$
$\frac{1}{10} V_{refp}$	$\frac{1}{10}$
$0.02 \cdot V_{refp}$	$\frac{1}{50}$
	$\frac{1}{100}$

Je nach  $V_{in}$  ergibt sich ein anderer DutyCycle  $\frac{n}{N}$  (mod out). Für  $V_{refn} = -V_{refp}$  gilt die aufgeführte Tabelle.

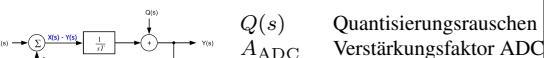
#### 16.3.1 Fazit DC-Eingangssignale

- DC-Eingangssignale erzeugen repetitive Sequenzen mit hohen Frequenz-Anteilen
- Ist  $V_{in}$  nahe bei Bruchteil von  $V_{ref}$  entstehen lange repetitive Sequenzen mit tiefen Frequenz-Anteilen
- Lange repetitive Sequenzen können nicht von Signal unterschieden werden → Pattern Noise

### 16.3.2 AC-Eingangssignale

AC-Eingangssignale können durch Mittelwertbildung (z.B. mit Tiefpassfilter mit entsprechend hoch dimensioinierter Zeitkonstante) des Signals  $V_{int}$  rekonstruiert werden.

### 16.4 Modellierung Sigma-Delta-Modulator im Frequenzbereich



#### 16.4.1 Übertragungsfunktionen Sigma-Delta Modulator

$$Y(s) = [X(s) - Y(s)] \cdot \frac{1}{s \cdot T}$$

$$H_s(s) = \frac{Y(s)}{X(s)} = \frac{1}{1 + s \cdot T}$$

$$H_n(s) = \frac{Y(s)}{Q(s)}$$

$$H_n(s) = \frac{Y(s)}{Q(s)} = \frac{s \cdot T}{1 + s \cdot T}$$

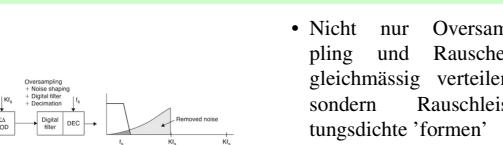
### 16.5 Oversampling / Signal-Rausch-Abstand (SNR)

$$\text{Rauschleistung} = \text{Rauschleistungsdichte} * \text{Bandbreite} = \frac{q^2}{12} = \text{konstant}$$

- Oversampling verteilt Quantisierungsrauschen über größeren Frequenzbereich

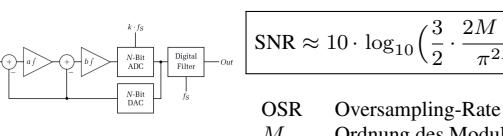
- Da die Rauschleistung konstant ist, wird die Rauschleistungsdichte (also die 'Amplitude' des Rauschens) kleiner
- Ein Digitalfilter reduziert die Bandbreite des ADCs weiter

#### 16.5.1 Noise-Shaping



- Nicht nur Oversampling und Rauschen gleichmäßig verteilen, sondern Rauschleistungsdichte 'formen'
- Nur bei Sigma-Delta-Wandlern möglich

### 16.6 Sigma-Delta-Wandler 2. Ordnung



- Ordnung  $M = 2 \rightarrow 2$  Integratoren
- Quantisierungsrauschen  $Q(s)$  wird mit Hochpass 2. Ordnung gefiltert
- Je höher Ordnung  $M$ , desto stärker das Noise-Shaping ( $= 1$ ) (6 dB pro Ordnung und Oktave)
- Je höher Oversampling (OSR), desto höher SNR (3 dB Oktave)

### 17 Multi-Bit Modulatoren

Anstatt eines Komparators ADCs mit mehreren Bits für den Aufbau des Sigma-Delta-Modulators verwendet.

- + Dynamikgewinn von ca. 6 dB pro zusätzlichem Bit.
- Aufwändiger Flash-ADC (parallele Komparatoren) nötig, da in einem Takt gewandelt werden muss

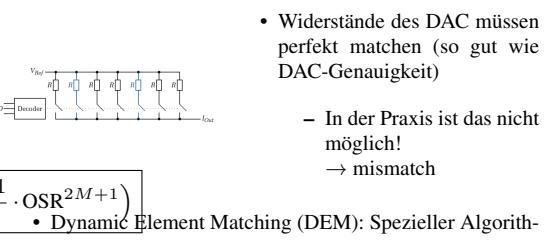
#### 17.1 1 Bit vs. Multi-Bit ADC (im Modulator)

- ADC ist unproblematisch, da hinter Integrator (siehe Blockschaltbild Abschnitt ??) und damit Teil vom Quantisierungsfehler
- 1-Bit ADC (Komparator) nichtlinear → ADC-Verstärkung signalabhängig
- Es entsteht ein nichtlineares System

### 17.2 1 Bit vs. Multi-Bit DAC (im Modulator)

- DAC muss volle Präzision des (gesamten) Wandlers haben
  - DAC-Spannung wird direkt mit Eingangsspannung 'verrechnet'
- 1-Bit DAC ist perfekt linear (nur Offset- und Gain-Fehler, welche statisch kompensierbar sind)
- DAC muss sehr genau sein → kann kalibriert werden
  - Drifttemperatur und Alterung sind dennoch ein Problem

### 17.3 Dynamic Element Matching (DEM), Mismatch-Shaping



- Widerstände des DAC müssen perfekt matchen (so gut wie DAC-Genauigkeit)
  - In der Praxis ist das nicht möglich!
  - mismatch

- Einschalten der einzelnen Widerstände wird dynamisch umgestaltet, so dass Ausgangskennline des DAC 'durchschnittlich linear'
  - Systematischer Fehler wird in Zufallsfehler (Rauschen) umgewandelt
- Mismatch-Shaping
  - Zufallsfehler (Rauschen) wird mit Noise-Shaping gedämpft

### 17.4 Fazit Sigma-Delta-Modulatoren

- |  |   |
|--|---|
| + Signal wird nicht verändert mit Tiefpass                   | + Modulatoren 1. Ordnung immer stabil (90° Phasenschiebung) |
| + 1 Bit DAC perfekt linear                                   | + Modulatoren 2. Ordnung meistens stabil                    |
| + 1. SNR-Erhöhung durch Oversampling (3 dB pro Oktave)       | - Modulatoren höherer Ordnung können instabil werden        |
| + 2. SNR-Erhöhung durch Noise Shaping (6 dB pro Oktave)      | - 1 Bit ADC (Komparator) nichtlinear                        |
| + 3. SNR-Erhöhung durch ADC/DAC im Modulator (+6 dB pro Bit) | - Pattern Noise   |

## 17.5 Digitalfilter

Der digitale Teil des Sigma-Delta-ADCs kann auf mehrere Arten realisiert werden. Das Digitalfilter soll die folgenden Aufgaben erfüllen:

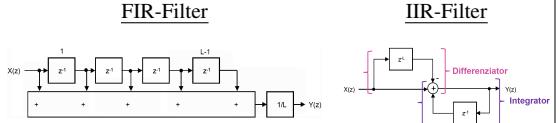
- Reduktion des Rauschens (wegen Noise-Shaping viel Rauschen bei hohen Frequenzen)
- Erhöhung der Auflösung
- Reduction der Sample Rate

### 17.5.1 Mittelwertbildung

Einfachste Mittelwertbildung umgesetzt mittels counter → Funktionsweise und Formel siehe Abschnitt ??

### 17.5.2 Kammfilter (Mittelwertfilter)

$Z^{-1}$  um 1 Takt verschiebe FIR  
 $Z^{-L}$  um  $L$  Takte verschiebe IIR

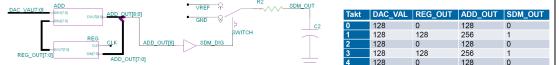


### 17.5.2 Frequenzgang kaskadierte Kammfilter

- Bezeichnung kaskadierte Kammfilter: CIC (Cascaded-Integrator-Comb-Filter)
- Notches ('Auslösungen') bei  $n \cdot \frac{\text{Sampling-Freq.}}{L}$
- Je höher die Ordnung, desto steiler der Abfall im Amplitudengang

## 18 Sigma-Delta-DAC

Die finale Realisierung des DACs erfolgt als **PWM-DAC**. Die Generierung des PWM-Signals erfolgt nach dem Sigma-Delta-Prinzip

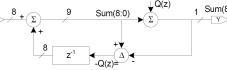


### 18.1 Pattern-Noise

Für einen 8-Bit DAC ist der digitale Wert 129 ungünstig, da in der Bitsequenz irgendwann zwei '1' hintereinander auftauchen. Dies führt zu einer grossen Periodendauer, welche ein **Pattern Noise** beim DAC verursacht, da die '0' und '1' möglichst gleichmäßig auf die gesamte Periode verteilt werden.

## 18.2 Bilanz Sigma-Delta-DAC

- Verhalten wie analoger Modulator (Blockschaltbild)
- Im Mittel gleich viele '1' und '0' wie bei  $\text{PWM} = \frac{n}{N}$
- '1' werden möglichst gleichmässig in Periode verteilt ( $N \cdot T_{\text{clk}}$ )
- Gleichmässige Verteilung ergibt regelmässige Sequenzen → periodische Signale → unerwünschte Frequenzkomponenten (Pattern Noise)



### 19.3.1 Thermisches Rauschen

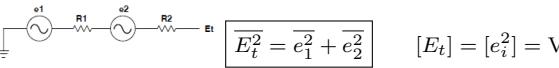
- Entsteht durch **zufällige Bewegung der Ladungsträger** aufgrund der **Wärmeenergie** und der **Quantisierung der Ladung**
- Ist über die Frequenzen **gleichverteilt**
- Begriff: Weisses Rauschen
  - Anderer Ausdruck: Johnson Noise

$E = \overline{v_n^2} = 4kT R B$	$E = \overline{i_n^2} = 4$
$\overline{v_n^2}$ mittlere Rauschleistung	$\overline{i_n^2}$ mittlerer Rauschleistung
$R$ Widerstand	$[R]$
$G$ Leitwert	$[G]$
$B$ Bandbreite	$[B]$
$T$ absolute Temperatur	$[T]$
$k$ Boltzmann-Konstante $k = 1.38 \cdot 10^{-23} \text{ J/K}$	

Rauschleistungsdichte	$e_n^2 = S = 4kT R$
Rauschleistung	$E = 4kT R B$
Rauschspannungsdichte	$e_n = \sqrt{S} = \sqrt{e_n^2} = \sqrt{4kT R}$
Rauschspannung	$v_n = \sqrt{E} = \sqrt{4kT R B}$

273.15 K

### 19.5.1 Serieschaltung von Widerständen



Nicht die Rauschspannungen, sondern die Rauschleistungen müssen addiert werden!

## 19 Rauschen

### 19.1 Übersicht der Größen und Zusammenhänge

$e_n$	Rauschspannungsdichte
$v_n$	Rauschspannung (Effektivwert)
$e_n^2$ (oder $S$ )	Rauschleistungsdichte
$E$	Rauschleistung

$$\begin{aligned} e_n &\approx \sqrt{v_n^2} \\ v_n &= \sqrt{E} \\ [e_n^2] &= \frac{V^2}{R} \\ [e_n^2] &= \frac{V^2}{R} \end{aligned}$$

Hinweis: Ein guter Anhaltspunkt für die Zusammenhänge sind die Einheiten!

### 19.2 Rauschen in der Elektronik

- Alle Teile eines elektronischen Systems rauschen!
- Messpfad: Es sollen keine Störsignale zum Messsignal addiert werden
  - Ausser bei perfekter Abschirmung und Temperatur 0 K gibt es **immer** Störeinflüsse
- ADC und DAC: Quantisierungsrauschen  $q$  (Quantisierungsschritt)
  - Quantisierungsrauschen (Auflösung) soll etwa so gross gewählt werden, wie das elektronische Rauschen
  - 'Reine DC-Spannungen' gibt es nicht!
    - Auch DC-Signale haben Spannungs-Schwankungen

### 19.3 Arten von Rauschen

- Thermisches Rauschen
- Flicker Noise  $\frac{1}{f}$ -Noise
- Shot Noise
- Burst (Popcorn) Noise
- Avalanche Noise

### 19.4 Amplitude und Leistung des Rauschens

Hinweis: Als 'Leistung' gilt die **quadrierte Spannung**

Mittelwert der Rauschspannung

$$\overline{v_n(t)} = \frac{1}{T} \int_T v_n(t) dt = 0$$

Mittelwert der Rauschleistung (Varianz)

$$\overline{v_n(t)^2} = \overline{E} = \frac{1}{T}$$

Effektivwert (Wurzel der Varianz)

$$v_{n,\text{rms}} = \sqrt{\overline{v_n(t)^2}}$$

**19.4.1 Berechnung von Rauschen (!)**

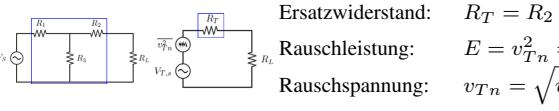
- Signale und Rauschen addieren sich **nicht gleich**
  - Deterministische **Signale**: **Amplituden** addieren sich
  - Stochastische Rauschquellen: **Rauschleistungen** addieren sich

### 19.5 Rauschen von Widerständen

- Jeder Widerstand rauscht, unabhängig vom Stromfluss
- Rauschen kann auf folgende zwei Arten modelliert werden

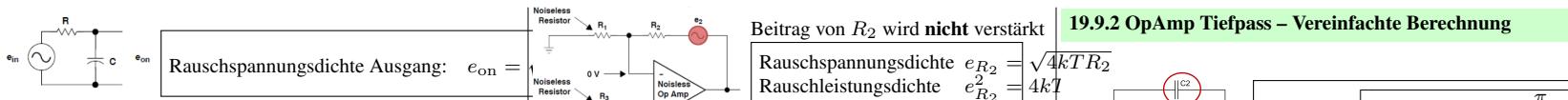
### 19.7 Rauschen von Netzwerken

#### 19.7.1 Beispiel: Rauschen von Widerstandsnetzwerk



#### 19.7.2 RC-Netzwerke

- Kapazitäten und Induktivitäten **rauschen nicht**!
- Kapazitäten und Induktivitäten beeinflussen die **Bandbreite** des Systems!  
**Rauschspannung indirekt beeinflusst**



### 19.7.2 Beispiel: Rauschen von RC-Netzwerken

Rauschspannungsdichte Widerstand:  $e_{in} = \sqrt{4kTR}$

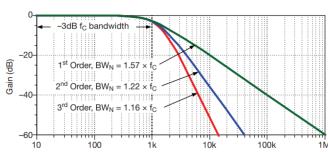
$$e_{on} = e_{in} \sqrt{\int_0^\infty \frac{1}{1+2\pi fRC} df} = e_{in} \sqrt{\frac{1}{1+2\pi fRC}} \left[ \tan^{-1} \left( \frac{1}{2\pi fRC} \right) \right]_0^\infty$$

$$\text{Rauschspannung Ausgang: } e_{on} = \sqrt{4kTR} \sqrt{\frac{1}{4RC}} = \sqrt{\frac{kR}{C}}$$

### 19.8 Rauschbandbreite

- In Realität werden Signal und Rauschen Tiefpass-gefiltert
- Rauschbandbreite nicht identisch mit 3 dB-Bandbreite!**  
→ ENB (Effective Noise Bandwidth)

Für  $n$  kaskadierte Butterworth-Filter 1. Ordnung mit Grenzfrequenz  $f_c = \frac{1}{2\pi RC}$  verhält sich das ENB gemäß:



Filterordnung	ENB
1	1.57 * $f_c$
2	1.22 * $f_c$
3	1.10 * $f_c$
4	1.02 * $f_c$

Für die **obige Beschaltung** (nicht allgemeingültig) ergibt sich somit gesamthaft:

$$V_{noise} = \sqrt{\int_0^\infty [4kTR_2 \left( \frac{R_1+R_2}{R_1} \right) + 4kTR_3 \left( \frac{R_1+R_2}{R_1} \right)^2 + (i_{nn} R_2)] df}$$

→ Nicht vorhandene Elemente auf Null setzen!

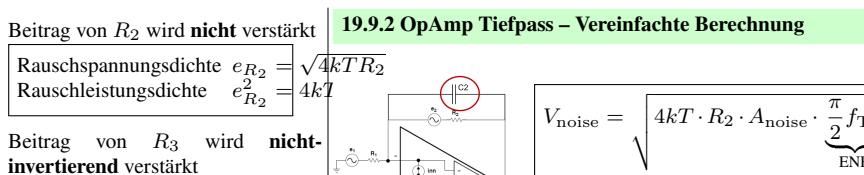
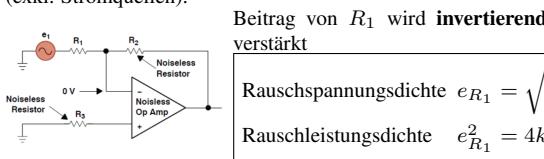
**Hinweis:** Die meisten Elemente werden mit dem **Noise-Gain**  $A_{noise}$  multipliziert (Verstärkung nicht-invertierender OpAmp)

$$A_{noise} = \frac{R_1 + R_2}{R_1} = 1 + \frac{R_2}{R_1}$$

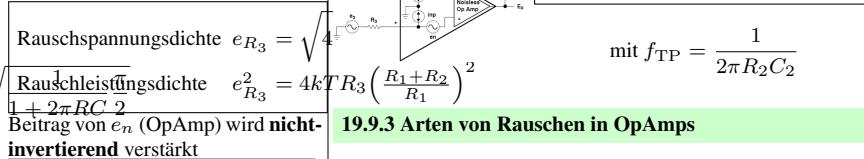
### 19.9 Rauschen von OpAmps

- 6 Rauschquellen
  - $e_1, e_2, e_3$  sind **Rauschspannungsdichten** der Widerstände
  - $e_n$  ist Rauschspannungsdichte des OpAmps
  - $i_{nn}, i_{in}$  sind Eingangsströme eines OpAmps
  - Ausgangsspannung  $V_{noise}$  wird berechnet mittels **Superposition**

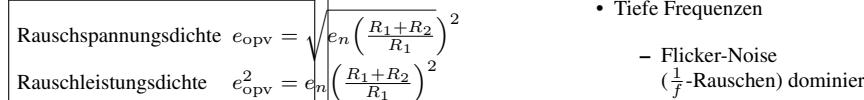
Jede Quelle trägt folgendermassen zum gesamten Rauschen bei (exkl. Stromquellen):



Beitrag von  $R_3$  wird **nicht-invertierend** verstärkt



Beitrag von  $e_n$  (OpAmp) wird **nicht-invertierend** verstärkt



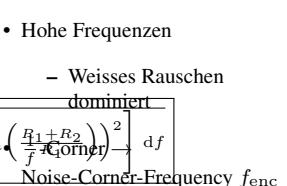
### 19.9.2 OpAmp Tiefpass – Vereinfachte Berechnung

$$V_{noise} = \sqrt{4kT \cdot R_2 \cdot A_{noise} \cdot \frac{\pi}{2} f_{TP}}$$

$$\text{mit } f_{TP} = \frac{1}{2\pi R_2 C_2}$$

### 19.9.3 Arten von Rauschen in OpAmps

- Tiefe Frequenzen
  - Flicker-Noise ( $\frac{1}{f}$ -Rauschen) dominiert
- Hohe Frequenzen
  - Weisses Rauschen dominiert



Weisses Rauschen gleich gross wie  $\frac{1}{f}$ -Rauschen

–  $n$ -mal mehr Strom  $\Leftrightarrow \frac{1}{\sqrt{n}}$ -mal weniger Rauschen

- Differentielle Signale verwenden

+  $e_w^2 \cdot A_{noise}^2$  Amplitude doppelt so gross

- Referenzspannung filtern

• Signal HP-filtern → Reduktion  $\frac{1}{f}$ -Noise

• Chopper- oder Sutozeroing-Verstärker → Reduktion  $\frac{1}{f}$ -Noise

• Correlated Double Sampling (CDS)

• Kühlen (teuer!)

### 20 Reale Bauteile

#### 20.1 Impedanzen – Übersicht

$$Z_C = \frac{1}{j\omega C}$$

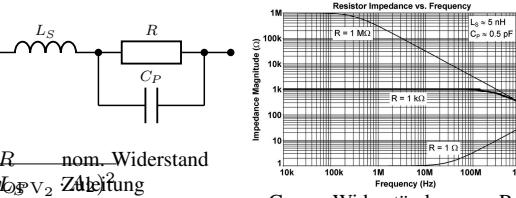
$$Z_L = j\omega L$$

$$|Z| = \sqrt{R_{tot}^2 + X_{tot}^2}$$

#### 20.2 Reale Widerstände

$R$	Widerstand (@ 20 °)	$[R] = \Omega$
$\rho$	spez. Widerstand	$[\rho] = \frac{\Omega \cdot \text{mm}^2}{\text{m}}$
$l$	Länge des Leiters	$[l] = \text{m}$
$A$	Querschnitt des Leiters	$[A] = \text{m}^2$

#### 20.2.1 Ersatzschaltung und Frequenzabhängigkeit



#### 20.2.2 Temperaturabhängigkeit

$R_\vartheta$	Widerstand bei Temperatur $\vartheta$
$R_{20}$	Widerstand bei 20 °C
$\alpha$	Temperaturkoeffizient
$\Delta R = R_{20} \cdot \alpha \cdot \Delta \vartheta$	Temperaturdifferenz $\vartheta - 20^\circ \text{C}$

**Achtung:** Leistungs-Derating bei steigender Temperatur beachten!

### 20.2.3 Kenngrößen

- Widerstandswert
- Toleranz
- Temperaturkoeffizient  $\alpha$
- max. Verlustleistung
- Bauform (Größe)
- Leistung (Verlustwärme)
- Widerstandsmaterial
- Genauigkeit und Langlebigkeit

### 20.3 Spezielle Widerstände

#### 20.3.1 Thermistoren

Thermistoren sind **temperaturabhängige** Widerstände.

PTC (pos. temp. Koeffizient)

NTC (neg. temp. Koeffizient, Heissleiter)

- Widerstandswert **sinkt** mit steigender Temperatur
- Temperatursensoren
- Einschaltstrombegrenzung
- Temperaturwert steigt mit steigender Temperatur
- Selbstrückstellende Sicherungen
- Selbst-regelndes Heizelement

$$R = R_{20} \cdot e^{B \cdot \left( \frac{1}{T} - \frac{1}{T_{20}} \right)}$$

$$R = R_{20} \cdot (1 + A \cdot \vartheta + b \cdot \vartheta^2)$$

#### 20.3.2 Varistoren

Varistoren sind **spannungsabhängige** Widerstände.

- Alternativ: Voltage Dependent Resistor (VDR)
- Verringern Widerstand bei steigender Spannung (Verhalten sich wie Z-Diode aber für beide Polaritäten)
- Eingesetzt für:
  - Begrenzung von Überspannungs-Impulsen
  - Eingangs-Schutzschaltungen

#### 20.3.3 Fotowiderstände (LDR)

- Light Dependent Resistor (LDR)
- Trifft Licht auf die foto-empfindliche Fläche des Fotowiderstands, so verringert sich der Widerstand durch den inneren foto-elektrischen Effekt
- Relativ langsame Widerstands-Änderung
  - Mehrere ms Verzögerung

### 20.2.4 Auswahlkriterien

- Heutzutags werden statt LDRs meist Photodioden eingesetzt

#### 20.3.4 Druck- und dehnungsabhängige Widerstände

- **Dehnmessstreifen** (Strain Gage, Strain Gauge)
- Ändern ihren Widerstandswert in Abhängigkeit ihrer Dehnung bzw. Zugspannung
- Folienwiderstände, welche aufgeklebt werden
- Häufig in Brückenschaltungen verwendet

#### 20.3.5 Verstellbare Widerstände, Potentiometer

- Fester Widerstand mit Abgriff dazwischen ( $\rightarrow$  'Spannungsteiler')
- Potentiometer geeignet für häufiges Verstellen
  - Alternative heute: Digitale Potentiometer
- Trimppotentiometer nur für gelegentliches Verstellen geeignet
  - Alternative heute: Winkelencoder mit Hall-Sensor

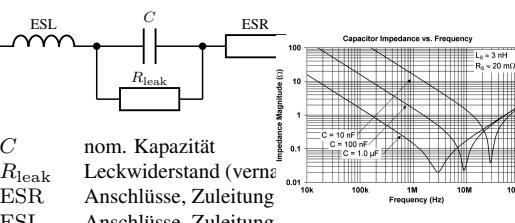
### 20.4 Reale Kondensatoren

$$C_P = \frac{\epsilon_0 \cdot \epsilon_r \cdot A_r}{d}$$

Kapazität (**Plattenkondensator!**)  
elektrische Feldkonstante  $8.85 \cdot 10^{-12} \frac{F}{Nm}$   
relative Permittivität  
Fläche der Platten  
Abstand zwischen Platten

$$R = R_{20} \cdot (1 + A \cdot \vartheta + b \cdot \vartheta^2)$$

#### 20.4.1 Ersatzschaltung und Frequenzabhängigkeit



$$\text{Bei Resonanz: } |X_C| = |Z| = \sqrt{|R|^2 + (|X_C| - |X_L|)^2}$$

Bei Resonanz:  $|X_C| = |Z| = \sqrt{|R|^2 + (|X_C| - |X_L|)^2}$  (tiefster Punkt in Diagramm)

**Hinweis:** Für eine optimale Stützung der Speisung werden mehrere Kondensatoren mit verschiedenen Kapazitätswerten parallelgeschaltet

### 20.4.2 Temperaturabhängigkeit

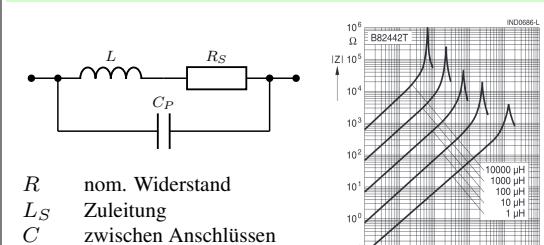
- Abhängig von Dielektrikum  
 $\rightarrow$  Kennlinien

### 20.4.3 Spannungsabhängigkeit

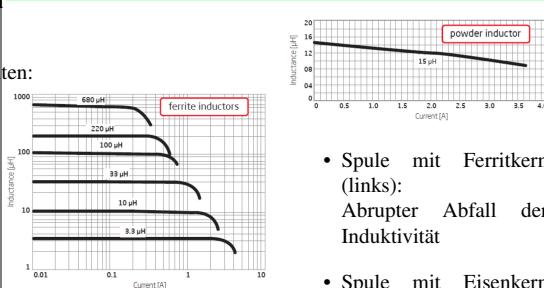
- Abhängig von Dielektrikum  
 $\rightarrow$  Kennlinien
- Faustregel: Je höher die maximale Spannung des kondensators, desto weniger ändert die Kapazität

### 20.5 Reale Spulen

#### 20.5.1 Ersatzschaltung und Frequenzabhängigkeit



#### 20.5.2 Induktivität und Strom



- Spule mit Ferritkern (links): Abrupter Abfall der Induktivität
- Spule mit Eisenkern (rechts): Kein abrupter Abfall der Induktivität

#### 20.5.3 Einsatzgebiete von Spulen

- Transformator
- Galvanische Trennung
- DC-DC-Wandler
- HF-Anwendungen
- Entstörung (EMV)
- Auch Ferrite Bead genannt
- Dämpfung von HF-Störungen
- Hohe Impedanzen bei hohen Frequenzen
- Kleiner DC-Widerstand

# 21 Printed Circuit Boards (PCBs)

## 21.1 Allgemeine Informationen

### 21.1.1 Aufgaben PCB

- Elektrische Verbindung zwischen Bauteilen
  - Lot überprüfen
  - Automatische Röntgen-Inspektion (AXI)
- Mechanische Befestigung der Bauteile
  - Elektrische Überprüfung
  - In-Circuit-Test (ICT)
- Wärmeabfuhr
- Ev. Abschirmfunktion
- Ev. Antennen (kleine Spulen)

### 21.1.2 Testen von PCBs

- Bestückung
- Automatische optische Inspektion (AOI)

Material	Lagen	Typ	Dicke in mm
Cu-Folie	Lage 1		0.018
Prepreg		Prepreg 7628	0.180
Prepreg		Prepreg 7628	0.180
Kupfer	Lage 2		0.035
Innenlage		FR4-Kern	0.900
Kupfer	Lage 3		0.035
Prepreg		Prepreg 7628	0.180
Prepreg		Prepreg 7628	0.180
Cu-Folie	Lage 4		0.018

• Oberfläche veredeln (Lötpads mit Nickel oder Gold überziehen)

• Bestückungsdruck (silk-screen)

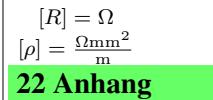
• Fräslinien, Bohrungen (ohne Durchkontaktierung), Tests

## 21.5 Signalfluss auf dem PCB

- Strom fließt immer zurück!

– Leitung oder ground planes

- Rückstrom nimmt Weg des geringsten Widerstands (geringste Impedanz)



$$[R] = \Omega$$

$$[\rho] = \frac{\Omega \cdot \text{mm}^2}{\text{m}}$$

## 22 Anhang

### 22.1 E-Reihen

10	12	15	18	22	27	33	39	47
11	13	16	20	24	30	36	43	51

E6-Reihe: blau markierte

E12-Reihe: obere Zeile

E24-Reihe: ganze Tabelle

## 22.2 Elektrische Eigenschaften typischer Materialien

$$[C_p] = \frac{\text{F}}{\text{m}} \quad \text{Spezifischer Widerstand}$$

$$[\varepsilon_0] = \frac{\text{F}}{\text{m}} \quad \alpha \quad \text{Temperaturkoeffiz.}$$

$$[\varepsilon_r] = 1$$

$$[A] \frac{\text{Typ}}{\text{m}^2} \quad \text{Material}$$

$$[d] = \text{m} \quad \rho \text{ in } \frac{\Omega \cdot \text{mm}^2}{\text{m}}$$

$$\text{Leiter} \quad \text{Silber} \quad 0.016 \quad 3.8 \cdot 10^{-3}$$

$$\text{Kupfer} \quad 0.0178 \quad 3.92 \cdot 10^{-3}$$

$$\text{Gold} \quad 0.023 \quad 4 \cdot 10^{-3}$$

$$\text{Aluminium} \quad 0.028 \quad 3.77 \cdot 10^{-3}$$

$$\text{Konstantan} \quad 0.43 \quad \pm 40 \cdot 10^{-6}$$

$$\text{Halbleiter} \quad \text{Silizium} \quad 6.25 \cdot 10^6 \quad -1 \cdot 10^{-3}$$

$$\text{Germanium} \quad 0.454 \cdot 10^6 \quad -5 \cdot 10^{-3}$$

$$\text{Isolator} \quad \text{Porzellan} \quad 5 \cdot 10^{18}$$

$$\text{Abstand} [d] = \text{m}$$

## 22.3 Dielektrizitätskonstanten einiger Materialien

$$\text{Material} \quad | \quad \varepsilon_r$$

$$\text{Vakuum, Luft} \quad 1$$

$$\text{FR4} \quad \approx 4.7$$

$$\text{Glas} \quad 5 - 10$$

$$\text{Aluminium Oxid (Elko)} \quad 10$$

$$\text{Tantal Oxid (Elko)} \quad 26$$

$$\text{Keramik} \quad 10 - 20'000$$

$$\text{Wasser} \quad 80$$

## 21.3 Ausführungen von PCBs

### 21.1.4 Gehäuse (Komponenten)

- Anzahl der Lagen (Layer)
  - THT: through-hole-technology
  - (4-Lagen als Standard)
- Flex-Leiterplatten
  - Stark elatisches Grundmaterial
- Starr-Flex-Leiterplatten
  - Kombination aus starr und flexibel
- SMD/SMT: surface mounted device / surface mounted technology
- BGA: Ball grid array
- CSP: chip scale package
- DCA: direct chip attach
- Buried Via (Vergraben Durchkontaktierung)
- Blind Via (Sackloch)
- Micro Via

## 21.3 Herstellungsprozess von PCBs

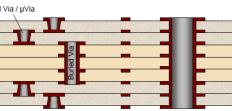
- Vorbereitung und Belichtung der Innenlage (Kern aus FR4)
- Ätzen der Innenlage (Kupfer wird abgeätzt)
- Aussenlage aufbringen und verpressen
- Löcher für Durchkontaktierungen (Vias) bohren
- Durchkontaktieren der Vias (elektrisch verbinden)
- Belichten und Cu-Abscheiden der Aussenlagen
- Aussenlagen ätzen (Leiterbahnen bleiben übrig)
- Lötstopfmaske (solder mask) aufbringen

### 21.2.1 Lagen-Aufbau

Ein 4-lagiges PCB ist folgendermassen aufgebaut:

### 21.2.2 Durchkontaktierung (Via)

Die verschiedenen Lagen des PCBs werden mit Vias miteinander verbunden.



### 21.4.3 Kapazität zwischen Leiterbahn und Fläche

$$C_{sw} = 2 \cdot \varepsilon_0 \cdot \varepsilon_r \cdot l \cdot \ln \left( 1 + \frac{C}{d} \right) = C_p + C_{sw}$$

$C_{sw}$  Sidewall-Kapazität

$\varepsilon_0$  elektrische Feldkonstante  $8.85 \cdot 10^{-12} \frac{\text{F}}{\text{m}}$

$\varepsilon_r$  relative Permittivität (FR4:  $\varepsilon_r = 4.5$ )

$l$  Länge der Leiterbahn

$t$  Dicke der Leiterbahn

$d$  Abstand zwischen Leiterbahn und Fläche

### 21.4.4 Induktivität von Leiterbahnen

$$L = \frac{\mu \cdot l}{\pi} \cdot \ln \left( \frac{w}{r} \right)$$

Für  $l \gg w \gg r$

$$L_C = \frac{l}{\pi} \cdot \ln \left( \frac{2 \cdot l}{w+d} \right) + 0.2235 \cdot \frac{w \cdot t + d}{l}$$

$L_C$  Induktivität (flache) PCB-Verbindung

$l$  Länge der Leiterbahn

$w$  Breite der Leiterbahn

$d$  Dicke der Leiterbahn