

Reti Sequenziali

Corso di Architettura degli elaboratori e laboratorio – Modulo
Laboratorio

Gabriella Verga

Reti Sequenziali - Bistabili

La maggioranza dei *circuiti logici* deve essere capace di tenere memoria di informazioni di vario genere. Ad esempio: meccanismo di a/c di un armadietto oppure la memoria di un calcolatore.

Fino ad ora abbiamo visto reti combinatorie:

lo stato s^{esimo} manda segnali agli strati $(s+i)^{esimi}$ con $s, i \geq 1$

ma per memorizzare informazione esse non bastano. C'è bisogno di una rete logica le cui uscite non dipendano solo dall'input attuale, ma anche dai suoi "stati" precedenti.

Queste reti sono chiamate **reti sequenziali**.

Le reti sequenziali sono reti logiche che presentano dei cicli

Bistabile

- Bistabile asincrono
- Bistabile sincrono
- Bistabile di tipo D

Bistabile asincrono

- Si consideri la coppia di porte logiche **NOR** retroazionate mostrate in figura. Corrisponde al **bistabile: una rete sequenziale in grado di memorizzare 1 bit (Q)**
 - $\overline{Q_b} = Q_a$
 - come dati gli ingressi si riescano a stabilizzare UNIVOCAMENTE le uscite, ad eccezione del caso in cui $R = S = 0$ dove si utilizzano i simboli per definire che i valori non hanno valore definito univocamente.
 - lasciando sia R che S disattivati a 0 l'uscita Q mantiene il **valore logico che aveva assunto in precedenza**.

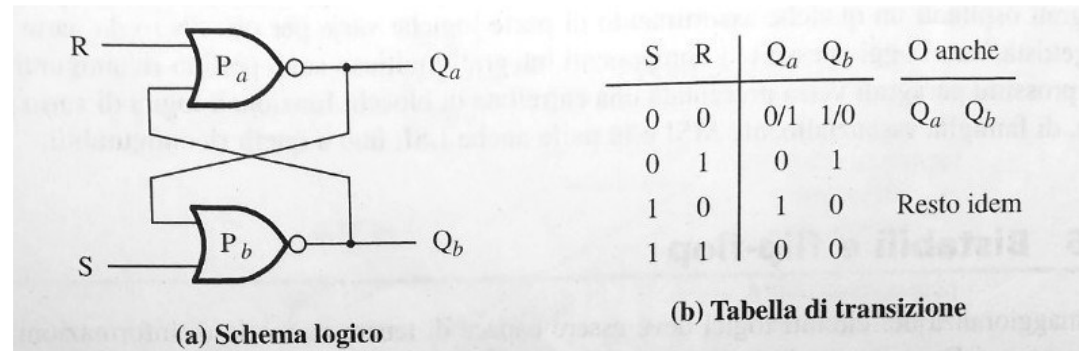
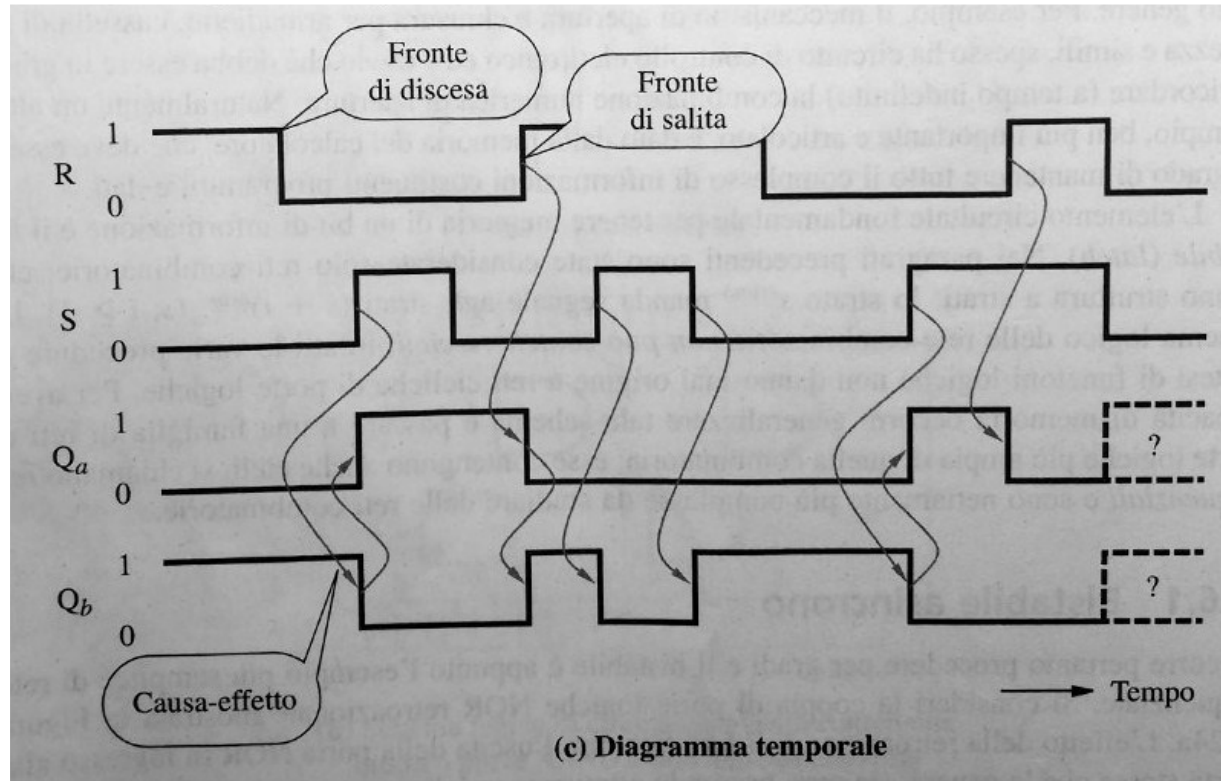


Diagramma temporale



Il caso di Set e Reset a 1 non viene usato per possibile ambiguità

Bistabile sincrono

- Il bistabile sincrono presenta un bit CLK di ingresso oltre Set e Reset. L'ingresso CLK (clock) serve per definire la suddivisione del tempo in cicli.
- Quando CLK = 1 si comporta come un bistabile asincrono
- Quando CLK = 0 lo stato non cambia
- Il funzionamento è legato ai cicli di clock

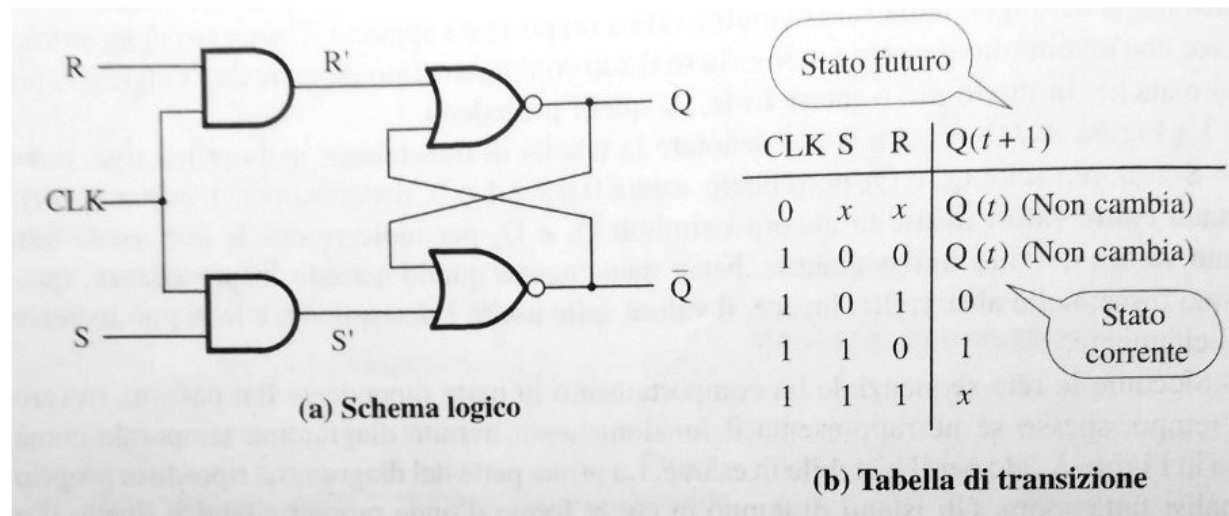
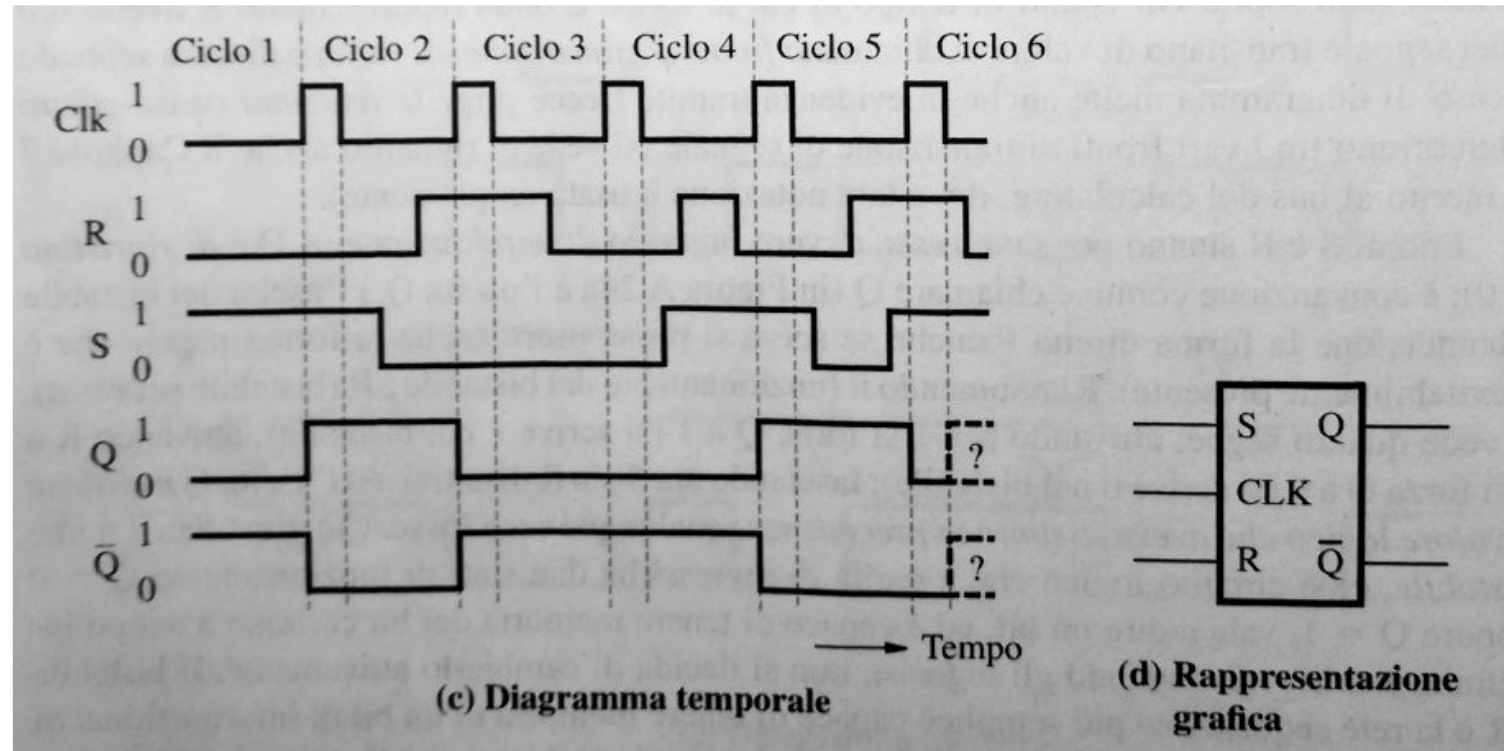
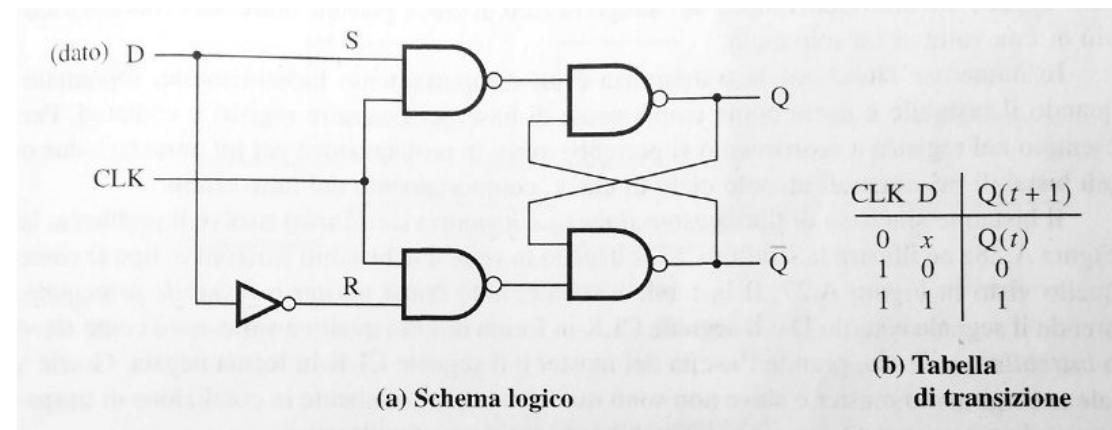


Diagramma temporale



Bistabile di tipo D

- E' possibile unificare i due ingressi S e R in un solo ingresso chiamato D (che sta per dato).
- Si ha sempre $\bar{R} = S$ (ovvero sono complementari) e $S = D$.
- Nella figura è mostrata uno schema logico con soli NAND (equivalente alla versione con AND e NOR).
- se $CLK = 1 \rightarrow Q = D$
- se $CLK = 0 \rightarrow$ lo stato non cambia



Istruzioni Macchina

Esercizi

Corso di Architettura degli elaboratori e laboratorio

Modulo Laboratorio

Gabriella Verga

Esercizi

1. Date le due stringhe T: «Ciao Carla!!» e P: «Ciao» di carattere ASCII, verificare se P è una sottostringa di T e trovare l'indice della prima occorrenza di T.

```
for   $i \leftarrow 0$  to  $n - m$  do
     $j \leftarrow 0$ 
    while  $j < m$  and  $P[j] = T[i + j]$  do
         $j \leftarrow j + 1$ 
    if  $j = m$  return  $i$ 
return -1
```

- TSTRING DCB 0x43, 0x49, 0x41, 0x4F, 0x20, 0x43, 0x41, 0x52, 0x4C, 0x41, 0x21, 0x21
 - SUBSTR DCB 0x41, 0x49, 0x41, 0x4F
- <https://www.rapidtables.com/convert/number/ascii-to-hex.html>

Esercizi

2. Data la lista [10,20,12,12,5,1,5,1] contare tutti i numeri diversi da 1 e 10.
3. Data la lista [30,10,23,1,17,8,19,10] sommare tutti i numeri compresi tra 10 e 20.
4. Data la lista [1,2,3,4,5,6,7,8,9,10,11,12,13] contare tutti i numeri minori di 5, pari a 5 e maggiori di 5.

Fine

Corso di Architettura degli elaboratori e laboratorio

Modulo Laboratorio

Gabriella Verga