**UNIVERSIDADE FEDERAL DE RORAIMA**

**CENTRO DE CIÊNCIA E TECNOLOGIA**

**DEPARTAMENTO DE CIÊNCIA DA COMPUTAÇÃO**

**DCC301– ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES– 2024**

**PROF. DR. HEBERT OLIVEIRA ROCHA**

**LEONARDO VINÍCIUS LIMA CASTRO**

**ÁLEFE ALVES DA COSTA**

**RELATÓRIO DO PROCESSOR DE RISC DE 8 BITS**

**BOA VISTA, RR**

**2025**

**LEONARDO VINÍCIUS LIMA CASTRO**

**ÁLEFE ALVES DA COSTA**

**RELATÓRIO DO PROCESSOR DE RISC DE 8 BITS**

Trabalho da disciplina de Arquitetura e Organização de Computadores do ano de 2024.2 apresentado à Universidade Federal de Roraima do curso de Bacharelado em ciência da computação.

Docente: Prof. Dr. Hebert O. Rocha

**BOA VISTA, RR**

**2025**

**INTRODUÇÃO**

Este relatório técnico apresenta o projeto e a implementação de um processador RISC de 8 bits, desenvolvido utilizando a linguagem de descrição de hardware VHDL no software Quartus Prime 18.0. O processador projetado segue uma arquitetura semelhante ao MIPS e tem como objetivo a aplicação de conceitos fundamentais de arquiteturas computacionais, circuitos digitais e linguagens de descrição de hardware.

A construção do processador envolve a modelagem e implementação de seus componentes principais, incluindo a unidade de controle, o caminho de dados (datapath) e os barramentos de comunicação. Além disso, a descrição da estrutura das instruções suportadas é detalhada por classes e distribuições de bits, incluindo sua representação em linguagem assembly e binário.

O conjunto de instruções obrigatórias implementadas inclui operações essenciais, como load, store, soma, subtração, beq (branch if equal) e salto incondicional, garantindo funcionalidade mínima para a execução de programas simples. Para validar o correto funcionamento do processador, foram realizadas simulações detalhadas por meio de waveforms e testbenches, cobrindo cada instrução individualmente e um programa que integra todas as operações suportadas.

Este trabalho documenta todo o processo de desenvolvimento, desde a descrição dos componentes e suas conexões até a validação funcional do processador, contribuindo para o entendimento e a aplicação prática de arquiteturas RISC em projetos acadêmicos e profissionais.

**CONCLUSÃO**

**REFERÊNCIAS**

STALLINGS, William; BOSNIC, Ivan; VIEIRA, Daniel. **Arquitetura e organização de computadores**. 8. ed. São Paulo: Prentice Hall, 2006.

PATTERSON, David A. **Organização e projeto de computadores**. 3. ed. Rio de Janeiro: Elsevier, 2005.