



Departamento de Ingeniería Informática i Matemáticas

Estructura de Computadors

Práctica 3

ALUMNES: Albert Blasco Salvadó
Raúl Almenara Peñaranda

ENSENYAMENT: Enginyeria Informàtica 2º Curs

DATA: 24/ maig / 2017

Índex

Índex	1
FASE 1: Hit/Miss Ratio	2
TAREA 1. Configuración básica.	3
TAREA 2. Tamaño DL1.	4
TAREA 3. Tamaño IL1.	5
TAREA 4. Tamaño UL2.	6
TAREA 5. Asociatividad DL1.	7
TAREA 6. Asociatividad IL1.	8
TAREA 7. Tamaño Bloque DL1.	9
TAREA 8. Tamaño Bloque IL1.	10
FASE 2: Tiempo de Acceso, Área y Consumo	10
TAREA 9. Tamaño Total Caché.	11
TAREA 10. Escala de Integración.	13
TAREA 11. Asociatividad Caché.	15
TAREA 12. Tamaño Bloque.	17
FASE 3: Análisis de Procesadores Comerciales	19
TAREA 13. Análisis Cachés.	19
TAREA 14. Dividir Capacidad DL1.	21

FASE 1: Hit/Miss Ratio

Per tal de realitzar totes les simulacions i recopilar els resultats, hem creat un script amb l'objectiu de obtenir tots els diferents casos amb les variacions necessàries.

L'script està creat en Python, el qual trobarem a l'annex 1 de la pràctica, aquest rep per paràmetre en primer lloc el caché a treballar en l'exercici en qüestió, en segon lloc, el nombre de variacions que hem de fer. A partir del tercer i fins l'últim hi ha els paràmetres a passar al simulador en el format `<name:<nsets>:<bsize>:<assoc>:<repl>` per cada un dels casos a tractar.

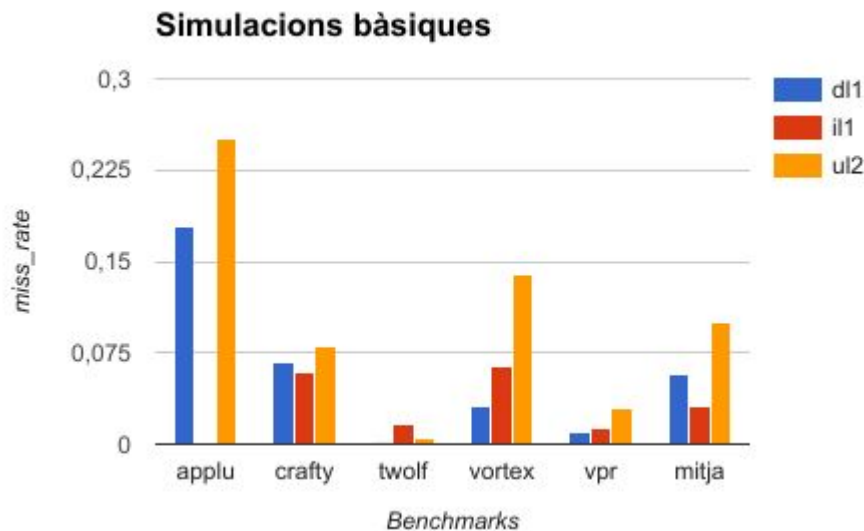
Al tenir tota aquesta informació es crida al script de shell anomenat fase1.sh que rep per paràmetre les modificacions d'un dels casos, aquest realitza les simulacions necessàries en cada un dels 5 benchmarks: applu, crafty, twolf, vortex i vpr.

A continuació, el script de python recupera la informació generada per aquest script de shell i recerca la informació del miss_rate i, indicant de quin tipus de benchmark ho ha extret, el guarda en un fitxer xlsx (excel), per tal de realitzar les gràfiques de forma quasi automàtica.

Hem fet l'elecció de realitzar aquests scripts per tal de reduir el temps de realització, anàlisi i recopilació de les simulacions, ja que realitzar aquesta feina manualment pot ocupar una gran quantitat de temps.

TAREA 1. Configuración básica.

Realizad las simulaciones necesarias para mostrar el comportamiento (miss ratio) de los valores base asumidos en esta práctica para la caché de datos de 1er nivel (DL1), la caché de instrucciones de 1er nivel (IL1) y para la caché unificada de datos e instrucciones de 2º nivel (UL2).



En aquest apartat hem executat amb cada un dels Benchmarks els diferents tipus de cache amb els seus parametres base.

Així podem observar cada benchmark en que te facilitat i en que no. Per exemple Applu queda demostrat que te una gran facilitat en usar les instruccions de nivell 1. Però la dl1 en canvi supera el 0,15 i la ul2 el 0,225 aquestes dues s'encarreguen de les dades, per tant podem deduir que no te facilitat per realitzar aquestes instruccions.

Crafty no destaca en cap dels seus aspectes, almenys en aquesta prova. Podem observar un valor aproximat de 0,075. No és un valor molt elevat, però no disposa d'un punt fort com en el cas de l'applu.

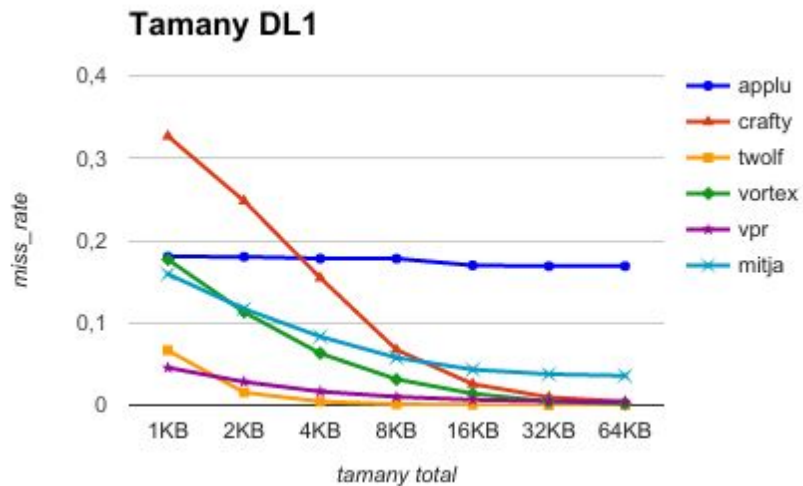
Podem observar els resultats de twolf com els millors de totes les simulacions, ja que solament te com a valor màxim la cache d'instruccions de nivell 1 amb 0,0116 de miss_rate.

Vortex destaca amb el valor de miss ratio de la il1 més elevat, superant per poc a Crafty. Apart també te com a resultat de la UL2 la meitat de miss_rate que applu, situant-se així en la segona posició més elevada d'aquesta caché.

Per últim tenim vpr, la qual te un resultat aproximat a la Twolf, però no tant baix com aquesta, ja que tot i estar per baix de la mitja no és el millor resultat.

TAREA 2. Tamaño DL1.

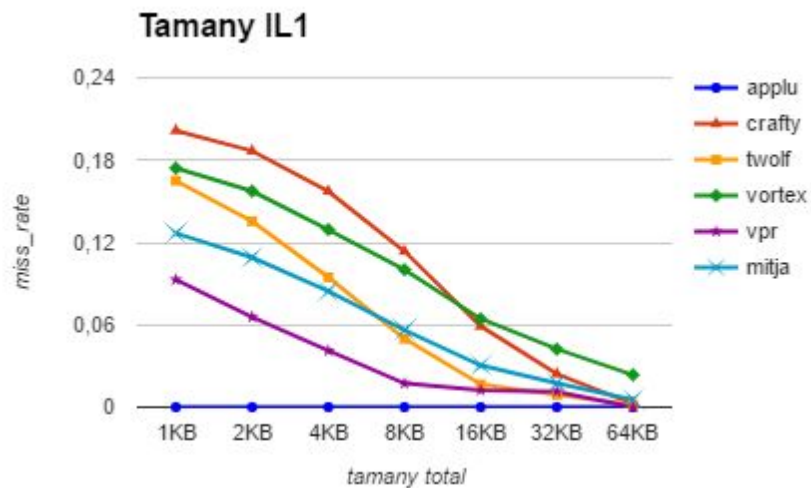
Asumid una caché DL1 de asociatividad 1 (directa), con tamaño de línea 32 bytes y política de reemplazo LRU. Estudiad el comportamiento (miss ratio) de esta caché al variar su tamaño total y por tanto asumiendo valores de 1KB, 2KB, 4KB, 8KB, 16KB, 32KB y 64KB. Comentad los resultados.



En la gràfica es pot observar la relació miss rate/tamany del caché DL1. En aquesta ocasió es veu que l'execució en "applu" manté un miss rate més o menys constant sense tenir en compte el tamany del caché, tot i que es redueix lleugerament de 16KB a 64KB. En "crafty" el miss rate decreix de forma exponencial molt pronunciada a mesura que augmenta el tamany, passant de tenir un miss rate de més de 0,3 en 1KB arribant a casi 0 en 64KB. L'execució en "twolf" mostra un miss rate baix des del valor més petit (1KB) i decreix de forma pronunciada fins als 4KB, moment en que el miss rate es pràcticament 0 i es manté constant per la resta de tamany. En el cas del "vortex" el miss rate decreix de forma exponencial cada vegada que s'incrementa el tamany total del caché, de forma similar al crafty però no tan pronunciat, arribant a casi 0 al tamany més gran. En "vpr" des del menor tamany el miss rate es baix, d'un 0,05 aproximadament, i a més cada vegada que augmenta el tamany es redueix lleugerament fins arribar casi a 0. Finalment la mitjana ens mostra que en general el miss rate es redueix d'una forma més o menys lineal fins arribar a un tamany de 8KB, a partir del qual es manté estable.

TAREA 3. Tamaño IL1.

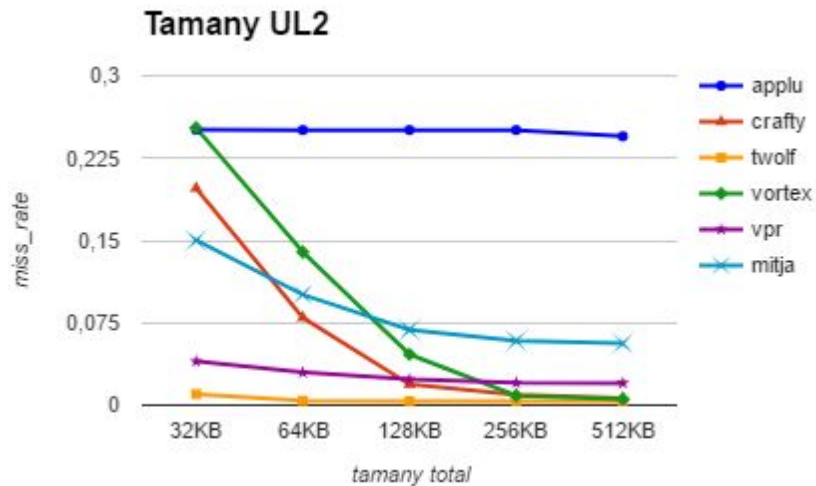
Asumid una caché IL1 de asociatividad 1 (directa), con tamaño de línea 32 bytes y política de reemplazo LRU. Estudiad el comportamiento (miss ratio) de esta caché al variar su **tamaño total** y por tanto asumiendo valores de 1KB, 2KB, 4KB, 8KB, 16KB, 32KB y 64KB. Comentad los resultados.



En aquesta ocasió observem un gràfica amb la relació miss rate/tamany del cachí IL1. L'execució amb "applu" té un miss rate constant de 0 des del menor tamany (1KB) al més gran (64KB). En el cas de "crafty" el miss rate disminueix de forma exponencial, especialment en el pas de 8KB a 16KB fins arribar a un miss rate molt proper a 0 en el tamany més gran. Amb "twolf" observem un comportament similar al de "crafty", ja que el miss rate disminueix exponencialment però especialment marcat en el pas de 8KB a 16KB i arribant també a un valor molt proper a 0 en el major tamany. L'execució en "vortex" es notablement diferent a la resta, ja que el miss rate es redueix linealment a un ritme casi constant a mesura que s'incrementa el tamany i es queda en un valor bastant baix però no tan proper a 0 com la resta. En "vpr" el miss rate decreix de forma lineal desde 1KB fins a 8KB, moment en que es manté pràcticament constant fins arribar als 64KB on el miss rate es exactament 0. Finalment es pot observar la mitjana, gràcies a la qual es pot observar que el miss rate, en general, decreix de forma casi lineal fins arribar a un valor molt a 0.

TAREA 4. Tamaño UL2.

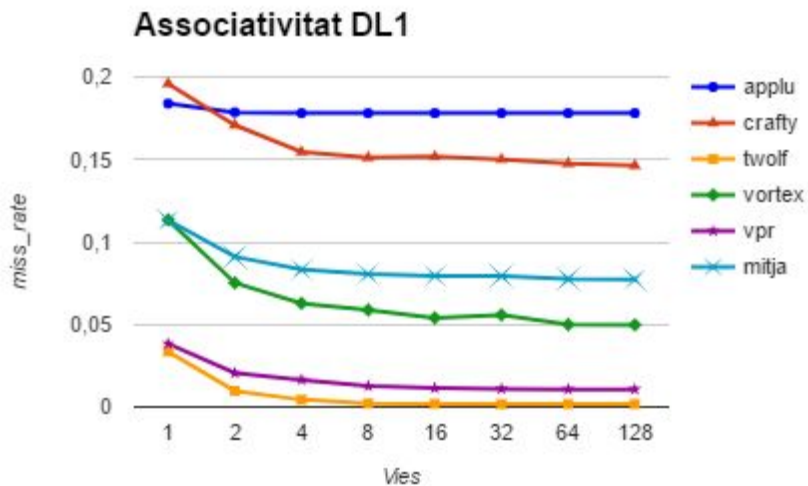
Asumid una caché UL2 de asociatividad 1 (directa), con tamaño de línea 32 bytes y política de reemplazo LRU. Estudiad el comportamiento (miss ratio) de esta caché al variar su **tamaño total** y por tanto asumiendo valores de 32KB, 64KB, 128KB, 256KB y 512KB. Comentad los resultados.



En aquesta gràfica amb la relació miss rate/tamany del caché UL2 podem veure que l'execució amb "applu" manté un miss rate gairebé constant sense importar la variació del tamany total del caché. En "crafty" el miss rate comença relativament alt però disminueix de forma exponencial en els dos primers casos i més lleugerament a la tercera, arribant a un valor proper a 0 en un tamany de 256KB i 512KB. En el cas de "twolf" el miss rate es molt baix des del tamany més petit, mentre que a la resta de tamanyes es manté gairebé constant, reduint-se poc amb cada augment del tamany i arribant pràcticament a 0 en el tamany més gran. Amb "vortex" el miss rate comença més alt que tota la resta però decreix de forma exponencial molt pronunciada fins arribar gairebé a 0 als 256KB de tamany igual que als 512KB. El "vpr" mostra un miss rate prou baix des del tamany més petit, tot i que es redueix molt lleugerament cada vegada que s'incrementa el tamany, mantenint-se pràcticament igual en tots els casos. Per acabar, la mitjana ens permet veure que en general el miss rate decreix bastant del cas de 32KB al de 128KB, moment en que continua reduint-se però menys que en els casos anteriors.

TAREA 5. Asociatividad DL1.

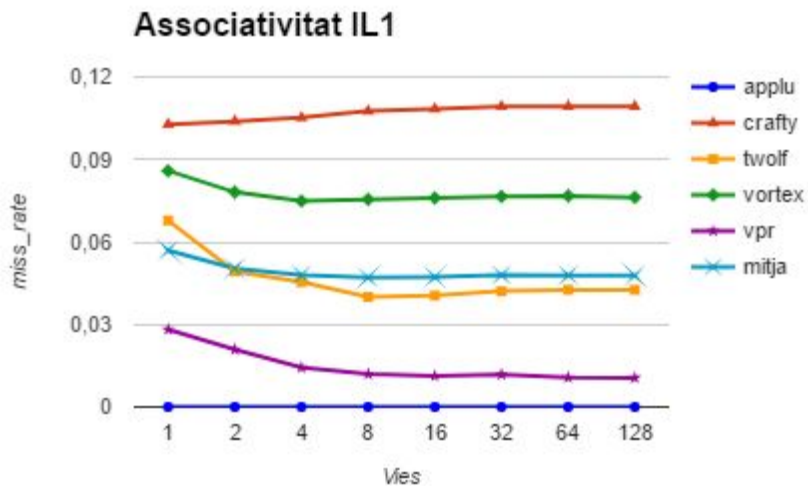
Asumid una caché DL1 con tamaño total de 4KB, con tamaño de línea de 32 bytes y política de reemplazo LRU. Estudiad el comportamiento (miss ratio) de esta caché al variar su **asociatividad** y por tanto asumiendo valores de 1, 2, 4, 8, 16, 32, 64 vías y totalmente asociativa. Comentad los resultados.



En aquesta ocasió hi ha una gràfica amb la relació miss rate/associativitat del caché DL1. Per començar observem l'execució en "applu" que, com als casos de les tareas anteriors, el seu miss rate es manté casi constant sense importar el número de vies. En aquesta gràfica podem observar un comportament molt similar entre tots els benchmarks sense tenir en compte el "applu", aquest comportament consisteix en que el miss rate disminueix de forma notable al passar de 1 a 2 vies i de 2 a 4, però en les ocasions següents es manté pràcticament igual al que hi havia amb 4 vies. La única excepció a part del "applu" seria el "vortex", el miss rate del qual disminueix lleugerament en totes les situacions fins arribar a les 64 vies, on es torna constant com a la resta de benchmarks.

TAREA 6. Asociatividad IL1.

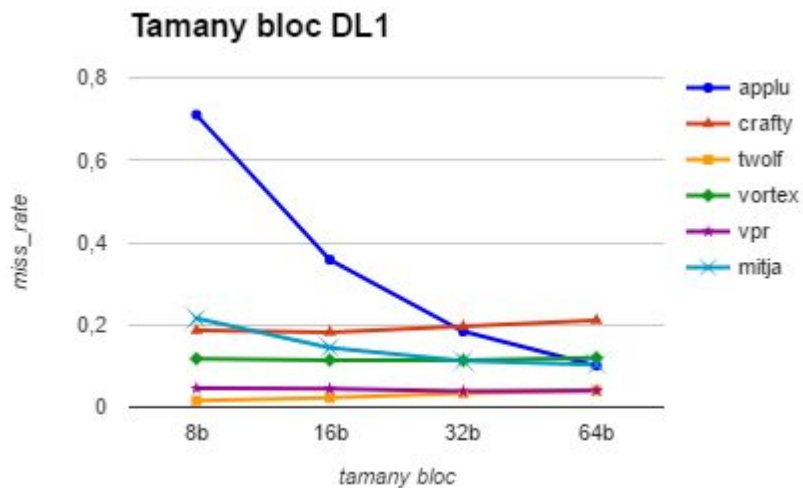
Asumid una caché IL1 con tamaño total de 4KB, con tamaño de línea de 32 bytes y política de reemplazo LRU. Estudiad el comportamiento (miss ratio) de esta caché al variar su asociatividad y por tanto asumiendo valores de 1, 2, 4, 8, 16, 32, 64 vías y totalmente asociativa. Comentad los resultados.



La gràfica d'aquesta tarea ens mostra la relació entre el miss rate i l'associativitat del caché IL1. Començant observant l'execució en "applu" es veu clarament que el miss rate es de 0 de forma constant des del menor al major nombre de vies. En "crafty" el miss rate s'incrementa lleugerament quan augmenta el número de vies fins arribar a 16, nombre a partir del qual el miss rate es manté constant. En el cas del "twolf" el miss rate disminueix notablement de 1 a 2 vies i continua reduïnt-se lleugerament fins a les 8 vies, ja que en el cas posterior s'incrementa lleugerament i després es manté gairebé constant de nou. Amb el benchmark "vortex" passa algo molt semblant al "twolf", tot i que en aquesta ocasió ens redueix lleugerament fins a les 4 vies i a partir d'aquí fins al número màxim es manté constant. En "vpr" el miss rate disminueix de forma lineal de 1 a 4 vies però a partir d'aquest cas es manté casi constant fins al número màxim. Gràcies a observar la mitjana podem veure que en general el miss rate acostuma a reduir-se lleugerament de 1 a 4 vies i es manté constant en la resta de casos.

TAREA 7. Tamaño Bloque DL1.

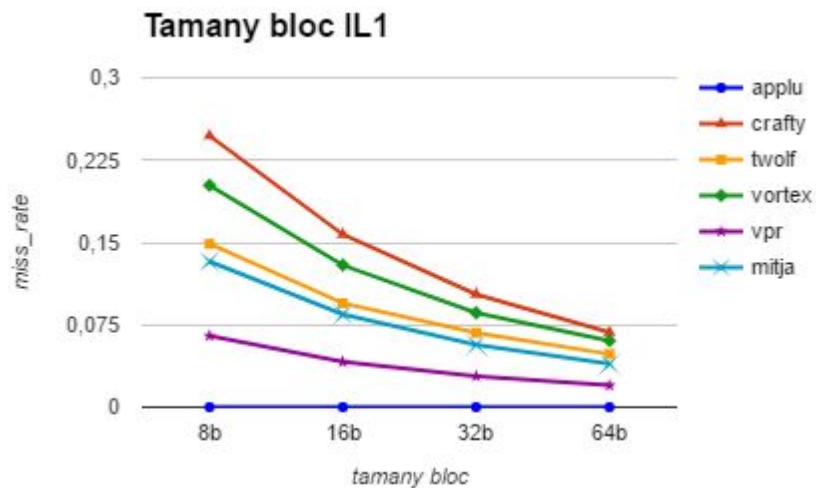
Asumid una caché DL1 de asociatividad 1 (directa), con tamaño total de 4KB y política de reemplazo LRU. Estudiad el comportamiento (miss ratio) de esta caché al variar su **tamaño de bloque** y por tanto asumiendo valores de 8 bytes, 16 bytes, 32 bytes y 64 bytes. Comentad los resultados.



Aquesta gràfica ens mostra la relació entre el tamany de bloc del caché DL1 i el seu miss rate. En el cas del “applu” el miss rate decreix de forma exponencial pronunciada des del cas amb el menor tamany fins al de major. Amb els casos del “crafty”, el “twolf” i el “vortex” el miss rate s’incrementa lleugerament a mesura que augmenta el tamany de bloc. Amb “applu” el miss rate es manté pràcticament constant en tots els tamanyys de bloc, reduïnt-se molt lleugerament cada vegada que el tamany de bloc augmenta. Finalment podem observar la mitjana, que mostra una reducció del miss rate lleugera del primer al segon cas i es manté constant en la resta.

TAREA 8. Tamaño Bloque IL1.

Asumid una caché IL1 de asociatividad 1 (directa), con tamaño total de 4KB y política de reemplazo LRU. Estudiad el comportamiento (miss ratio) de esta caché al variar su tamaño de bloque y por tanto asumiendo valores de 8 bytes, 16 bytes, 32 bytes y 64 bytes. Comentad los resultados.



En aquesta última gràfica de la fase 1 es pot observar la relació entre el miss rate i el tamany del bloc del caché IL1. En aquesta ocasió “applu” manté un miss rate constant de 0 sense tenir en compte el tamany de bloc. Per una latre part la resta de benchmarks es comporten de forma similar però amb valors diferents, aquest comportament és bàicament que el seu miss rate decreix bastant del tamany de 8 bits a 16 bits, decreix també però no tant de 16 a 32 i decreix encara menys que en l’ocasió anterior de 32 a 64.

FASE 2: Tiempo de Acceso, Área y Consumo

Para los distintos estudios que se deben realizar tened en cuenta los siguientes comentarios:

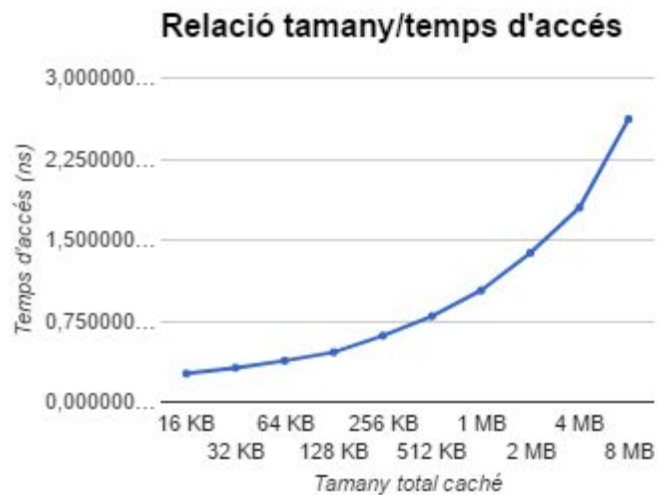
- 1) Los resultados de las simulaciones se mostrarán a través de tres gráficas dónde el eje vertical será el tiempo de acceso o área o consumo y el eje horizontal el parámetro de caché a estudiar.
- 2) Para cada estudio, se variará el valor del parámetro a estudiar y se dejarán fijos el resto de los parámetros. Los valores que a continuación se detallan, se utilizarán como valores base:

- tamaño de caché: 256KB
- tamaño de línea/bloque: 32 bytes
- asociatividad: 1 vía
- escala de integración: 32 nm

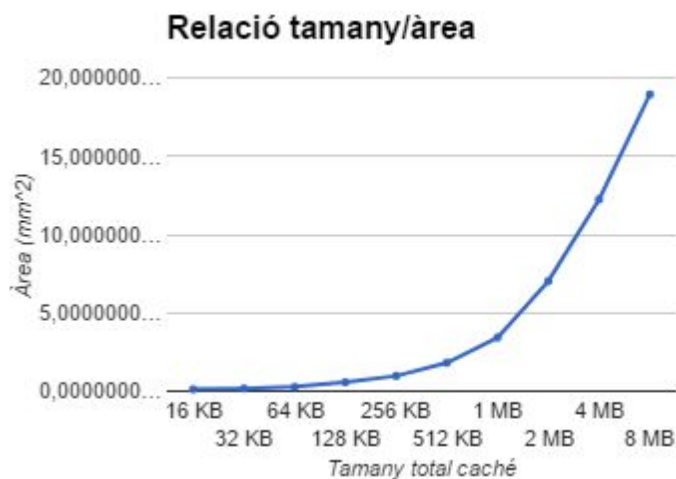
TAREA 9. Tamaño Total Caché.

Estudiad el tiempo de acceso (ns), área (mm²), consumo estático (W) y consumo dinámico por cada lectura (W) de una memoria caché con los **tamaños totales** siguientes: 16KB, 32KB, 64KB, 128KB, 256KB, 512KB, 1MB, 2MB, 4MB, 8MB. Comentad los resultados.

A continuació es mostren les gràfiques obtingudes a través de l'estudi del temps d'accés, l'àrea, el consum estàtic i el consum dinàmic del caché en relació al seu tamany total, el qual es variarà com s'indica a l'enunciat.



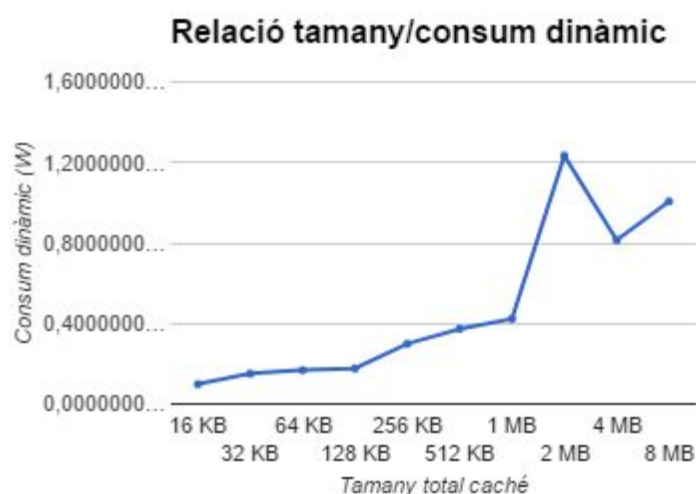
En aquesta gràfica podem observar que el temps d'accés a les instruccions creix de forma exponencial depenent del tamany del caché.



Aquí podem observar un increment exponencial molt més pronunciat que en el cas anterior del àrea del caché en funció del tamany total d'aquest, concretament el creixement es comença a fer notable als 256 KB de tamany total, i d'aquí fins al màxim evaluat (8 MB) l'àrea creix de forma molt pronunciada.



La gràfica ens mostra l'augment del consum estàtic del caché en relació al seu tamany total. En aquest cas s'observa fàcilment que el consum estàtic està directament relacionat amb l'àrea del caché, ja que ambdues gràfiques tenen un creixement pràcticament idèntic.

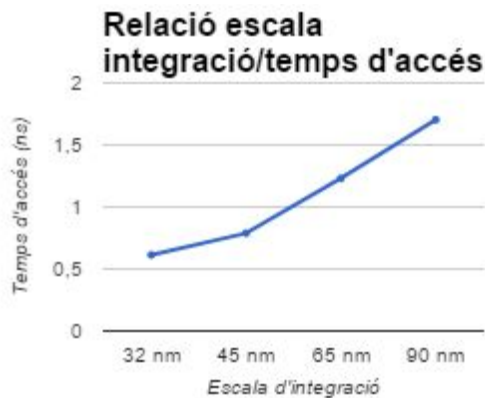


Aquesta última gràfica mostra la relació entre el tamany total de caché i el consum d'energia dinàmic d'aquest. En aquest cas el consum creix d'una forma més o menys lineal des dels 16 KB de tamany fins a 1 MB, al arribar als 2 MB el consum es triplica repentinament en relació a l'anterior i a partir d'aquí fins el tamany màxim evaluat (8 MB) quan augmenta el tamany total el consum continua sent menor que en el cas dels 2 MB.

TAREA 10. Escala de Integración.

Estudiad el tiempo de acceso (ns), área (mm²), consumo estático (W) y consumo dinámico por cada lectura (W) de la memoria caché con las **escalas de integración** siguientes: 90nm, 65nm, 45nm, 32nm. Comentad los resultados.

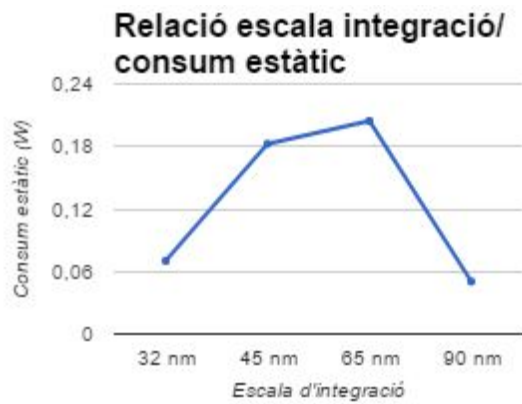
El treball a realitzar en aquesta tasca consisteix en analitzar la variació del temps d'accés, àrea i consum dinàmic i estàtic segons l'escala d'integració del caché.



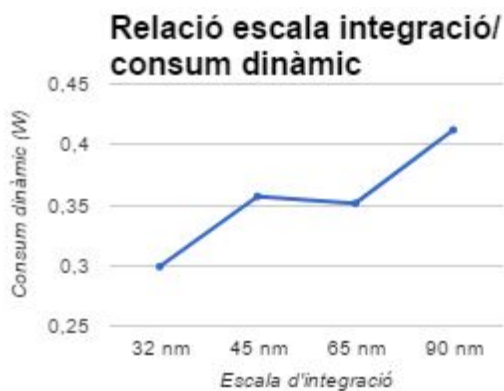
Gràcies a aquesta gràfica observem que el temps d'accés del caché creix linealment en funció de l'escala d'integració.



En aquesta gràfica es pot apreciar que l'àrea dels dos primers casos s'incrementa lleugerament a mesura que augmenta l'escala d'integració, mentre que en els casos posteriors el creixement es molt major, sent en el tercer cas el triple que al segon i en el quart el doble del tercer, tenint així una gràfica amb un creixement exponencial molt pronunciat de la meitat al final.



En aquesta ocasió podem observar una gràfica amb la relació entre l'escala d'integració i el consum estàtic en que el consum augmenta a casi el triple del primer cas (32 nm) al segon (45 nm), creix lleugerament del segon al tercer (65 nm) mentre que en l'última mesura presa (90 nm) es redueix considerablement fins arribar a ser menor que al primer cas.

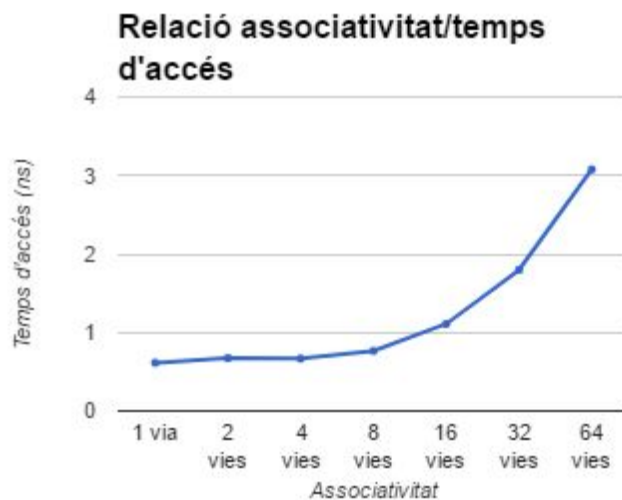


En aquesta última gràfica es pot veure la relació entre l'escala d'integració i el consum dinàmic. S'observa que el consum es duplica dels 32 nm als 45 nm, mentre que es manté pràcticament igual als 65 nm i torna a augmentar considerablement al arribar als 90 nm.

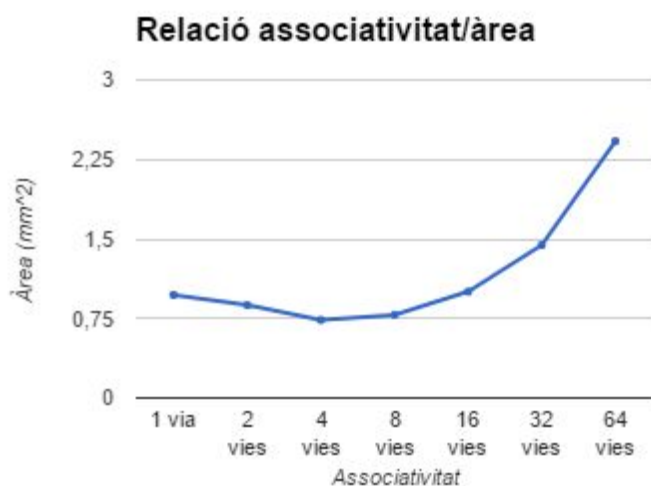
TAREA 11. Asociatividad Caché.

Estudiad el tiempo de acceso (ns), área (mm²), consumo estático (W) y consumo dinámico por cada lectura (W) de una memoria caché con las **asociatividades** siguientes: 1 vía, 2 vías, 4 vías, 8 vías, 16 vías, 32 vías y 64 vías. Comentad los resultados.

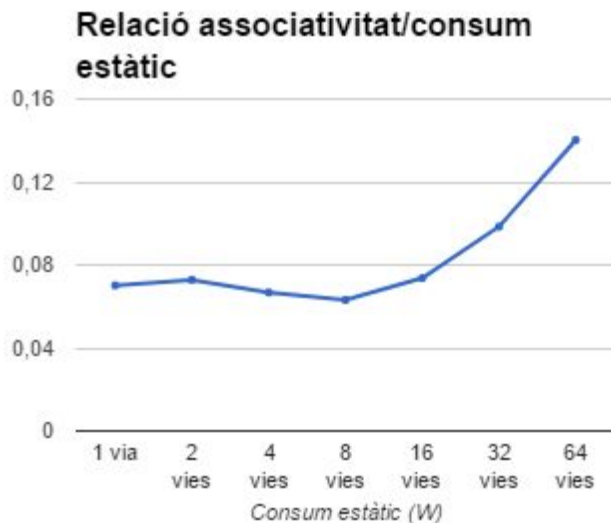
La tasca en qüestió ens ha portat a l'estudi del temps d'accés, àrea i consums estàtic i dinàmic del caché en relació a la seva associativitat.



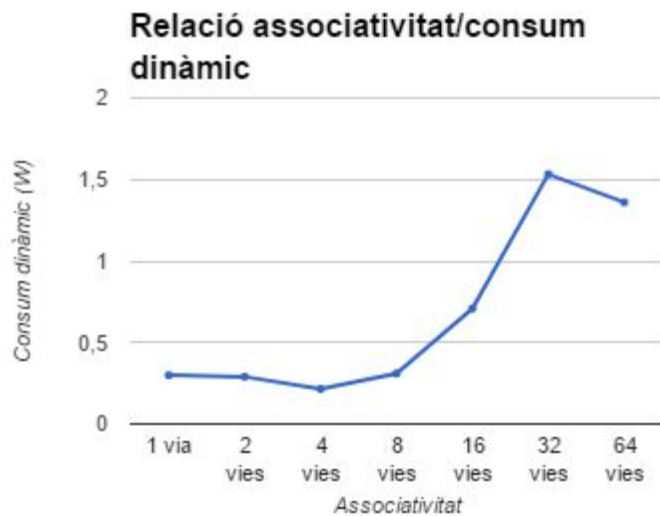
La gràfica anterior amb la relació entre l'associativitat i el temps d'accés ens permet observar que el creixement d'aquest segon es mínim fins que arribem a una associativitat de 16 vies, moment en que al doblar el número de vies el temps d'accés s'incrementa de manera cada vegada més pronunciada, és a dir, que a partir de les 8 vies el creixement del temps d'accés es exponencial.



En la gràfica podem observar que l'àrea disminueix lleugerament segons la seva associativitat fins arribar a les 8 vies, moment en que comença a créixer de forma pronunciada, bastant similar al creixement del temps d'accés, ja que també comença a créixer exponencialment a partir de les 8 vies.



En aquesta ocasió observem que el consum estàtic es manté més o menys estable fins que arribem a les 16 vies, moment en que comença a créixer de forma cada vegada més pronunciada.

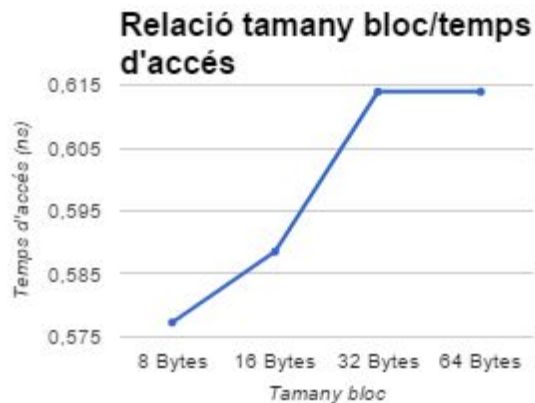


En l'última gràfica d'aquesta tasca es pot apreciar un comportament semblant a les anteriors relacions, ja que el consum dinàmic es manté més o menys estable fins arribar a les 8 vies, moment en que comença a créixer exponencialment, tot i que en aquesta ocasió el consum es redueix en el valor d'associativitat màxim (64 vies).

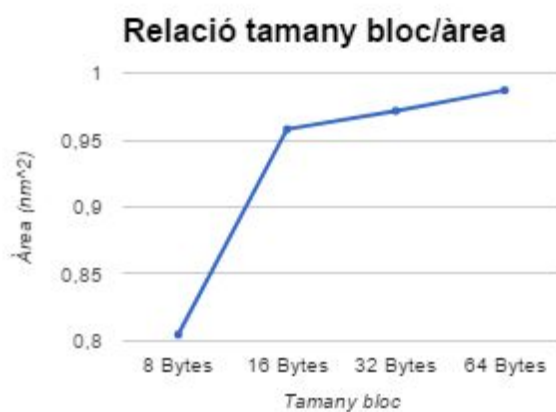
TAREA 12. Tamaño Bloque.

Estudiad el tiempo de acceso (ns), área (mm²), consumo estático (W) y consumo dinámico por cada lectura (W) de una memoria caché con las **tamaños de bloque** siguientes: 8 bytes, 16 bytes, 32 bytes y 64 bytes. Comentad los resultados.

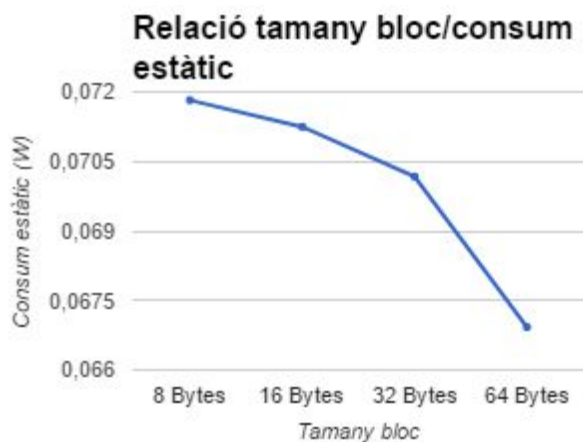
En aquesta última tasca de la fase 2 observarem la relació entre el tamany dels blocs del caché amb el temps d'accés, l'àrea i els consums estàtic i dinàmic.



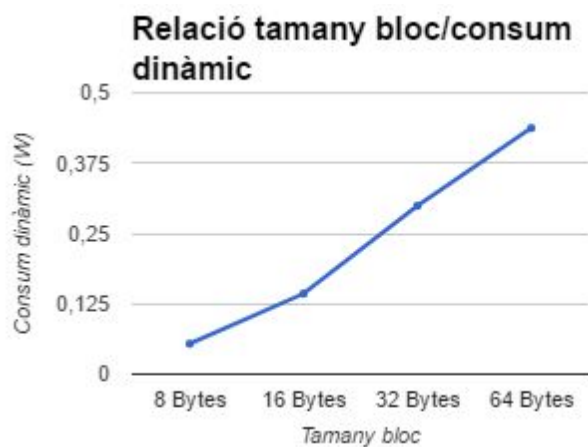
Podem observar en aquesta gràfica que el temps d'accés s'incrementa de forma exponencial extremadament pronunciada fins arribar al tamany de bloc de 32 bytes, moment a partir del qual el temps d'accés continua pràcticament igual a pesar d'haver doblat el tamany de bloc.



En aquesta ocasió observem que l'àrea del caché augmenta extremadament del tamany de bloc de 8 bytes al de 16 bytes però a partir d'aquí es manté amb un bastant lleuger creixement lineal a pesar de cada vegada es dobla el tamany de bloc.



En aquesta gràfica podem observar que el consum estàtic es redueix de forma lineal des del tamany de bloc de 8 bytes fins als 32 bytes, moment en que el consum es redueix en gran mesura al doblar el tamany de bloc.



Aquesta última gràfica ens permet observar un creixement lineal del consum dinàmic del caché en relació al tamany de bloc d'aquest mateix.

FASE 3: Análisis de Procesadores Comerciales

Asumid en esta fase uno de los cores del siguiente procesador: Intel Core i7 7700K Kaby Lake El Intel Core i7 7700K es un procesador dirigido al segmento de alto rendimiento. Trabaja a una frecuencia base de 4.2GHz con un consumo (TDP) de 91W. Estudiaremos las características de primer y segundo nivel de las caches privadas de uno de sus cores.

TAREA 13. Análisis Cachés.

Buscad información sobre las cachés de primer y segundo nivel que incorpora el procesador anteriormente indicado y analizad (mediante SimpleScalar y Cacti) su miss ratio, tiempo de acceso, área de silicio y consumo de energía (estático y dinámico). Comentad los resultados.

Al buscar informació sobre el processador mencionat al principi de la fase hem aconseguit trobar la següent informació:

Caché L1 Instruccions

- Memòria caché total: 128KB (4*32KB)
- Tamany de línia: 64 bytes
- Número de bancs: 1
- Associativitat: 8 vies
- Escala d'integració: 14 nm

Caché L1 Dades

- Memòria caché total: 128KB (4*32KB)
- Tamany de línia: 64 bytes
- Número de bancs: 1
- Associativitat: 8 vies
- Escala d'integració: 14 nm

Caché L2

- Memòria caché total: 1024KB (4*256KB)
- Tamany de línia: 64 bytes
- Número de bancs: 1
- Associativitat: 4 vies
- Escala d'integració: 14 nm

Coneixent l'informació anterior, a continuació es mostren el miss rate, temps d'accés, àrea de silici i consum estàtic i dinàmic per a cada caché, obtinguts a partir de l'execució de SimpleScalar (amb benchmark "crafty") i la versió web de cacti (degut a les limitacions de cacti l'escala d'integració introduïda ha estat el mínim permés de 32 nm i no la real, que es 14 nm):

Caché L1 Instruccions

- Miss rate: 0,0001
- Temps d'accés (ns): 1,05078897198
- Àrea de silici (mm²): 0,973254218243
- Consum estàtic (W): 0.0433872334782
- Consum dinàmic (W): 0.815124595645

Caché L1 Dades

- Miss rate: 0,0038
- Temps d'accés (ns): 1,05078897198
- Àrea de silici (mm²): 0,973254218243
- Consum estàtic (W): 0.0433872334782
- Consum dinàmic (W): 0.815124595645

Caché L2

- Miss rate: 0,0163
- Temps d'accés (ns): 1,13518656954
- Àrea de silici (mm²): 3,59756054666
- Consum estàtic (W): 0.277177114808
- Consum dinàmic (W): 0.818590522433

Observant els resultats obtinguts podem veure que els dos cachés L1 tenen el mateix temps d'accés, àrea de silici i consums, això es degut a que es tracta del mateix caché però que realitza funcions diferents, la diferència principal entre aquests dos és el miss rate, que en el cas de les dades es molt més gran en funció al de les instruccions. En el cas del caché de segon nivell tant el miss rate com l'àrea i el consum estàtic són notablement majors en funció als cachés de primer nivell, mentre que el consum dinàmic es manté igual.

TAREA 14. Dividir Capacidad DL1.

Analizad las ventajas y desventajas que supondría dividir por la mitad la capacidad de la caché de datos de primer nivel del procesador asumido. Razonad si recomendaríais o no ese cambio en la arquitectura.

Dividir a la meitat la capacitat total del caché de primer nivell ens deixaria amb els resultats següents:

Caché L1 Instruccions

- Memòria caché total: 64KB (2*32KB)
- Tamany de línia: 64 bytes
- Número de bancs: 1
- Associativitat: 8 vies
- Escala d'integració: 14 nm

Caché L1 Dades

- Memòria caché total: 64KB (2*32KB)
- Tamany de línia: 64 bytes
- Número de bancs: 1
- Associativitat: 8 vies
- Escala d'integració: 14 nm

A partir de l'informació anterior a continuació es mostren el miss rate, temps d'accés, àrea de silici i consum estàtic i dinàmic per a cada caché, obtinguts a partir de l'execució de SimpleScalar (amb benchmark "crafty") i la versió web de cacti (degut a les limitacions de cacti l'escala d'integració introduïda ha estat el mínim permès de 32 nm i no la real, que es 14 nm):

Caché L1 Instruccions

- Miss rate: 0,0023
- Temps d'accés (ns): 1.00862105579
- Àrea de silici (mm²): 0.704152135711
- Consum estàtic (W): 0.0263152075107
- Consum dinàmic (W): 0.785915760609

Caché L1 Dades

- Miss rate: 0,0098
- Temps d'accés (ns): 1.00862105579
- Àrea de silici (mm²): 0.704152135711
- Consum estàtic (W): 0.0263152075107
- Consum dinàmic (W): 0.785915760609

Analitzant l'informació dels cachés amb el seu tamany total reduït a la meitat i els de la tarea anterior hem arribat a la conclusió de que les ventatges d'aquesta reducció del tamany provoca una disminució d'un 4,01% aproximadament en el temps d'accés, una reducció propera al 27,6% del consum estàtic i més o menys es redueix un 3,58% el consum dinàmic.

Per una altre part el desavantatge principal seria que el miss rate s'incrementa enormement per al caché L1 de Instruccions, exactament un 230%, ja que passa de 0,001 a 0,0023 i en el cas del caché L1 de Dades el miss rate també s'incrementa i a més en una proporció major al L1 de Instruccions, ja que passa de 0,038 a 0,098, el qual és un 258% major