Pràctica3

Estructura de Computadors

Aleix MAriné Tena

Marc CAbré guinovart

# Fase 1: Hit/Miss Ratio

## Tasca 1:

Realitzar simulacions per a mostrar el comportament dels valors base assumits en la pràctica.

|  |  |  |
| --- | --- | --- |
| DL1 | IL1 | UL2 |
| Tamany Total: 8KB | Tamany Total: 16KB | Tamany Total: 64KB |
| Associativitat: 4 | Associativitat: 1 | Associativitat: 4 |
| Tamany Bloc: 32 | Tamany Bloc: 16 | Tamany Bloc: 64 |
| Pol. Reemplaçament: LRU | Pol. Reemplaçament: LRU | Pol. Reemplaçament: LRU |

Per calcular el paràmetre **nsets** utilitzem en tots els casos:

|  |
| --- |
| **Tamany Total =** NumSets x BlocSize x Associativitat |

En aquest gràfic podem veure que la Memoria caché que té menys hit/miss ratio és la IL1 (memòria cache d’instruccions de primer nivell). La cache de dades té un pic en el Benchmark Applu però en la resta de benchmarks veiem que té una valors baixos que de mitjana estan per sota dels de la IL1. LA memòria de segon nivell (UL2) té un hit ratio major

|  |  |  |  |
| --- | --- | --- | --- |
|  | DL1 | IL1 | UL2 |
| Applu | 0,178 | 0 | 0,2506 |
| Crafty | 0,0674 | 0,059 | 0,0797 |
| Twolf | 0,0012 | 0,0166 | 0,0041 |
| Vortex | 0,0315 | 0,0644 | 0,1395 |
| gzip | 0,0241 | 0 | 0,2248 |

## Tasca 2:

Estudiem el comportament de la caché DL1 al variar el tamany total per als valors 1KB, 2KB, 4KB, 8KB, 16KB, 32KB, 64KB.

Veiem que el Hit Ratio disminueix al augmentar la memòria de la DL1 ja que tenim més dades a la memòria. Al tenir més blocs de memòria la probabilitat de que hi hagi una col·lisió és més baixa.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | Applu | Crafty | Twolf | Vortex | gzip |
| 1KB | 0,2054 | 0,375 | 0,1675 | 0,2289 | 0,109 |
| 2KB | 0,1924 | 0,3036 | 0,062 | 0,1643 | 0,072 |
| 4KB | 0,1839 | 0,196 | 0,0336 | 0,1134 | 0,0507 |
| 8KB | 0,1774 | 0,1246 | 0,0235 | 0,062 | 0,0329 |
| 16KB | 0,1739 | 0,0842 | 0,0016 | 0,0399 | 0,026 |
| 32KB | 0,1715 | 0,0514 | 0,0009 | 0,0293 | 0,0207 |
| 64KB | 0,1701 | 0,022 | 0,0003 | 0,0178 | 0,0148 |

## Tasca 3:

Estudiem el comportament de la caché IL1 al variar el tamany total per als valors 1KB, 2KB, 4KB, 8KB, 16KB, 32KB, 64KB.

Com en la tasca anterior tenim el mateix comportament. Al augmentar la memòria disminuïm les col·lisions al desar les instruccions a la caché, de manera que el Hit Ratio és menor en tots els benchmarks.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | Applu | Crafty | Twolf | Vortex | gzip |
| 1KB | 0 | 0,1322 | 0,1195 | 0,116 | 0,0194 |
| 2KB | 0 | 0,1228 | 0,0988 | 0,1046 | 0,0111 |
| 4KB | 0 | 0,1028 | 0,0678 | 0,0859 | 0,0073 |
| 8KB | 0 | 0,075 | 0,0376 | 0,0675 | 0 |
| 16KB | 0 | 0,0397 | 0,0125 | 0,0433 | 0 |
| 32KB | 0 | 0,016 | 0,0064 | 0,028 | 0 |
| 64KB | 0 | 0,0015 | 0,0011 | 0,0159 | 0 |

## Tasca 4:

Estudiem el comportament de la caché UL2 al variar el tamany total per als valors 32KB, 64KB, 128KB, 256KB, 521KB.

Veiem que el comportament és el mateix que en les altres dues cachés, però en aquest cas arribem a un punt en el que el sistema s’estabilitza i cada vegada corregim menys col·lisions i el hit ratio no millora al mateix ritme que en els casos menors.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | Applu | Crafty | Twolf | Vortex | gzip |
| 32KB | 0,5094 | 0,3596 | 0,3536 | 0,4684 | 0,5247 |
| 64KB | 0,505 | 0,1551 | 0,0687 | 0,2961 | 0,4085 |
| 128KB | 0,503 | 0,0692 | 0,0088 | 0,1363 | 0,2854 |
| 256KB | 0,4979 | 0,0461 | 0,0081 | 0,0749 | 0,1343 |
| 512KB | 0,4917 | 0,0285 | 0,0068 | 0,021 | 0,1183 |

## Tasca 5:

Estudiem el comportament de la caché DL1 al variar el valor d’associativitat per als valors 1, 2, 4, 8, 16, 32, 64.

Veiem que Al augmentar la associativitat aconseguim disminuir el GIT Ratio, però que aquesta millora s’estabilitza com més alt és el valor d’aquesta associativitat. A partir de 4 el valor és tant estable que aporta poca millora al rendiment de la caché.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | Applu | Crafty | Twolf | Vortex | gzip |
| 1 | 0,1839 | 0,196 | 0,0336 | 0,1134 | 0,0507 |
| 2 | 0,1786 | 0,1709 | 0,0098 | 0,0752 | 0,0305 |
| 4 | 0,1781 | 0,1546 | 0,0044 | 0,0628 | 0,0277 |
| 8 | 0,1781 | 0,1511 | 0,0021 | 0,0588 | 0,0273 |
| 16 | 0,1781 | 0,1517 | 0,0019 | 0,054 | 0,0272 |
| 32 | 0,1781 | 0,1501 | 0,0017 | 0,0558 | 0,0271 |
| 64 | 0,1781 | 0,1475 | 0,0018 | 0,0499 | 0,0271 |

## Tasca 6:

Estudiem el comportament de la caché IL1 al variar el valor d’associativitat per als valors 1, 2, 4, 8, 16, 32, 64.

En aquest cas veiem al augmentar l’associativitat, en un principi guanyem en miss ratio, però també veiem que a la llarga la tendència és a pujar el miss ratio. Això podria ser un fet puntual dels nostres benchmarks , però com hem vist en la DL1, ampliant l’assertivitat arribem a una situació d’estabilitat en el hit rate.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | Applu | Crafty | Twolf | Vortex | gzip |
| 1 | 0 | 0,1028 | 0,0678 | 0,0859 | 0,0073 |
| 2 | 0 | 0,1039 | 0,0493 | 0,0781 | 0 |
| 4 | 0 | 0,1052 | 0,0454 | 0,0749 | 0 |
| 8 | 0 | 0,1076 | 0,04 | 0,0755 | 0 |
| 16 | 0 | 0,1084 | 0,0405 | 0,076 | 0 |
| 32 | 0 | 0,1093 | 0,0421 | 0,0766 | 0 |
| 64 | 0 | 0,1093 | 0,0426 | 0,0768 | 0 |

## Tasca 7:

Estudiem el comportament de la caché DL1 al variar el tamany de bloc amb valors de 8 bytes, 16 bytes, 32 bytes, 64 bytes.

Tot i que en el Benchmark Applu veiem que aquest tamany varia molt, en la resta veiem que el miss rate no millora a l’augmentar el tamany de bloc sinó que tendeix a disminuir. Aixó és degut a que ell benchmark Applu al augmentar la mida de bloc aconseguim que el número de col·lisions a la memòria caché DL1 sigui molt menor, la qual cosa ens fà pensar que el benchmark té una distribució de memòria que provoca moltes col·lisions en general.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | Applu | Crafty | Twolf | Vortex | gzip |
| 8 bytes | 0,71 | 0,1864 | 0,0162 | 0,118 | 0,0656 |
| 16 bytes | 0,3582 | 0,1822 | 0,0225 | 0,1145 | 0,0511 |
| 32 bytes | 0,1839 | 0,196 | 0,0336 | 0,1134 | 0,0507 |
| 64 bytes | 0,101 | 0,2111 | 0,0407 | 0,12 | 0,0926 |

## Tasca 8:

Estudiem el comportament de la caché IL1 al variar el tamany de bloc amb valors de 8 bytes, 16 bytes, 32 bytes, 64 bytes.

En aquest cas veiem que la majoria de benchamrks milloren notablement amb l’augment del tamany de bloc. En el cas de la memòria d’instruccions si que aconseguim reduir el miss rate.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | Applu | Crafty | Twolf | Vortex | gzip |
| 8 bytes | 0 | 0,2472 | 0,1488 | 0,2022 | 0,0116 |
| 16 bytes | 0 | 0,1573 | 0,0947 | 0,1294 | 0,0082 |
| 32 bytes | 0 | 0,1028 | 0,0678 | 0,0859 | 0,0073 |
| 64 bytes | 0 | 0,0681 | 0,0484 | 0,0606 | 0,0058 |