



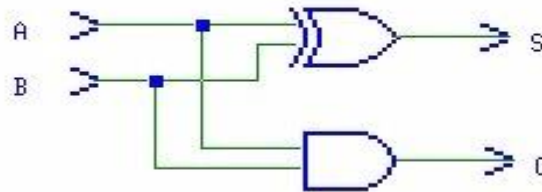
# PRÁCTICA 1 EC

URV

Manuel Ruiz Botella y Cristina Izquierdo Lozano

## Fase 0: Half Adder y Full Adder.

TAREA 1: Realizad el circuito digital Half Adder (HA) de 1 bit que se muestra en la siguiente figura. Suponed que los retardos de las puertas lógicas utilizadas son de AND=1T y XOR=2T. (0.5P).

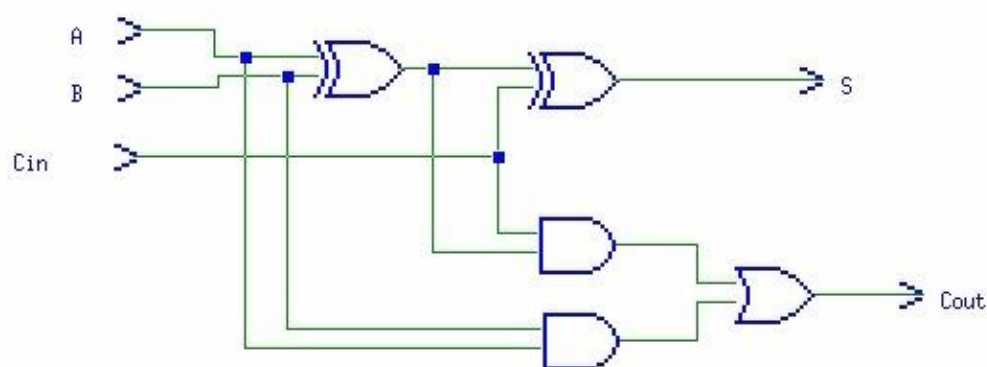


TS=2

TC=1

Área utilizada=1XOR+1AND=8+614

TAREA 2. Realizad el circuito digital Full Adder (FA) de 1 bit con acarreo de entrada que se muestra en la siguiente figura e indicad los tiempos de retardo y el área utilizada. Suponed que los retardos de las puertas lógicas utilizadas son de AND=1T, OR=1T y XOR=2T (0.75P).

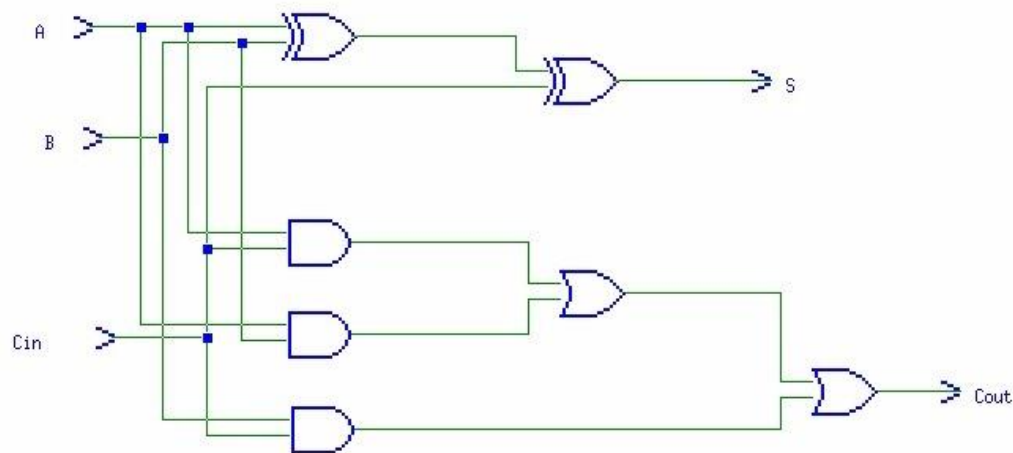


TS=4

TC=4

Área utilizada=2XOR+2AND+1OR=2\*8+2\*6+6=34

TAREA 3. Realizad una implementación alternativa al mismo circuito Full Adder (FA) de 1 bit con acarreo de entrada y comparad los tiempos de retardo y área con la solución anterior. (0.75P)



TS=4

TC=3

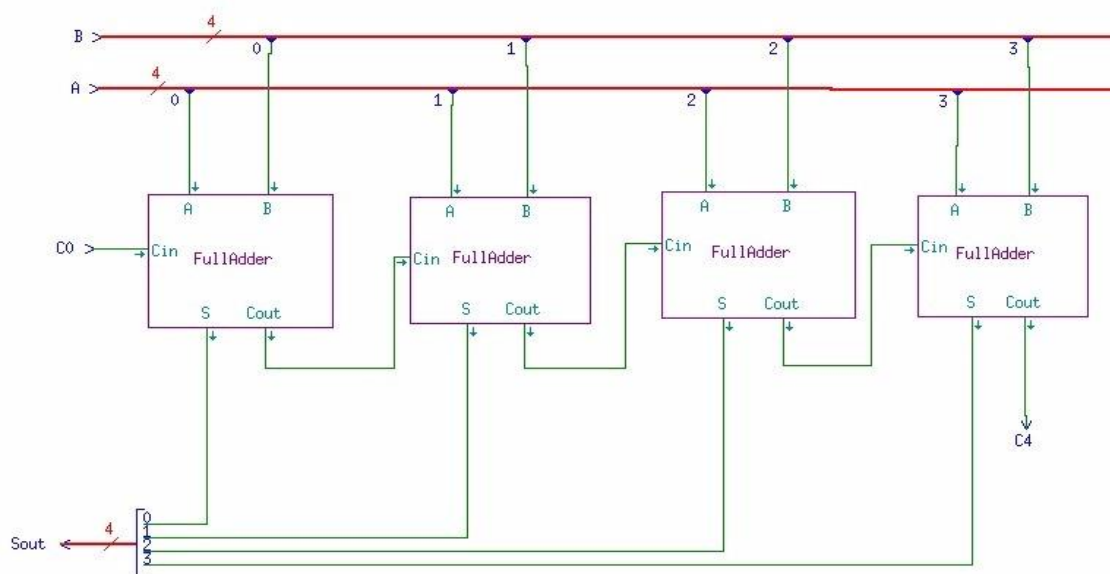
Área utilizada=2XOR+3AND+2OR=2\*8+3\*6+2\*6=46

## Fase 1: Sumadores CPA

TAREA 4. Realizad el circuito digital Carry Propagate Adder (CPA) de 4 bits que se muestra en la siguiente figura e indicad los tiempos de retardo y el área utilizada. Realizad dos versiones del mismo CPA asumiendo las dos posibles implementaciones de Full Adder (FA) de 1 bit consideradas en tareas anteriores. (1P)

Retardo C = TC(bit 0) + (n-1 bits) \* (TC – PP)

Retardo S = TC(bit 0) + (n-2 bits) \* (TC-PP) + (TS-PP)

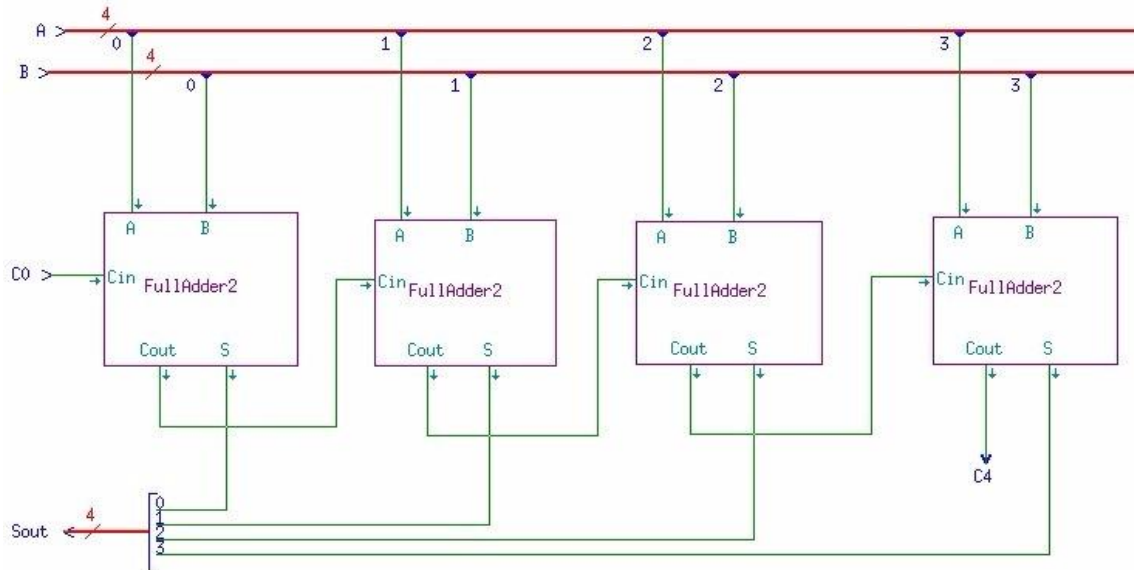


FullAdder1:

$$\text{Retardo C} = 4T + (4-1) * (4T - 2T) = 10T$$

$$\text{Retardo S} = 4T + (4-2) * (4T-2T) + (4T-2T) = 10T$$

$$\text{Área utilizada} = 4 * \text{FAD1} = 4 * 34 = 136$$



FullAdder2:

$$\text{Retardo C} = 3T + (4-1) * (3T) = 12T$$

$$\text{Retardo S} = 3T + (4-2) * (3T) + (4T-2) = 11$$

$$\text{Área utilizada} = 4 * \text{FAD2} = 4 * 46 = 184$$

TAREA 5. Indicad las fórmulas que describen los tiempos de retardo del circuito digital Carry Propagate Adder (CPA) de 4 bits implementado en la tarea anterior. Aplicando esa fórmula, mostrad los tiempos de retardo que introduciría un CPA de 8 bits, 16 bits, 32 bits y 64 bits. (0.75P)

FullAdder1:

- CPA de 8 bits

$$\text{Retardo C} = 4T + (8-1) * (4T - 2T) = 18T$$

$$\text{Retardo S} = 4T + (8-2) * (4T-2T) + (4T-2T) = 18T$$

- CPA de 16 bits

$$\text{Retardo C} = 4T + (16-1) * (4T - 2T) = 34T$$

$$\text{Retardo S} = 4T + (16-2) * (4T-2T) + (4T-2T) = 34T$$

- CPA de 32 bits

$$\text{Retardo C} = 4T + (32-1) * (4T - 2T) = 66T$$

$$\text{Retardo S} = 4T + (32-2) * (4T-2T) + (4T-2T) = 66T$$

- CPA de 64 bits

$$\text{Retardo C} = 4T + (64-1) * (4T - 2T) = 130T$$

$$\text{Retardo S} = 4T + (64-2) * (4T-2T) + (4T-2T) = 130T$$

FullAdder2:

- CPA de 8 bits

$$\text{Retardo C} = 3T + (8-1) * (3T) = 24T$$

$$\text{Retardo S} = 3T + (8-2) * (3T) + (4T-2T) = 23T$$

- CPA de 16 bits

$$\text{Retardo C} = 3T + (16-1) * (3T) = 48T$$

$$\text{Retardo S} = 3T + (16-2) * (3T) + (4T-2T) = 47T$$

- CPA de 32 bits

$$\text{Retardo C} = 3T + (32-1) * (3T) = 96T$$

$$\text{Retardo S} = 3T + (32-2) * (3T) + (4T-2T) = 95T$$

- CPA de 64 bits

$$\text{Retardo C} = 3T + (64-1) * (3T) = 192T$$

$$\text{Retardo S} = 3T + (64-2) * (3T) + (4T-2T) = 191T$$

TAREA 6. Asumid un tiempo de retardo para la puerta lógica XOR de 1T. Realizad de nuevo el circuito digital Carry Propagate Adder (CPA) de 4 bits y comparadlo con los resultados obtenidos anteriormente. (0.75P)

FullAdder1:

$$TC = 3T \quad TS = 2T$$

- CPA de 4 bits

$$\text{Retardo C} = 3T + (4-1) * (3T - 1T) = 9T$$

$$\text{Retardo S} = 3T + (4-2) * (3T-1T) + (2T-1T) = 8T$$

- CPA de 8 bits

$$\text{Retardo C} = 3T + (8-1) * (3T - 1T) = 17T$$

$$\text{Retardo S} = 3T + (8-2) * (3T-1T) + (2T-1T) = 16T$$

- CPA de 16 bits

$$\text{Retardo C} = 3T + (16-1) * (3T - 1T) = 33T$$

$$\text{Retardo S} = 3T + (16-2) * (3T-1T) + (2T-1T) = 32T$$

- CPA de 32 bits

$$\text{Retardo C} = 3T + (32-1) * (3T - 1T) = 65T$$

$$\text{Retardo S} = 3T + (32-2) * (3T-1T) + (2T-1T) = 64T$$

- CPA de 64 bits

$$\text{Retardo C} = 3T + (64-1) * (3T - 1T) = 129T$$

$$\text{Retardo S} = 3T + (64-2) * (3T-1T) + (2T-1T) = 128T$$

FullAdder2(implementado en tarea 3): ESTE PUEDE QUE ESTE MAL SI ES 0  
 $TC = 3T$   $TS = 2T$

- CPA de 4 bits

Retardo C =  $3T + (4-1) * (3T) = 12T$

Retardo S =  $3T + (4-2) * (3T) + (2T-1T) = 10T$

- CPA de 8 bits

Retardo C =  $3T + (8-1) * (3T) = 24T$

Retardo S =  $3T + (8-2) * (3T) + (2T-1T) = 22T$

- CPA de 16 bits

Retardo C =  $3T + (16-1) * (3T) = 48T$

Retardo S =  $3T + (16-2) * (3T) + (2T-1T) = 46T$

- CPA de 32 bits

Retardo C =  $3T + (32-1) * (3T) = 96T$

Retardo S =  $3T + (32-2) * (3T) + (2T-1T) = 94T$

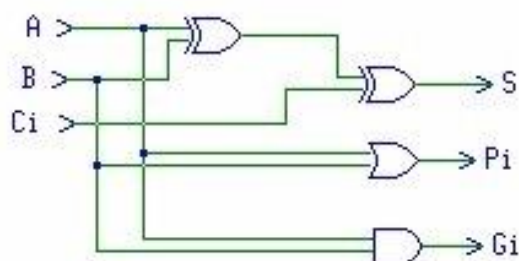
- CPA de 64 bits

Retardo C =  $3T + (64-1) * (3T) = 192T$

Retardo S =  $3T + (64-2) * (3T) + (2T-1T) = 190T$

## Fase 2: Sumadores CLA

TAREA 7. Realizad el circuito digital Partial Full Adder (PFA) de 1 bit con acarreo de entrada que se muestra en la siguiente figura e indicad los tiempos de retardo y el área utilizada. Suponed que los retardos de las puertas lógicas utilizadas son de AND=1T, OR=1T y XOR=2T. (0.75P).



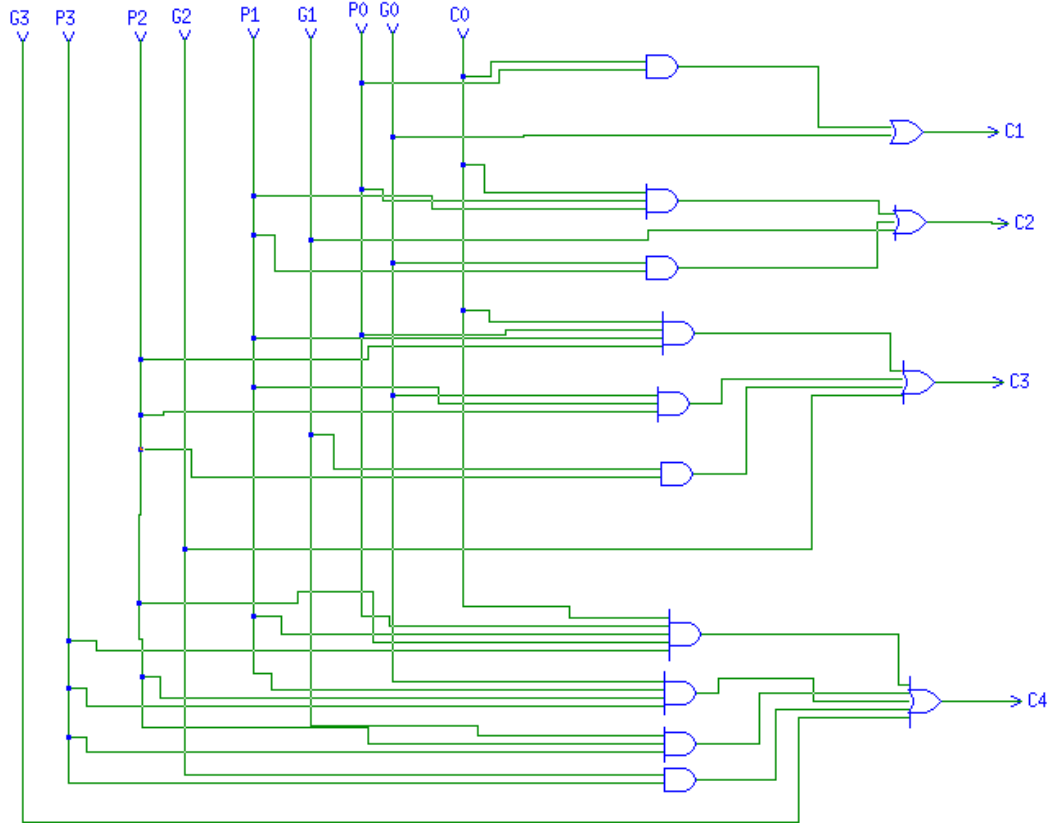
$TS=4T$

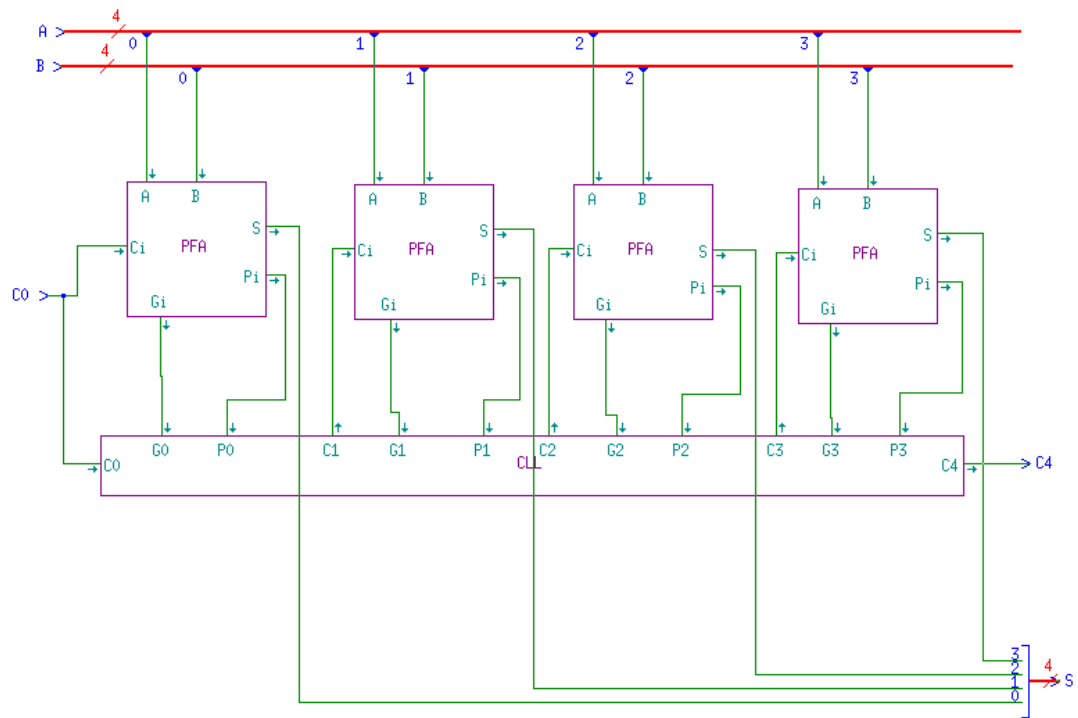
$TPi=1T$

$Tgi=1T$

Área utilizada=  $2XOR+AND+OR=2*8+6+6=28$

TAREA 8. Realizad el circuito digital Carry Look-Ahead Adder (CLA) de 4 bits que se muestra en la siguiente figura e indicad los tiempos de retardo y el área utilizada. Asumid el diseño de Partial Full Adder (FA) de 1 bit implementado en la tarea anterior. Suponed que los retardos de las puertas lógicas utilizadas son de AND=1T, OR=1T y XOR=2T. (1P)





2 CLA

$$\text{Área} = 4\text{PFA} + \text{CLL} = 4 \cdot 28 + 116 = 228$$

$$\begin{aligned} \text{Área CLL} &= (1\text{OR}(2p) + 1\text{OR}(3p) + 2\text{OR}(4p) + 4\text{AND}(2p) + 3\text{AND}(3p) + 2\text{AND}(4p) + \\ &1\text{AND}(5p)) = 4 \cdot 28 + 6 + 8 + 2 \cdot 10 + 4 \cdot 6 + 3 \cdot 8 + 2 \cdot 10 + 12 = 116 \end{aligned}$$

Retardo=

Generar y propagar 1T

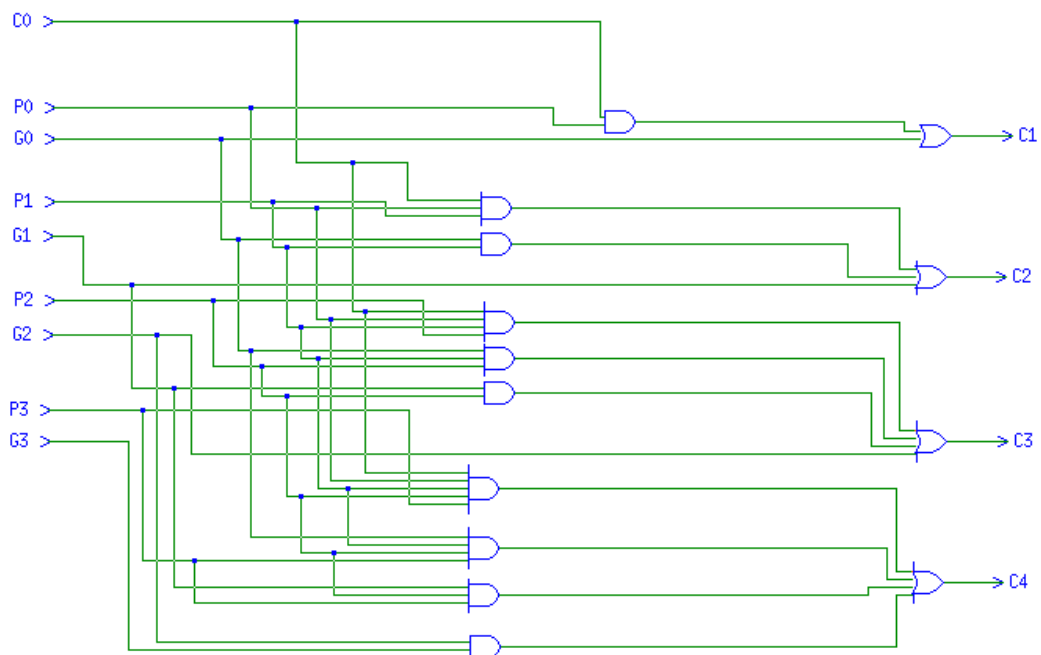
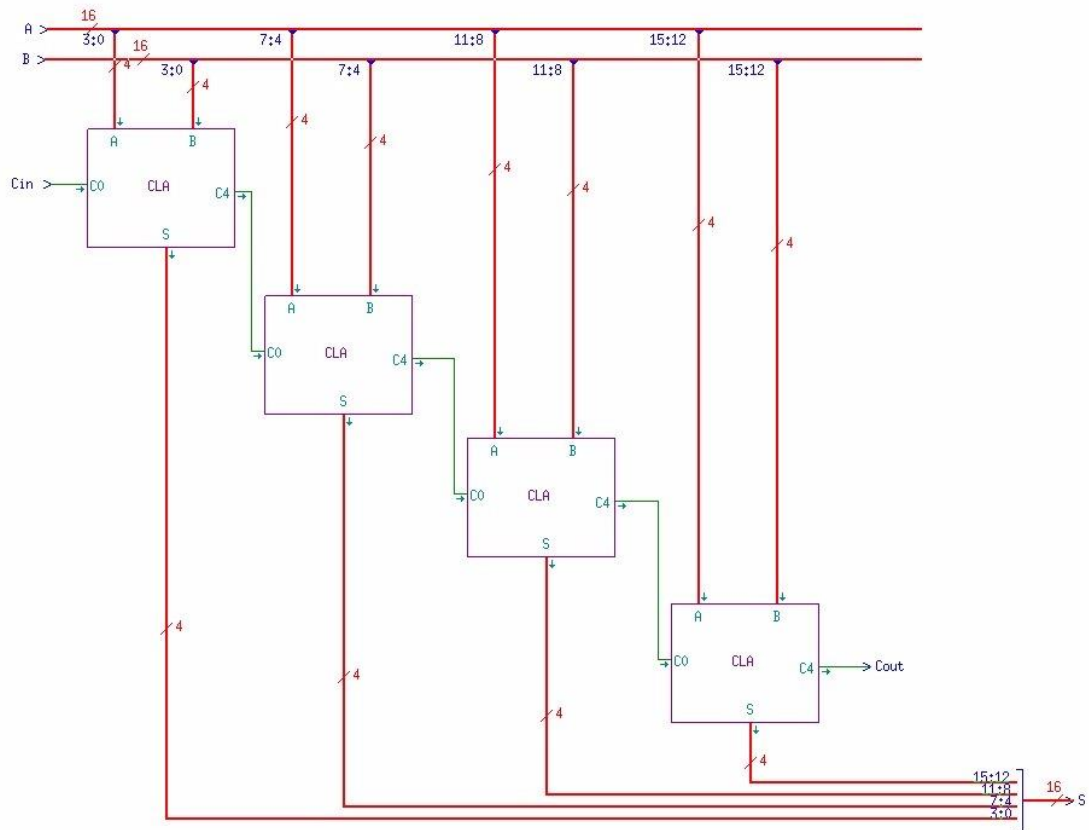
C1 a Cn 2T

Suma 2T

Retardo total 5T



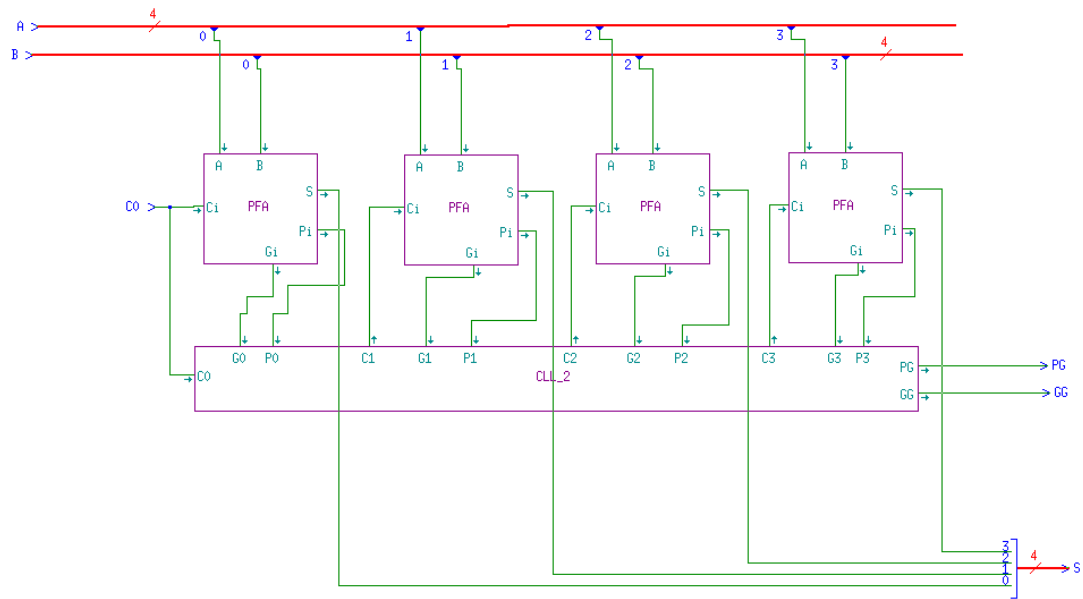
TAREA 9. Realizad un circuito digital CLA de 16 bits mediante CLA de 4 bits conectados en cascada tal y como se muestra en la siguiente figura. Indicad el área, el tiempo de retardo y la fórmula teórica que lo define. (1P)

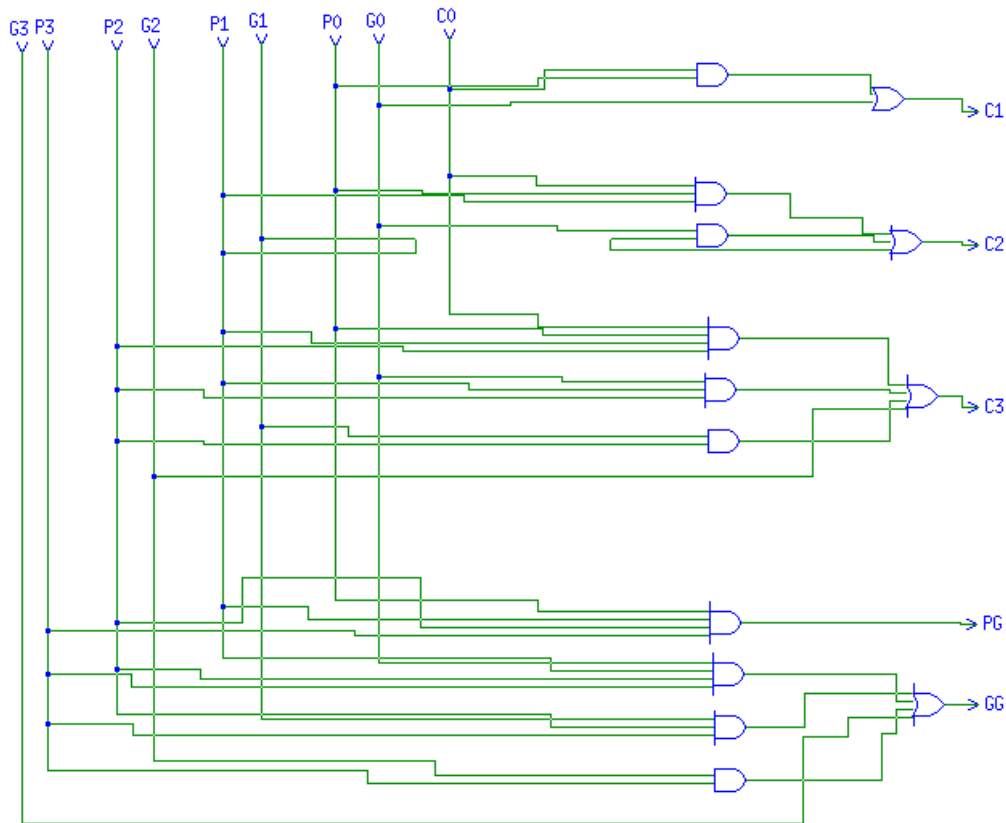


Área Utilizada=  $4 \times \text{CLA} = 4 \times 228 = 912$

$\text{Cout} = \text{C1} - \text{Cn} \times n + \text{PP}(\text{Tiempo de generación y propagación}) = 2 \times 4 + 1 = 9$

TAREA 10. Realizad un circuito digital CLA de 16 bits mediante CLA de 4 bits conectados en cascada tal y como se muestra en la siguiente figura. Indicad el área, el tiempo de retardo y comparad los resultados con la tarea anterior. (1P)





4 CLU

Retardo=Gn+AndyOr(CLU\_16) +AndyOr(CLA\_2(paso por el CLL\_2))+XOR(en PFA)=3T+2T+2T+2T  
Retardo=9T

Área=CLU\_16+4\*CLA\_2=CLU\_16+4\*(4\*PFA+CLL\_2)=136+4\*(4\*28+112)=1032

AreaCLU\_16=(1OR(2p) + 1OR(3p)+ 2OR(4p)+1OR(5p)+ 4AND(2p)+ 3AND(3p)+ 3AND(4p)+  
1AND(5p)=6+8+2\*10+12+4\*6+3\*8+3\*10+12=136

AreaCLL\_2=(1OR(2p) + 1OR(3p) + 2OR(4p)+ 4AND(2p)+ 3AND(3p)+ 3AND(4p)  
=6+8+2\*10+4\*6+3\*8+3\*10=112

El retardo del circuito es el mismo que el retardo del circuito anterior, mientras que la forma