

# Sumadores y Multiplicadores

Estructura de Computadores

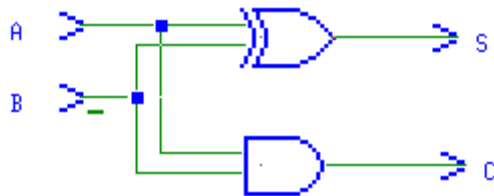
Practica 1

Octavi Juan Dalmau

Manel Hidalgo Agraz

## FASE 1: Sumadores HA, FA y CPA

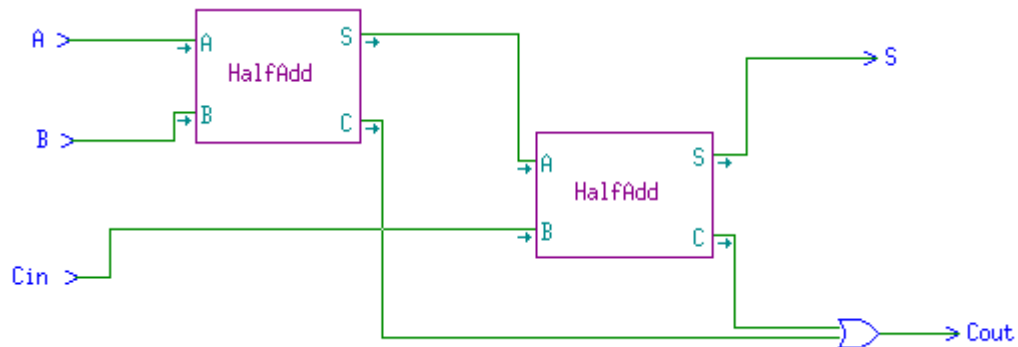
**TAREA 1:** Realizad el circuito digital Half Adder (HA) de 1 bit que se muestra en la siguiente figura. Suponed que los retardos de las puertas lógicas utilizadas son  $AND=1T$  y  $XOR=2T$ .



$TS = 2T$

$TC = 1T$

**TAREA 2.** Realizad el circuito digital Full Adder (FA) de 1 bit con acarreo de entrada utilizando sumadores Half Adders (HA) de 1 bit e indicad los tiempos de retardo y el área utilizada. Suponed que los retardos de las puertas lógicas utilizadas son de  $AND=1T$ ,  $OR=1T$  y  $XOR=2T$ .

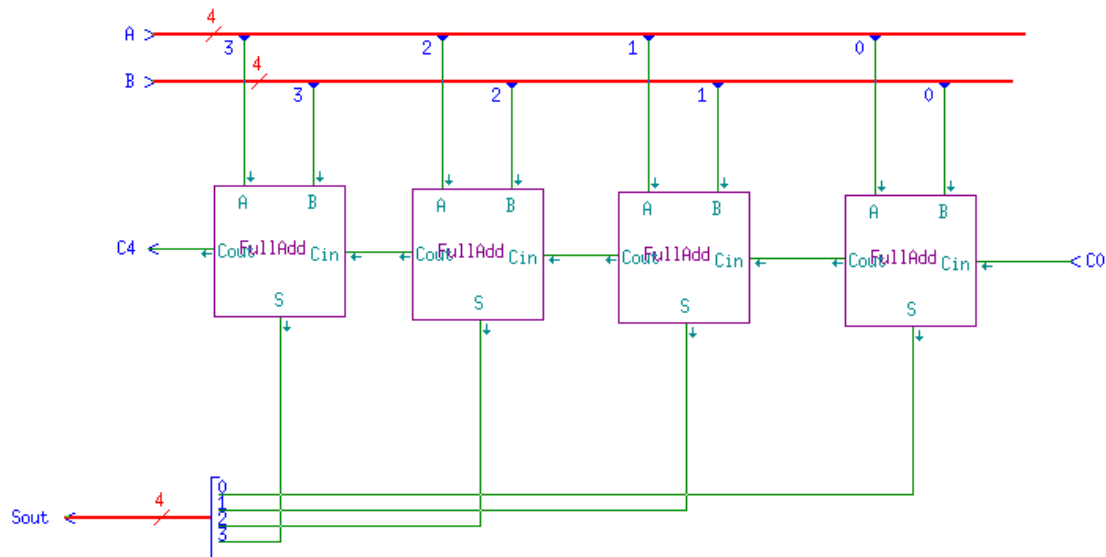


$TC = 4T$

$TS = 4T$

Área utilizada = 34

**TAREA 3.** Realizad el circuito digital Carry Propagate Adder (CPA) de 4 bits que se muestra en la siguiente figura e indicad los tiempos de retardo y el área utilizada. Asumid el diseño de Full Adder (FA) de 1 bit implementado en la tarea anterior.



$$\text{Retardo C} = \text{TC}(\text{bit } 0) + (n-1) \text{ bits} * (\text{TC} - \text{PP})$$

$$\text{Retardo S} = \text{TC}(\text{bit } 0) + (n-2) \text{ bits} * (\text{TC} - \text{PP}) + (\text{TS} - \text{PP})$$

$$\text{Retardo C} = 4T + (4-1) * (4T - 2T) = \mathbf{10T}$$

$$\text{Retardo S} = 4T + (4-2) * (4T - 2T) + (4T - 2T) = \mathbf{10T}$$

Área utilizada = 136

**TAREA 4.** Indicad las fórmulas que describen los tiempos de retardo del circuito digital Carry Propagate Adder (CPA) de 4 bits implementado en la tarea anterior. Aplicando esa fórmula, mostrad los tiempos de retardo que introduciría un CPA de 8 bits, 16 bits, 32 bits y 64 bits.

- CPA de 8 bits

$$\text{Retardo C} = 4T + (8-1) * (4T - 2T) = \mathbf{18T}$$

$$\text{Retardo S} = 4T + (8-2) * (4T - 2T) + (4T - 2T) = \mathbf{18T}$$

- CPA de 16 bits

$$\text{Retardo C} = 4T + (16-1) * (4T - 2T) = \mathbf{34T}$$

$$\text{Retardo S} = 4T + (16-2) * (4T - 2T) + (4T - 2T) = \mathbf{34T}$$

- CPA de 32 bits

$$\text{Retardo C} = 4T + (32-1) * (4T - 2T) = \mathbf{66T}$$

$$\text{Retardo S} = 4T + (32-2) * (4T - 2T) + (4T - 2T) = \mathbf{66T}$$

- CPA de 64 bits

$$\text{Retardo C} = 4T + (64-1) * (4T - 2T) = \mathbf{130T}$$

$$\text{Retardo S} = 4T + (64-2) * (4T-2T) + (4T-2T) = \mathbf{130T}$$

**TAREA 5.** Asumid un tiempo de retardo para la puerta lógica XOR de 1T. Realizad de nuevo el circuito digital Carry Propagate Adder (CPA) de 4 bits y comparadlo con los resultados obtenidos anteriormente.

$$TC = 3T$$

$$TS = 2T$$

- CPA de 4 bits

$$\text{Retardo C} = 3T + (4-1) * (3T - 1T) = \mathbf{9T}$$

$$\text{Retardo S} = 3T + (4-2) * (3T-1T) + (2T-1T) = \mathbf{8T}$$

- CPA de 8 bits

$$\text{Retardo C} = 3T + (8-1) * (3T - 1T) = \mathbf{17T}$$

$$\text{Retardo S} = 3T + (8-2) * (3T-1T) + (2T-1T) = \mathbf{16T}$$

- CPA de 16 bits

$$\text{Retardo C} = 3T + (16-1) * (3T - 1T) = \mathbf{33T}$$

$$\text{Retardo S} = 3T + (16-2) * (3T-1T) + (2T-1T) = \mathbf{32T}$$

- CPA de 32 bits

$$\text{Retardo C} = 3T + (32-1) * (3T - 1T) = \mathbf{65T}$$

$$\text{Retardo S} = 3T + (32-2) * (3T-1T) + (2T-1T) = \mathbf{64T}$$

- CPA de 64 bits

$$\text{Retardo C} = 3T + (64-1) * (3T - 1T) = \mathbf{129T}$$

$$\text{Retardo S} = 3T + (64-2) * (3T-1T) + (2T-1T) = \mathbf{128T}$$

## FASE 2: Sumadores CLA y CSA

**TAREA 6.** Realizad las dos versiones de circuito digital Partial Full Adder (PFA) de 1 bit con acarreo de entrada que se muestran en las siguientes figuras e indicad los tiempos de retardo y el área utilizada. Suponed que los retardos de las puertas lógicas utilizadas son de  $AND=1T$ ,  $OR=1T$  y  $XOR=2T$ .

Figura 1

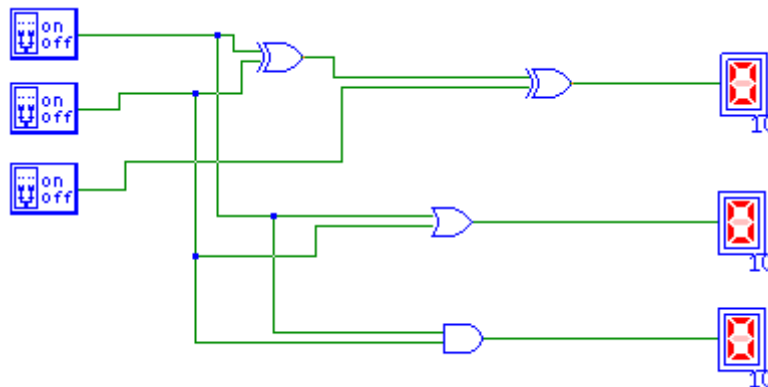


Figura 2

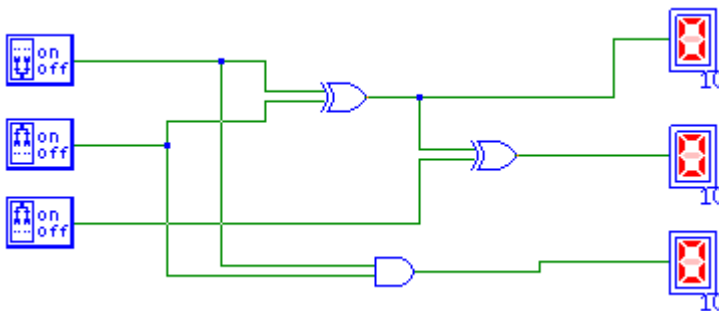


Figura 1

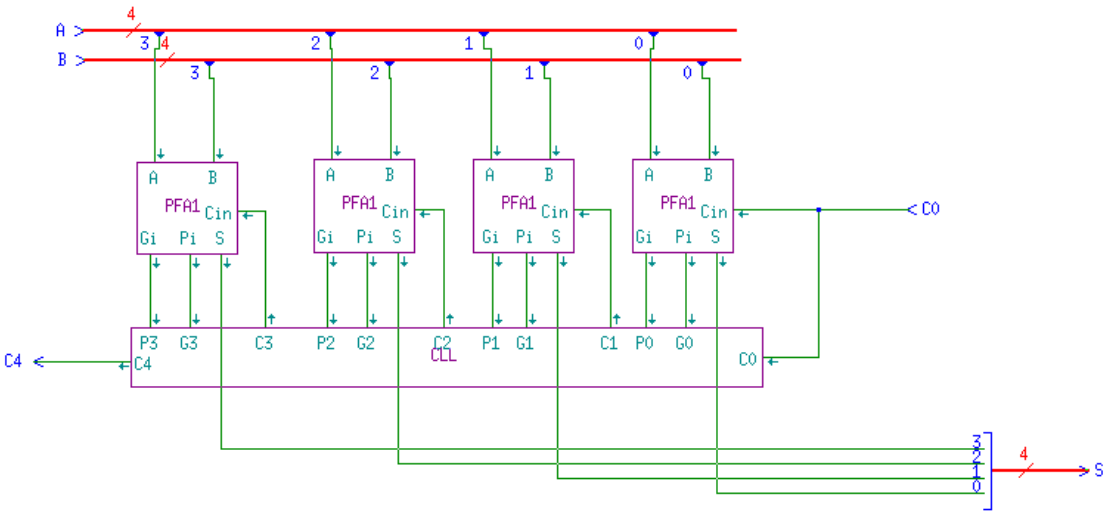
TC = 4T  
TPi = 1T  
TGi = 1T  
Área utilizada = 28

Figura 2

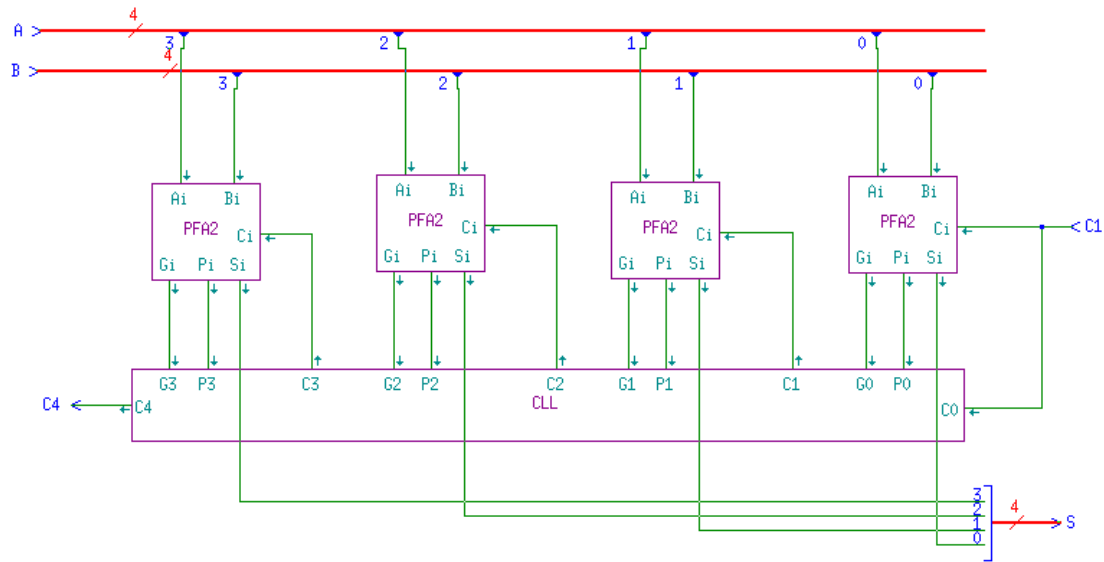
TPi = 2T  
TSi = 4T  
TGi = 1T  
Área utilizada = 22

**TAREA 7.** Realizad dos versiones del circuito digital Carry Look-Ahead Adder (CLA) de 4 bits que se muestra en la siguiente figura e indicad los tiempos de retardo y el área utilizada. Asumid para cada una de las versiones los diseños de Partial Full Adder (FA) de 1 bit implementados en la tarea anterior. Suponed que los retardos de las puertas lógicas utilizadas son de AND=1T, OR=1T y XOR=2T. .

V1.



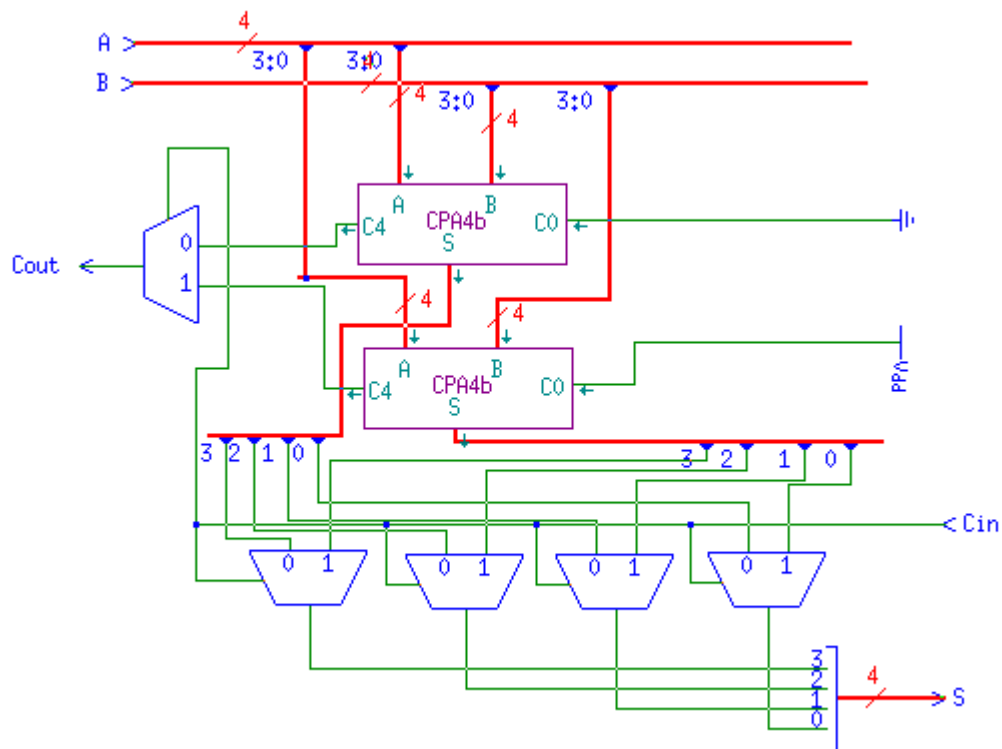
V2.



Versión 1		Área utilizada = 226	
Operación	Datos entrada	Retardo	
Generar y propagar	A, B	1T	
C <sub>1</sub> a C <sub>n</sub>	P, G, C <sub>0</sub>	2T	
Suma S	C, A, B	2T	
Retardo total		5T	

Versión 2		Área utilizada = 202
Operación	Datos entrada	Retardo
Generar y propagar	A, B	2T
C <sub>1</sub> a C <sub>n</sub>	P, G, C <sub>0</sub>	3T
Suma S	C, A, B	2T
<b>Retardo total</b>		<b>7T</b>

**TAREA 8.** Realizad el circuito digital multiplicador Carry Select Adder (CSA) de 4 bits que se muestra en la siguiente figura e indicad los tiempos de retardo y el área utilizada. Asumid el diseño de Carry Propagate Adder (CPA) de 4 bits implementado en una tarea anterior y un retardo para el multiplexor de 1T.



$$R_{CSA} = R_{CPA} + R_{MUX}$$

$$R_{CPA} = 10T \quad R_{MUX} = 1T$$

$$R_{CSA} = 10T + 1T = \mathbf{11T}$$

$$\text{Área utilizada} = 312$$

**TAREA 9.** Indicad las fórmulas que describen los tiempos de retardo del circuito digital Carry Select Adder (CSA) de 4 bits que se ha implementado en la tarea anterior. Aplicando esa fórmula, mostrad los tiempos de retardo que introduciría un CSA de 8 bits, 16 bits, 32 bits y 64 bits.

$$R_{CSA} = R_{CPA} + (M_{\text{modulos}} - 1) * R_{\text{Mux}}$$

- CSA de 8 bits

$$R_{CSA} = 10T + 1 * 1T = \mathbf{11T}$$

- CSA de 16 bits

$$R_{CSA} = 10T + 3 * 1T = \mathbf{13T}$$

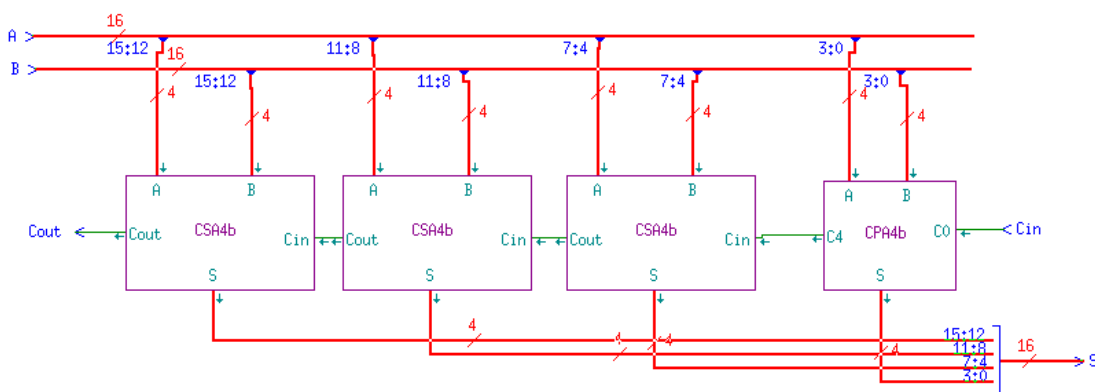
- CSA de 32 bits

$$R_{CSA} = 10T + 8 * 1T = \mathbf{17T}$$

- CSA de 64 bits

$$R_{CSA} = 10T + 16 * 1T = \mathbf{25T}$$

**TAREA 10.** Realizad el circuito digital Carry Select Adder (CSA) de 16 bits e indicad los tiempos de retardo y el área utilizada. Utilizad para esta implementación circuitos Carry Select Adder (CSA) de 4 bits implementados en una tarea anterior. Sin necesidad de implementarlo, comparad los tiempos de retardo con un Carry Select Adder (CSA) de 16 bits que usa Carry Propagate Adders (CPA) de 16 bits.



$$R_{CPA} = 10T \quad R_{MUX} = 1T$$

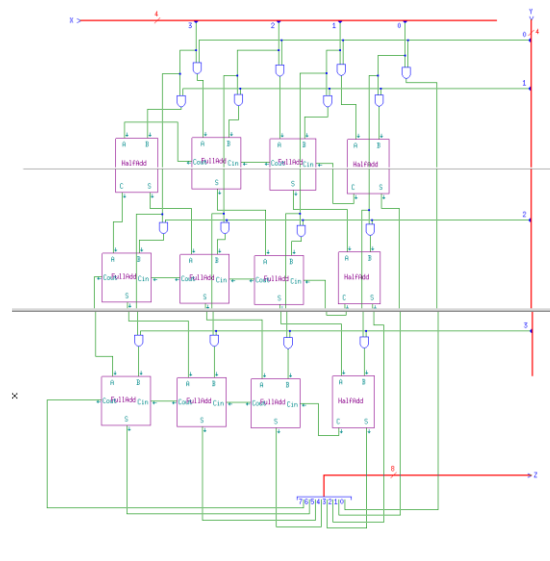
$$R_{CSA} = 10T + 3 * 1T = \mathbf{13T}$$

$$\text{Área utilizada} = 1072$$



## FASE 3: Multiplicador RCA

**TAREA 11.** Realizad el circuito digital multiplicador Ripple Carry Array de 4 bits que se muestra en la siguiente figura e indicad los tiempos de retardo y el área utilizada. Asumid los diseños de Half Adder (HA) y Full Adder (FA) de 1 bit implementados en las tareas anteriores. Suponed también que los retardos de las puertas lógicas utilizadas son de  $AND=1T$ ,  $OR=1T$  y  $XOR=2T$ .



En nuestro caso se trata de la siguiente fórmula:

$$FA \text{ y HA con PP} = T_{AND} + (N-1) \cdot (TS-PP) + (N-1) \cdot TC + (N-3) \cdot (TC-PP)$$

$$FA : TS = 4T, TC = 4T, PP = 2T$$

$$\text{Retardo} = 1 + 1 + 3 \cdot 2 + 3 \cdot 4 + 1 \cdot 2 = 21T$$

$$\text{Área utilizada} = 424$$

**TAREA 12.** Indicad la fórmula que describe el retardo del circuito digital multiplicador Riple Carry Array de 4 bits que se ha implementado en la tarea anterior. Aplicando esa fórmula, mostrad los tiempos de retardo que introduciría un multiplicador RCA de 8 bits, 16 bits, 32 bits y 64 bits.

$$\text{FA y HA con PP} = T_{\text{AND}} + (N-1) \cdot (TS-PP) + (N-1) \cdot TC + (N-3) \cdot (TC-PP)$$

- CSA de 8 bits

$$\text{FA y HA con PP} = 1 + 7 \cdot (4-2) + 7 \cdot 4 + 4 \cdot (4-2) = 1 + 14 + 28 + 8 = 51T$$

- CSA de 16 bits

$$\text{FA y HA con PP} = 1 + (15 \cdot (4-2)) + 15 \cdot 4 + 13 \cdot (4-2) = 1 + 30 + 60 + 26 = 117T$$

- CSA de 32 bits

$$\text{FA y HA con PP} = 1 + 31 \cdot (4-2) + 31 \cdot 4 + 29 \cdot (4-2) = 1 + 31 \cdot 2 + 31 \cdot 4 + 58 = 245T$$

- CSA de 64 bits

$$\text{FA y HA con PP} = 1 + 63 \cdot (4-2) + 31 + 61 \cdot (4-2) = 1 + 63 \cdot 2 + 63 \cdot 4 + 61 \cdot 2 = 501T$$