

Estructura de Computadores

Grado de Informática

Tema I: Introducción

Carlos Molina Clemente

Universitat Rovira i Virgili – Tarragona, Catalunya, Spain

carlos.molina@urv.net



Tema 1: Introducción (EC, Grado de Informática, ETSE, URV)

Temario

- I. Introducción
- II. Diseño de Unidades Funcionales
- III. Diseño y Evaluación de un Computador Sencillo
- IV. Diseño y Análisis de Procesadores Segmentados
- V. Diseño y Evaluación del Subsistema de Memoria

Índice Tema I

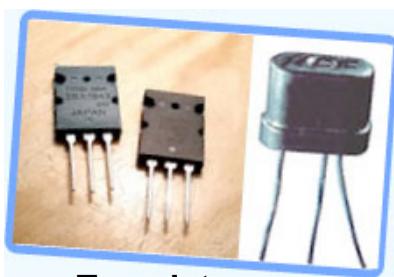
- 1. Historia de la Computación**
- 2. Arquitectura Von-Neumann**
- 3. Conceptos Clave**
- 4. Tendencias Arquitectónicas**
- 5. Retos en el Diseño de Procesadores**
- 6. Etapas de Ejecución de las Instrucciones**

3

Tecnologías



Valvulas de Vacío



Transistores



Circuitos Integrados



Microprocesadores

4

1a Generación (1944-1954)

■ Tecnología y Arquitectura

- válvulas de vacío y memoria a base de relés; la interconexión estaba realizada por cables (programa)
- una única CPU con contador de programa y acumulador; sólo realizaban operaciones en coma fija

■ Software y Aplicaciones

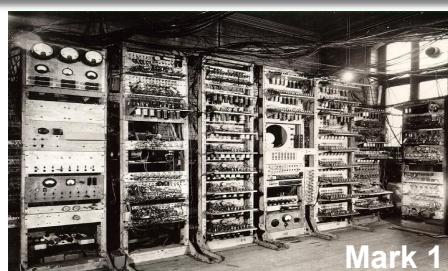
- lenguaje de programación es el ensamblador o el lenguaje máquina, permiten un único usuario, las operaciones en memoria y entrada salida se realizan a través CPU

■ Máquinas representativas

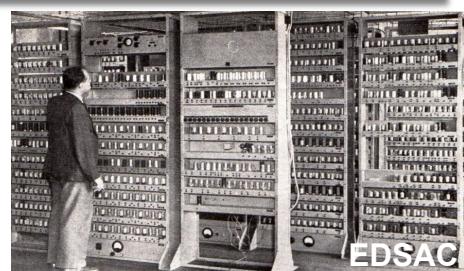
- 1944: MARK-1
- 1946: ENIAC (Electronic Numerical Integrator and Calculator)
- 1949: EDVAC (Electronic Discrete Variable Automatic Computer)
- 1949: EDSAC (Electronic Delay Storage Automatic Calculator)

5

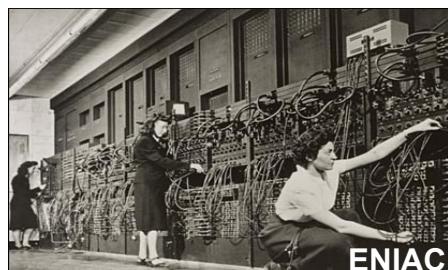
1a Generación (1945-1954)



Mark 1



EDSAC



ENIAC



EDVAC

■ Hitos

- 1947: nace el transistor en Bell Labs (Bardeen, Brattain, Shockley)
- 1949: J. Von Neumann define concepto de programa almacenado
- 1951: UNIVAC I, 1er computador comercial (48 unidades)
- 1952: IBM lanza su primer computador IBM 701

6

2a Generación (1955-1964)

■ Tecnología y Arquitectura

- transistores, la memoria es de núcleos de ferrita y los circuitos están implementados en placas de circuito impreso
- operan en punto flotante
- disponen de procesadores específicos de entrada salida
- se introducen los accesos multiplexados a memoria

■ Software y Aplicaciones

- aparecen los lenguajes de alto nivel como FORTRAN, Algol, COBOL

■ Máquinas representativas

- 1959: LARC de Univac (Livermore Atomic Research Computer)
- 1960: CDC 1604
- 1962: IBM 7030

7

2a Generación (1955-1964)



UNIVAC LARC



IBM7030



■ Hitos

- 1954: Se desarrolla lenguaje de alto nivel FORTRAN.
- 1956: Nace el concepto de inteligencia artificial (Darthmouth)
- 1956: E. Dijkstra inventa algoritmo de rutas más cortas en grafos
- 1958: El primer circuito integrado construido por Jack S. Kilby.
- 1960: Se crea el primer compilador de computador
- 1963: Comité Industria-Gobierno define el código estándar ASCII.
- 1964: IBM 360 inicia 3a generación (c.impreso pasa a c.integrado)

8

3a Generación (1965-1974)

■ Tecnología y Arquitectura

- circuitos integrados de media y alta escala de integración montados sobre circuitos integrados multicapa
- se comienza a usar la microprogramación, los pipeline y la memoria cache

■ Software y Aplicaciones

- aparecen los sistemas operativos de tiempo compartido

■ Máquinas representativas

- 1964: IBM 360/370
- 1965: CDC 6600/7600
- 1965: PDP 8 de Digital
- 1966: TI-ASC de Texas Instruments

3a Generación (1965-1974)



IBM 360



CDC 6600



TI-ASC



PDP8

3a Generación (1965-1974)

■ Hitos

- 1965: Gordon Moore publica la famosa Ley de Moore.
- 1966: La mayoría de ideas sobre redes se aplican a ARPANET.
- 1967: Es inventado el diskette (disco flexible) en IBM
- 1968: Robert Noyce y Gordon Moore fundan la corporación Intel.
- 1970: El sistema UNICS, es renombrado como Unix.
- 1971: 1er procesador comercial y chip microproc. (Intel 4004)
- 1971: Se crea el primer programa para enviar correo electrónico,
- 1971: MIT crea 1er protocolo de transmisión de archivos (FTP)
- 1971: Texas Insts. vende la 1a calculadora electrónica portátil
- 1972: 1er virus informático (Creeper) que ataca a IBM Serie 360
- 1974: Es creado el protocolo TCP por Vint Cerf y Robert Kahn.
- 1974: Se crea Ethernet para enlazar computadoras en red local
- 1974: Se crea el sistema operativo CP/M, base del MS-DOS

11

4a Generación (1975-1990)

■ Tecnología y Arquitectura

- se usan circuitos integrados de alta y muy alta escala de integración (VSI/LVSI). Las memorias utilizadas son memorias de semiconductor. Se introduce el paralelismo tanto intrínseco (computadores vectoriales), como extrínseco (multiprocesadores).

■ Software y Aplicaciones

- sistemas operativos multiprocesador y se desarrollan entornos y compiladores para el procesamiento paralelo

■ Máquinas representativas

- 1975: ALTAIR 8800 de MITS
- 1977: APPLE II
- 1981: IBM PC
- 1982: CRAY X-MP
- 1989: VAX 9000 de Digital

12

4a Generación (1975-1990)



13

4a Generación (1975-1990)

■ Hitos

- 1976: Se fundan las empresas Microsoft y Apple
- 1977: Se populariza el Apple II (Steve Jobs y Steve Wozniak)
- 1980: 1er prototipo de computador RISC desarrollada por IBM.
- 1980: 1er microcomputador de 16 bits, llamada Mycron 2000.
- 1980: 1er microprocesador de 32-bit en un sólo chip (Bellmac-32)
- 1981: Se lanza al mercado el IBM PC (éxito comercial)
- 1983: Compaq fabrica el primer clon PC IBM compatible
- 1983: ARPANET se separa de la red militar (nace Internet)
- 1984: IBM presenta el PC-AT, con procesador Intel 80286,
- 1985: Microsoft presenta el sistema operativo Windows 1.0.
- 1986: Compaq lanza 1er computador basado en el procesador de 32 bits Intel 80386,
- 1990: Tim Berners-Lee ideó el hipertexto para WWW

14

5a Generación (1991-?)

■ Tecnología y Arquitectura

- circuitos integrados de ultra alta escala (ULSI/VHSIC) y tendencia al desarrollo de arquitecturas escalables

■ Software y Aplicaciones

- desarrollo de aplicaciones para procesamiento paralelo y masivamente paralelo

■ Máquinas representativas

- 1989: CRAY Y-MP
- 1992: Intel Paragon
- 2001: Earth Simulator
- 2005: Blue Gene

15

5a Generación (1991-?)



CRAY Y-MP



INTEL PARAGON



EARTH SIMULATOR



BLUE GENE

16

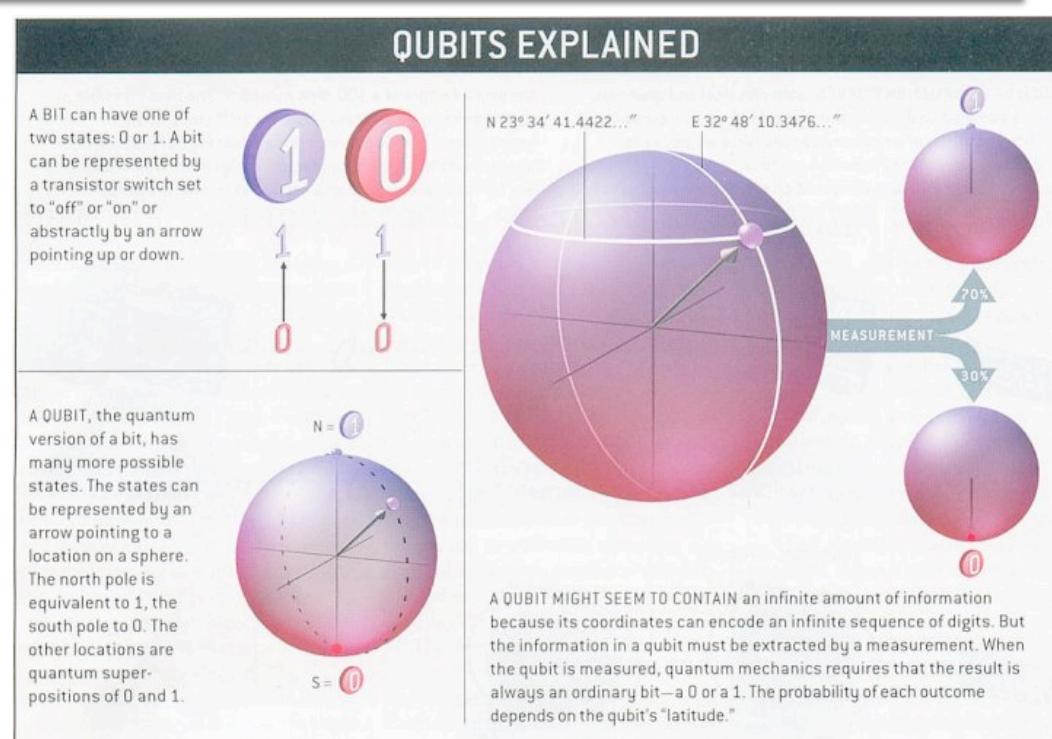
5a Generación (1991-)

■ Hitos

- 1991: Linus Torvalds comienza a desarrollar Linux
- 1992: Es introducida la arquitectura de procesadores Alpha (DEC)
- 1992: Microsoft lanza Windows 3.1.
- 1994: Marc Andreessen crea el navegador Netscape Navigator.
- 1995: Se inicia el desarrollo del servidor Apache.
- 1995: Sun MicroSystems desarrolla Java
- 1998: Microsoft lanza al mercado el sistema Windows 98
- 1998: Larry Page y Sergey Brin fundan Google Inc.
- 2000: Lanzamiento de Mac OS X
- 2008: Apple lanza el iPhone 3G
- 2008: El supercomputador Roadrunner de IBM es el primero en superar el PetaFLOP

17

Computación Cuántica



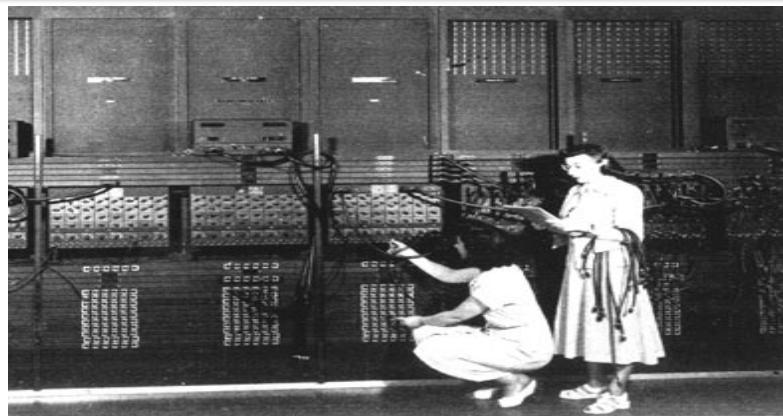
18

Índice Tema I

1. Historia de la Computación
2. Arquitectura Von-Neumann
3. Conceptos Clave
4. Tendencias Arquitectónicas
5. Retos en el Diseño de Procesadores
6. Etapas de Ejecución de las Instrucciones

19

Antecedentes



- ENIAC, 1946: programar era conectar cables !!!
- Cada vez que había que calcular algo distinto había que reconectar todo
- Era una tarea muy costosa

20

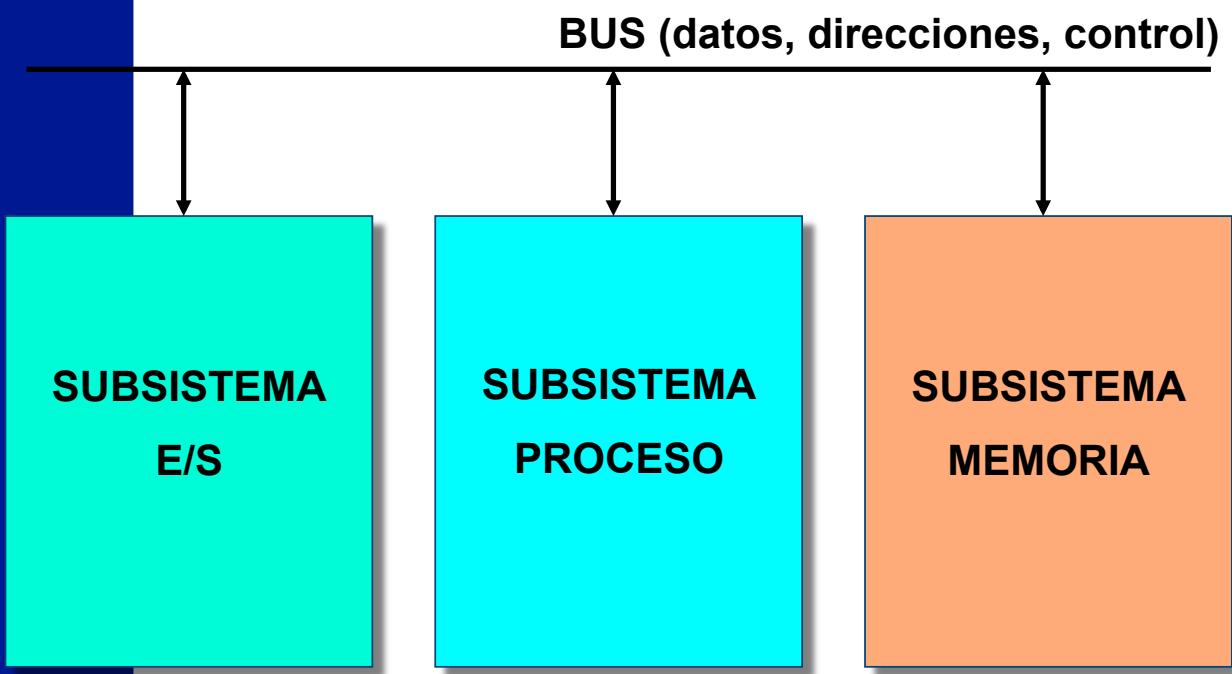
John Von Neumann

- 1903 – 1957
- Matemático
- Proyecto Manhattan
- 1945: “First Draft of a Report on the EDVAC”
- Introduce idea de **programa almacenado en memoria**
 - Los datos y programas se almacenan en la misma memoria de lectura-escritura
 - Los contenidos de esta memoria se acceden indicando su posición sin importar su tipo.
 - Ejecución en secuencia (salvo que se indique lo contrario).
 - Representación Binaria



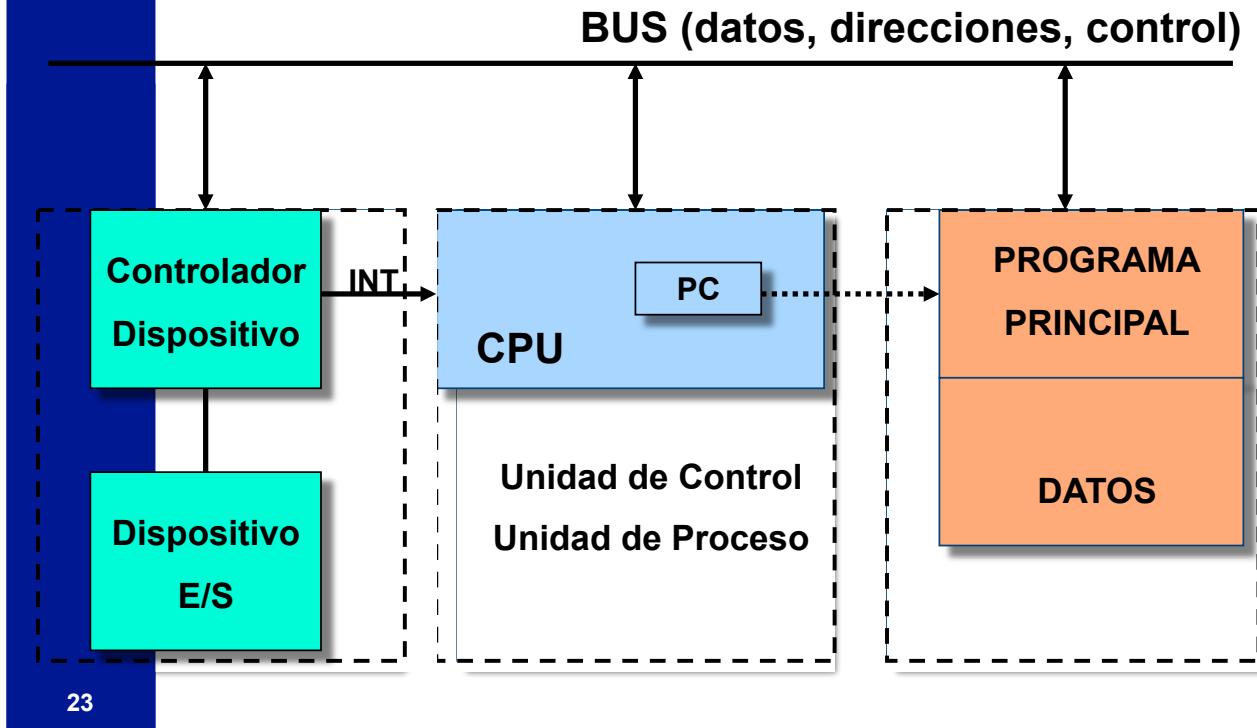
21

Arquitectura Von Neumann



22

Arquitectura Von Neumann



23

Índice Tema I

1. Historia de la Computación
2. Arquitectura Von-Neumann
3. Conceptos Clave
4. Tendencias Arquitectónicas
5. Retos en el Diseño de Procesadores
6. Etapas de Ejecución de las Instrucciones

24

Conceptos Clave

- Arquitectura vs Estructura vs Tecnología
- ISA
- RISC vs CISC
- Procesador de N bits
- Little Endian vs Big Endian
- Jerarquía de Niveles
- Compilador, Ensamblador, ISA
- Taxonomía de Flynn
- Escalar, Segmentación, Superescalar
- Rendimiento Procesador
- Escala de Integración

25

Arquitectura, Estructura, Tecnología

- Arquitectura de Computadores
 - “La apariencia funcional que presenta a sus usuarios inmediatos”. (Amdahl, 1964).
 - Describe “lo QUE sucede”
 - Ejemplo: ¿hay instrucción de multiplicación?
- Estructura de Computadores
 - Es la estructura lógica que da forma a su arquitectura.
 - Describe “CÓMO sucede”
 - Ejemplo: ¿cómo se realiza la multiplicación?
- Tecnología de Computadores
 - Indica los componentes concretos y sus interconexiones.
 - Escala de integración, encapsulado, refrigeración, etc

26

Instruction Set Architecture (ISA)

- **Conjunto de instrucciones que CPU entiende y ejecuta**
- **Aspectos del procesador visibles al programador**
 - Tipos de datos, instrucciones, registros, memoria e interrupciones
- **Tipos**

6800 (Motorola)	Alpha (DEC)	ARM (ARM holdings)
DLX (Hennessy,Patterson)	IA-64 (Intel)	MIPS (Mips Technologies)
PA-RISC (HP)	POWER (IBM)	PowerPC (Apple, IBM, Motorola)
Sparc (Sun Microsystems)	X86, IA-32 (Intel)	AMD-64 (AMD)

27

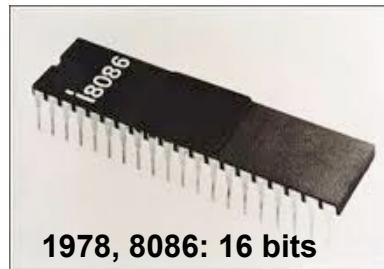
RISC vs CISC

- **Complex Instruction Set Computer**
 - Set de instrucciones grande
 - Ofrece una amplia gama de operaciones
 - Facilita el trabajo de programación
 - Reduce el tamaño del código de programa
 - Incrementa el costo de aprender la programación
- **Reduced Instruction Set Computer**
 - Pocas instrucciones
 - Más fácil de aprender el método de programación
 - Mayor tamaño del código de programa

28

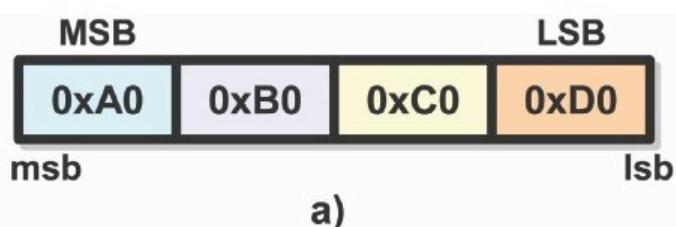
Procesador de N bits

- Número de bits que se procesan simultáneamente
- Tamaño de los registros y bus de datos
- Familia Intel:

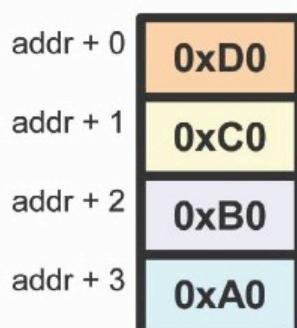


29

Big Endian vs Little Endian



b)

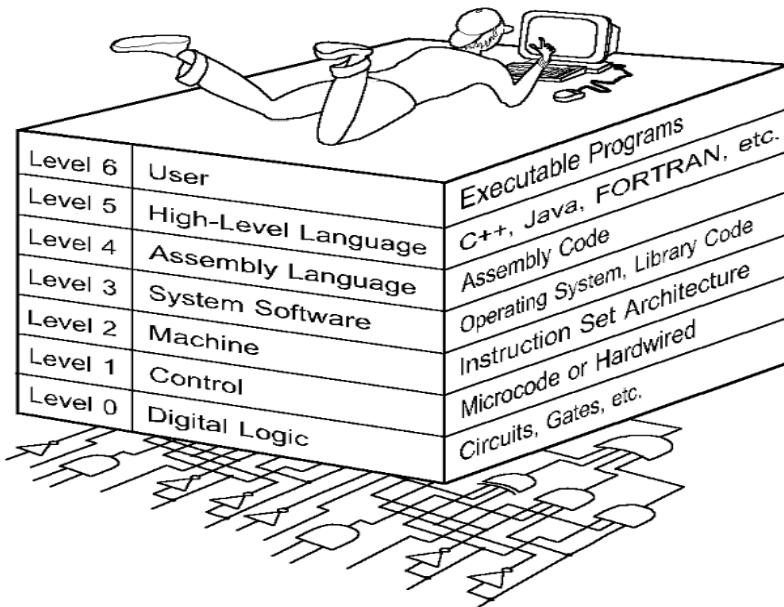
BigEndian

c)

LittleEndian

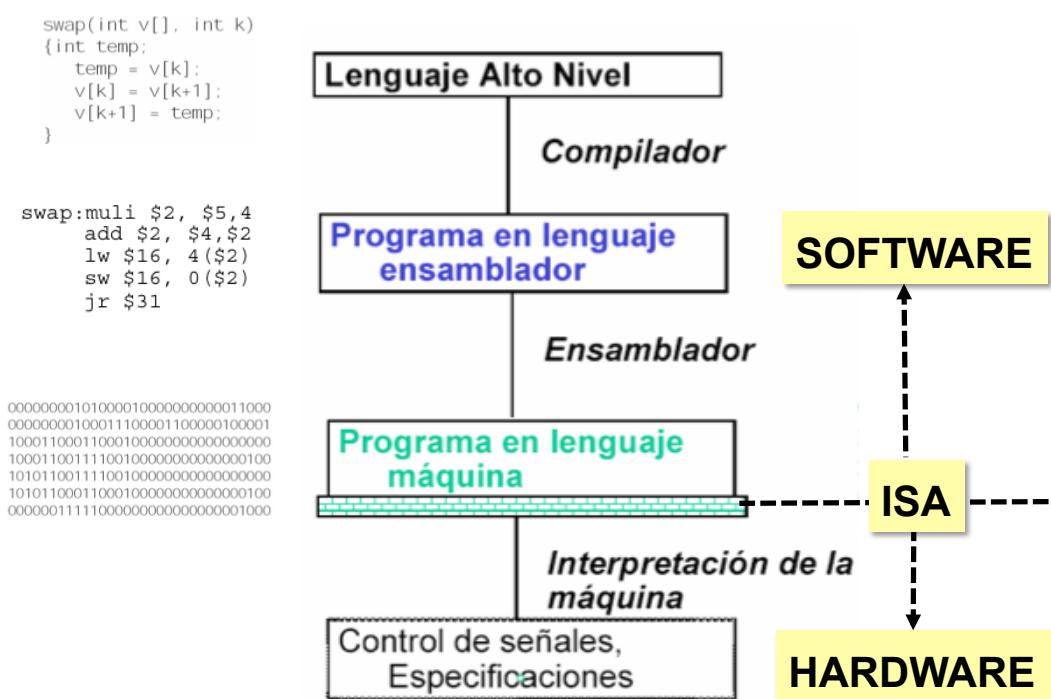
30

Jerarquía de Niveles



31

Compilador, Ensamblador, ISA



32

Taxonomía de Flynn (1972)

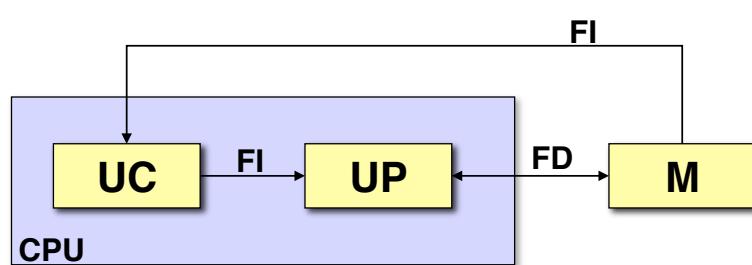
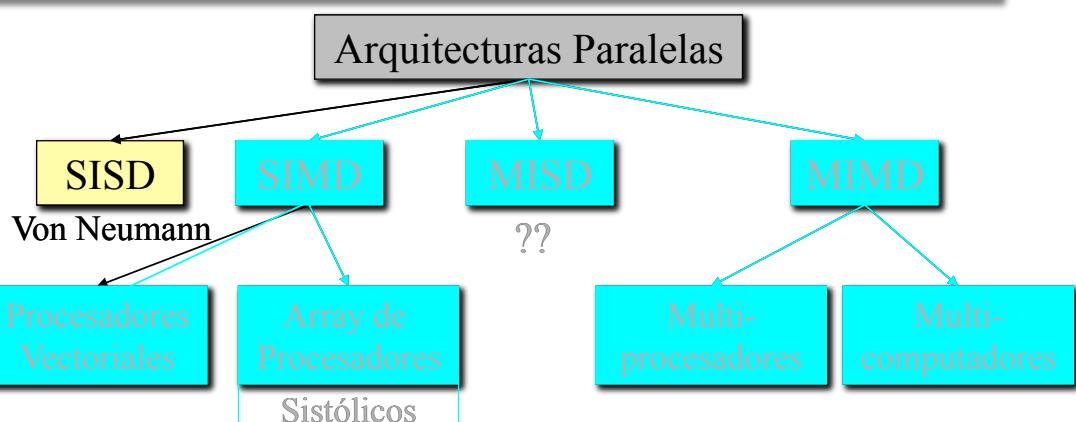
- Combina Flujo de Datos y Flujo de Instrucciones con (Single) Único y Múltiple, dando 4 combinaciones:

		Flujo Datos	
		Único	Múltiple
Flujo Intrucc.	Único	SISD	SIMD
	Múltiple	MISD	MIMD

SISD	Una Instrucción un Dato	Von Neumann
SIMD	Una Instrucción muchos Datos	Vectoriales/Sistólicos
MISD	Muchas Instrucciones un Dato	Teórico
MIMD	Muchas Instrucciones muchos Datos	Multiprocesadores / Multicomputadores

33

Taxonomía Flynn (SISD)



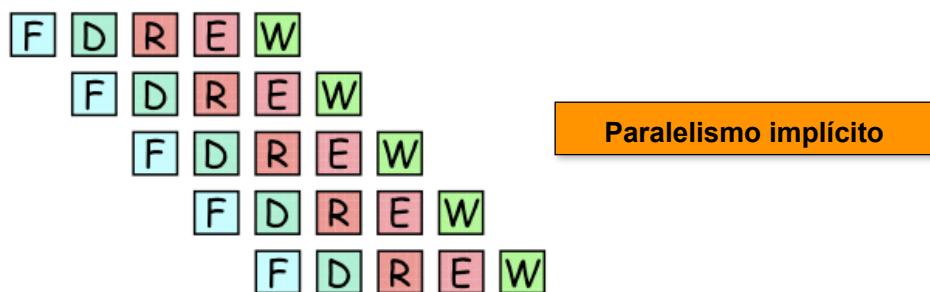
34

SISD (Escalar y Segmentación)

■ Procesador Escalar

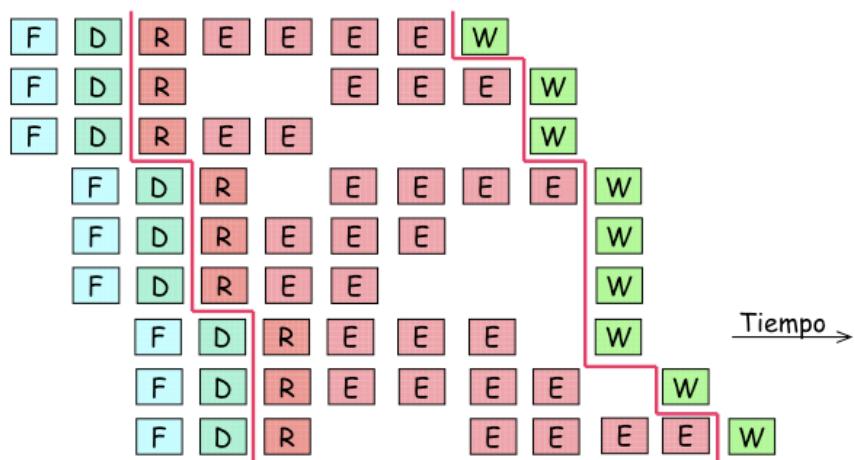


■ Segmentación (Pipelining)



35

SISD (Superescalar)



36

Rendimiento Procesador

- NI: Número de Instrucciones
- CPI: Ciclos por Instrucción
- T: Tiempo de Ciclo (inversa de la frecuencia)

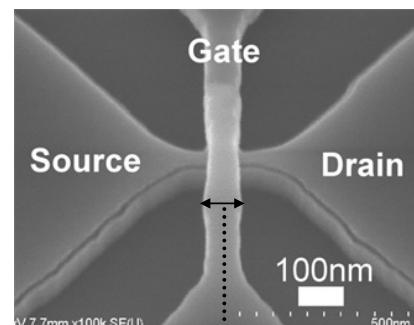
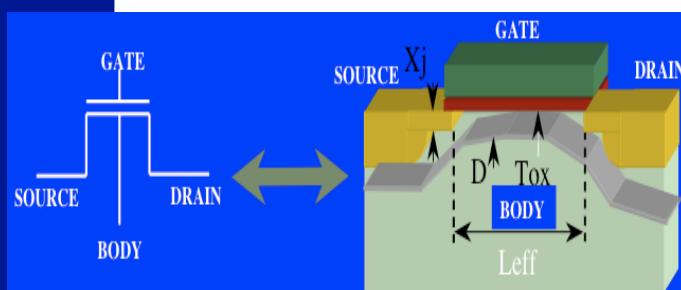
$$T_{cpu} = NI \times CPI \times T$$

- NI: $f($ Programador, Compilador, Lenguaje Máquina $)$
- CPI: $f($ Lenguaje Máquina, Organización $)$
- T: $f($ Organización, Tecnología $)$

37

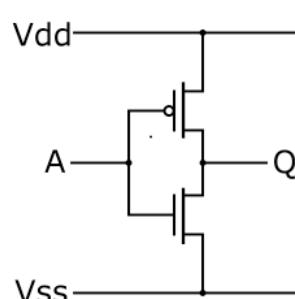
Transistor, Escala Integración

- Transistor MOSFET



- Tecnología CMOS

Tecnología de Integración



Función Lógica
NOT

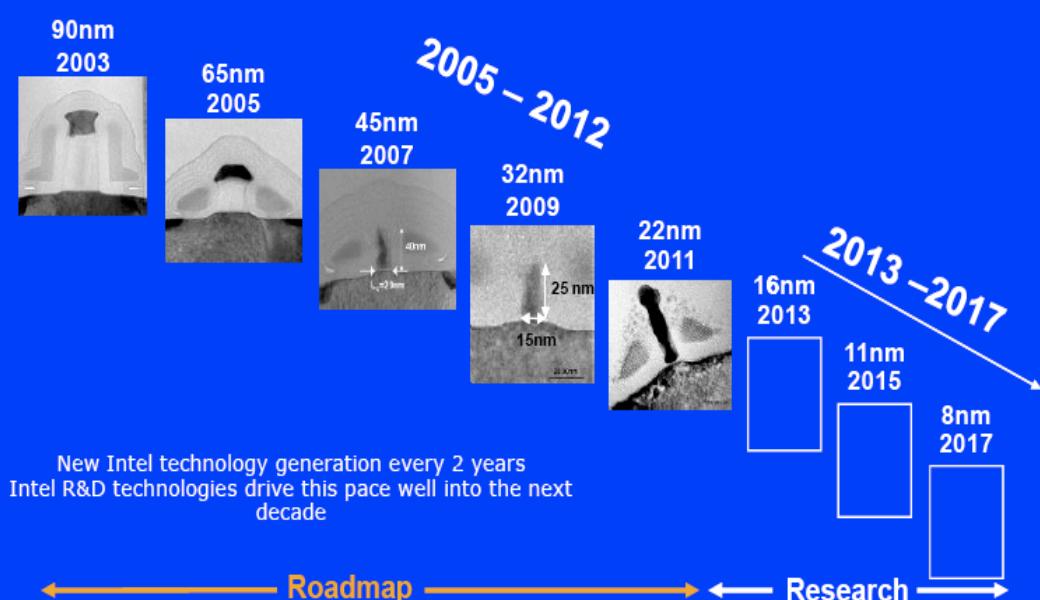
38

Índice Tema I

1. Historia de la Computación
2. Arquitectura Von-Neumann
3. Conceptos Clave
- 4. Tendencias Arquitectónicas**
5. Retos en el Diseño de Procesadores
6. Etapas de Ejecución de las Instrucciones

39

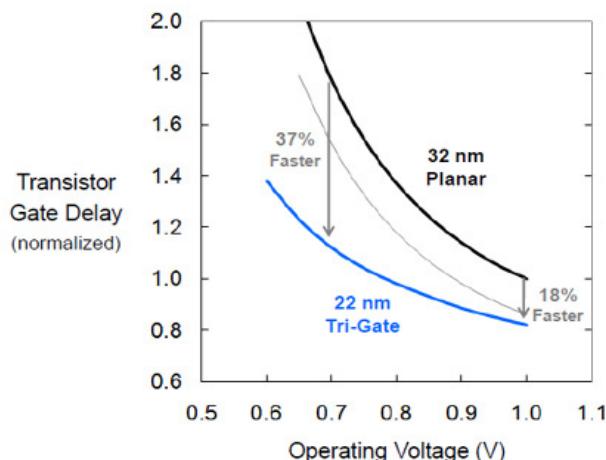
Evolución Escala Integración



40

Transistor Gate Delay

Transistor Gate Delay



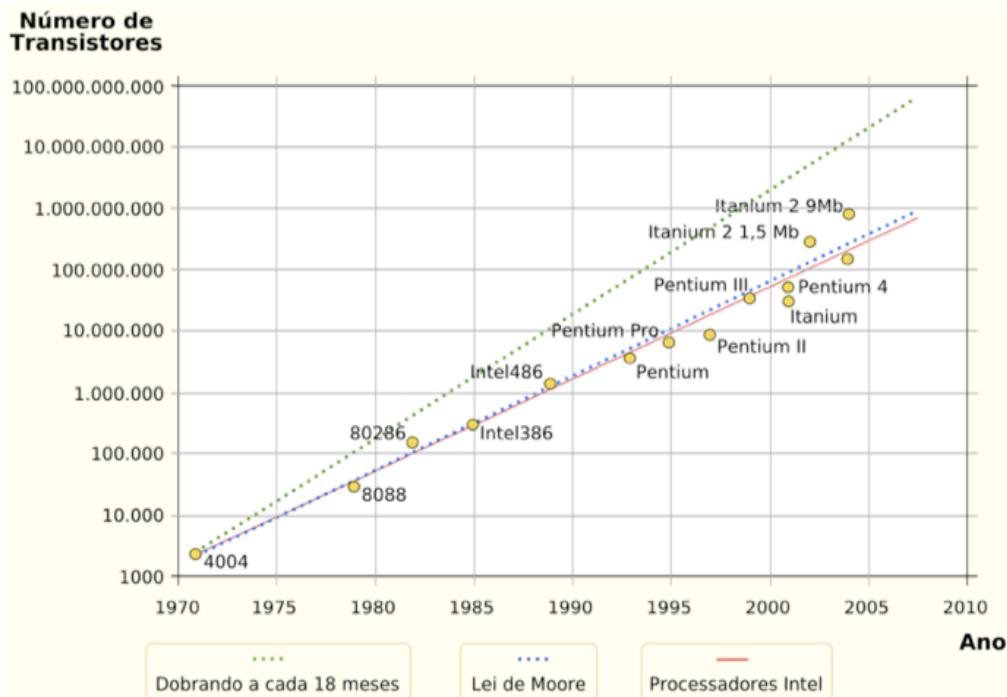
22 nm Tri-Gate transistors provide improved performance at high voltage
and an *unprecedented* performance gain at low voltage



SSI, MSI, LSI, VLSI, ULSI

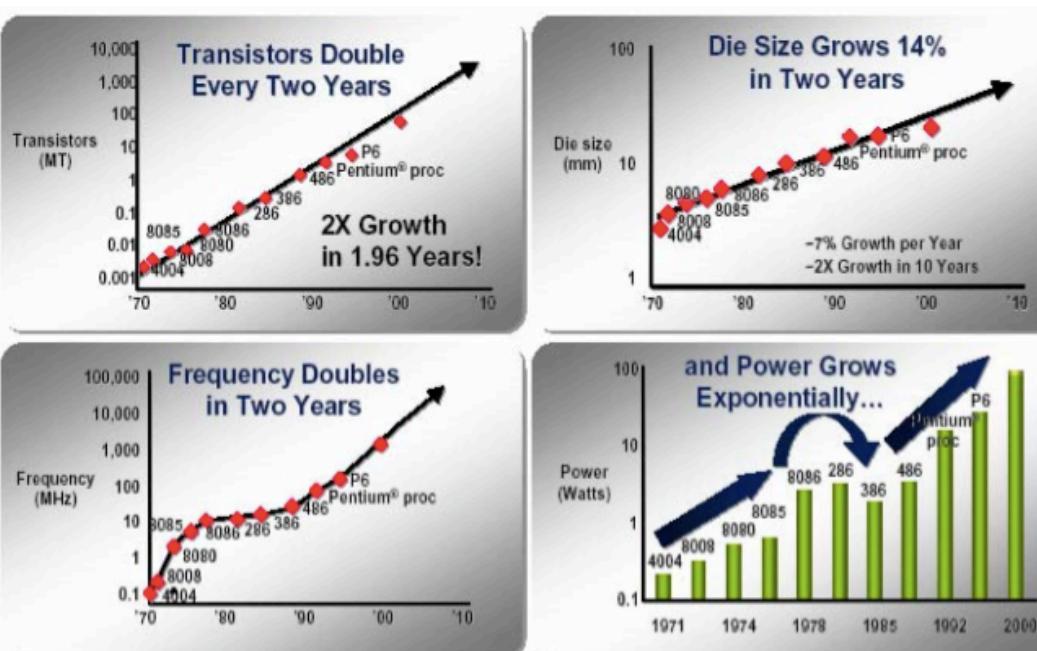
Tecnología	Número de Transistores por Circuito/Chip
SSI (Small Scale Integration)	2 a 64
MSI (Medium Scale Integration)	64 a 2000
LSI (Large Scale Integration)	2000 a 64.000
VLSI (Very Large Scale Integration)	64.000 a 1 Millón
ULSI (Ultra Large Scale Integration)	1 Millón a ?

Moore's Law



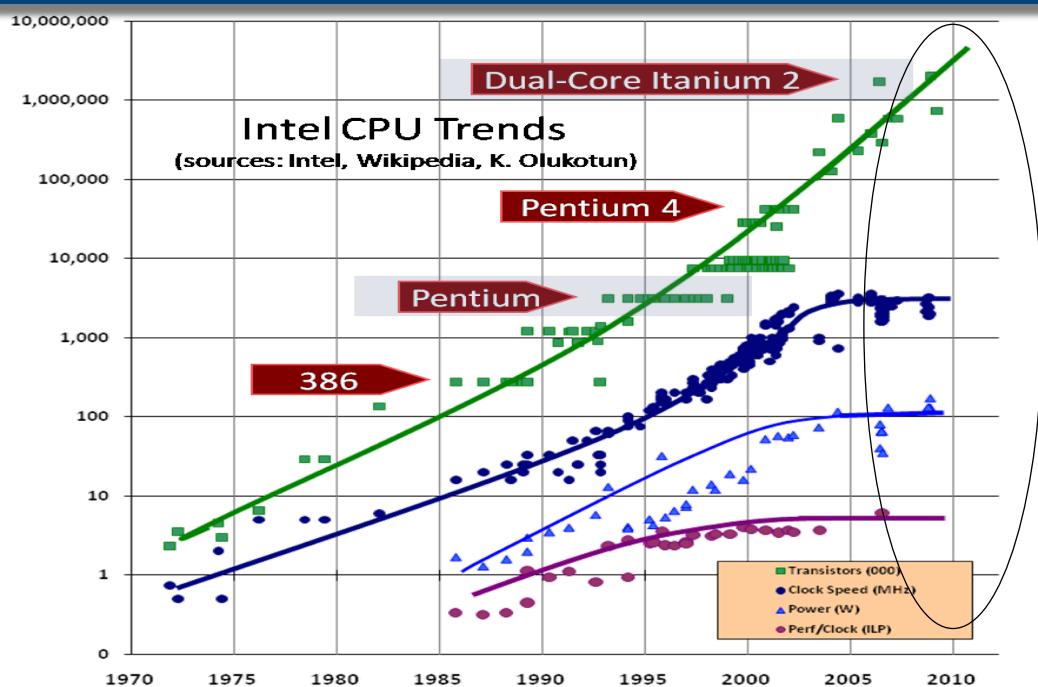
43

Moore's Law



44

Evolución (Transistors, Clock, Power)

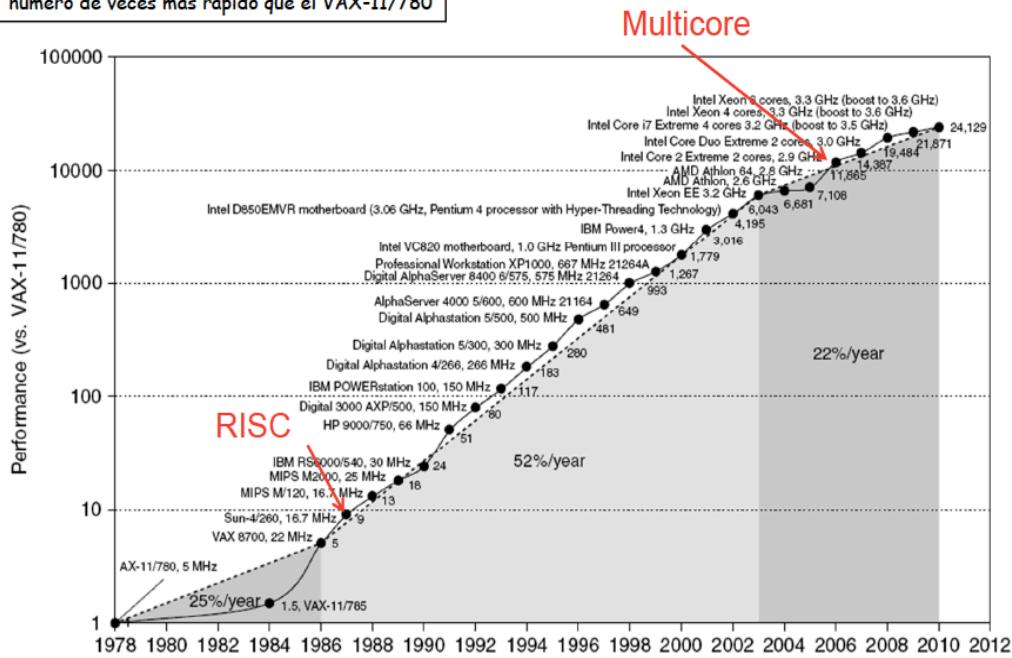


CAMBIO EN LA TENDENCIA !!!

45

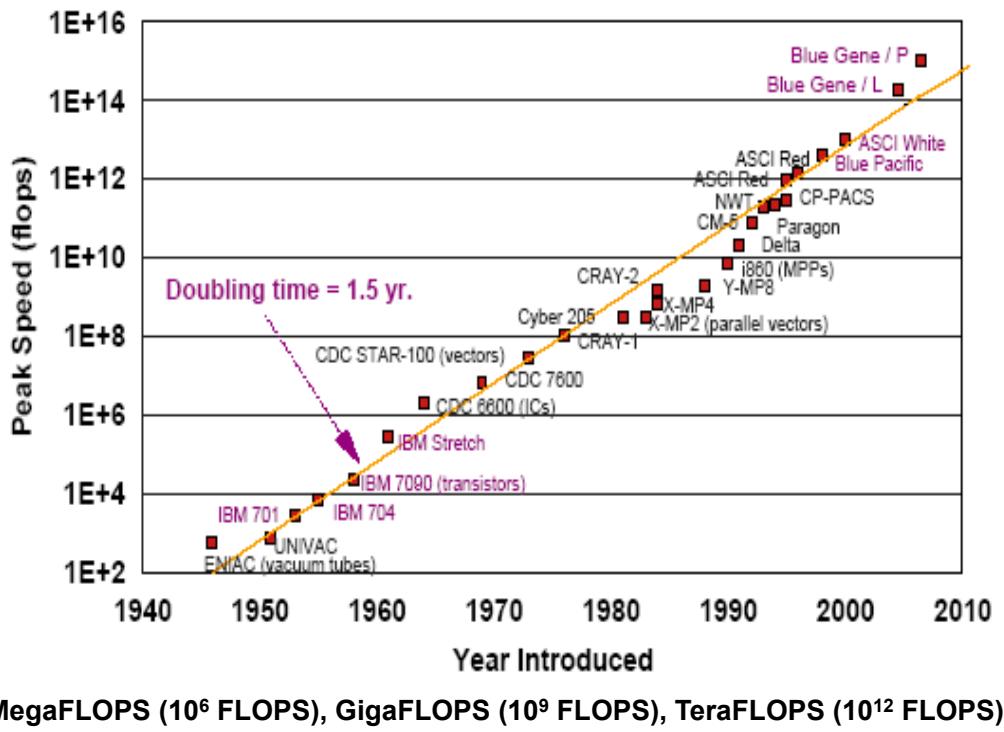
Evolución Rendimiento (PCs)

Medida de rendimiento utilizada:
número de veces más rápido qué el VAX-11/780



46

Evol. Rend. (Supercomputadores)



47

Top 500



48

Índice Tema I

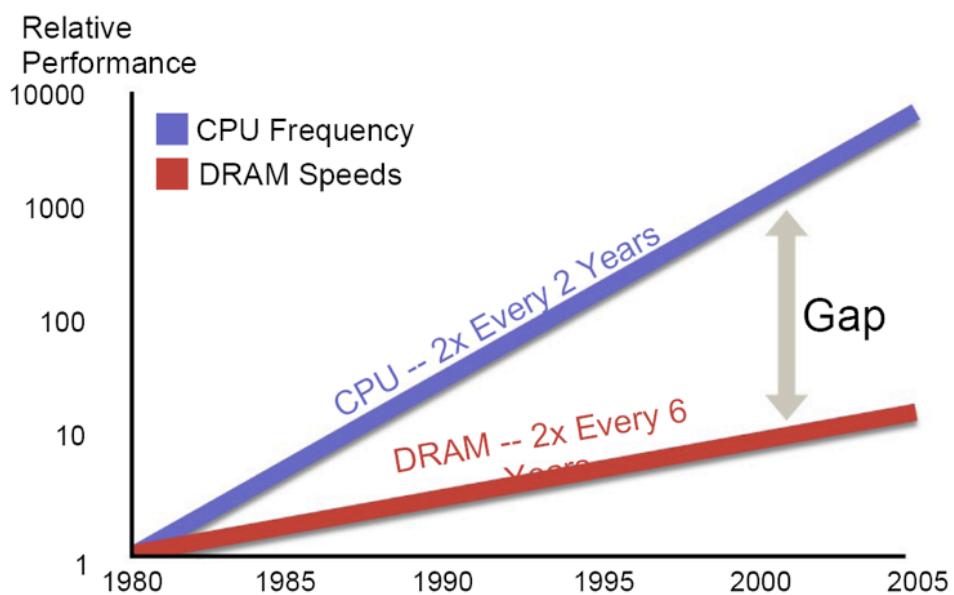
1. Historia de la Computación
2. Arquitectura Von-Neumann
3. Conceptos Clave
4. Tendencias Arquitectónicas
- 5. Retos en el Diseño de Procesadores**

6. Etapas de Ejecución de las Instrucciones

49

Diseño Procesadores (Reto 1)

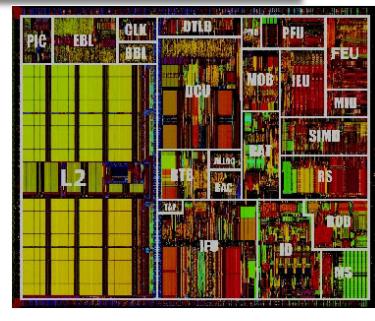
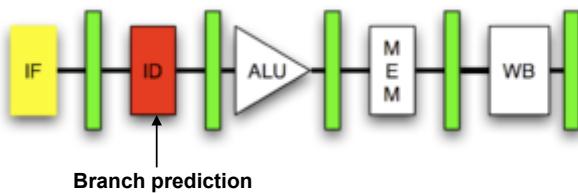
- Ease the gap between processor and memory speed



50

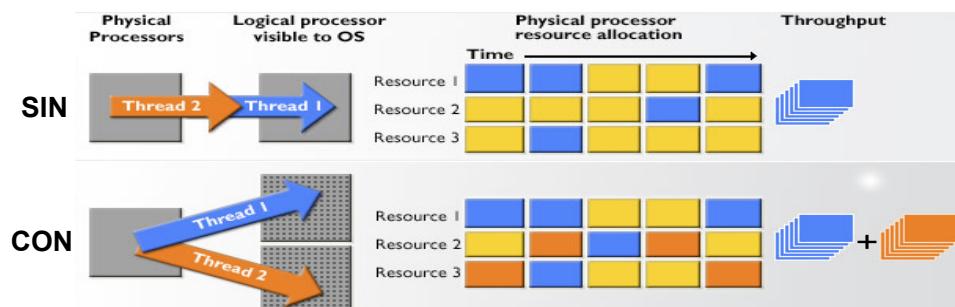
Memory Gap (Soluciones)

- Aumentar caches (L1 y L2) on-chip
- Ejecución especulativa



Pentium IV (L1:8KB, L2:256KB)

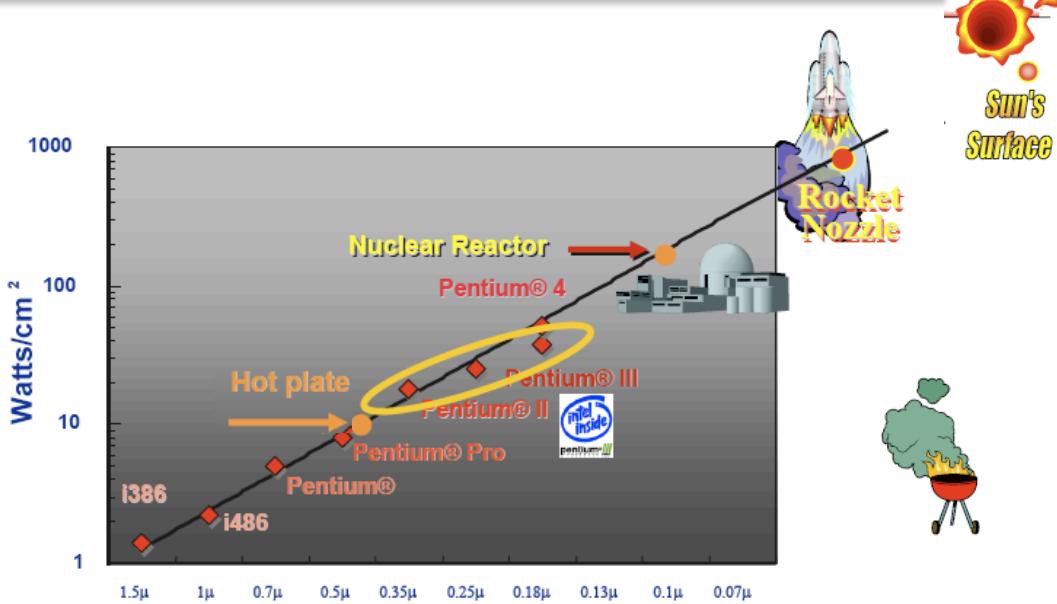
- Multithreading



51

Diseño Procesadores (Reto 2)

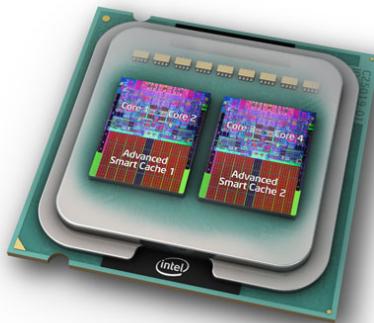
- Reducir el aumento exponencial del consumo



52

Consumo (Solución)

- Chip Multiprocessors (CMPS) o Multicores

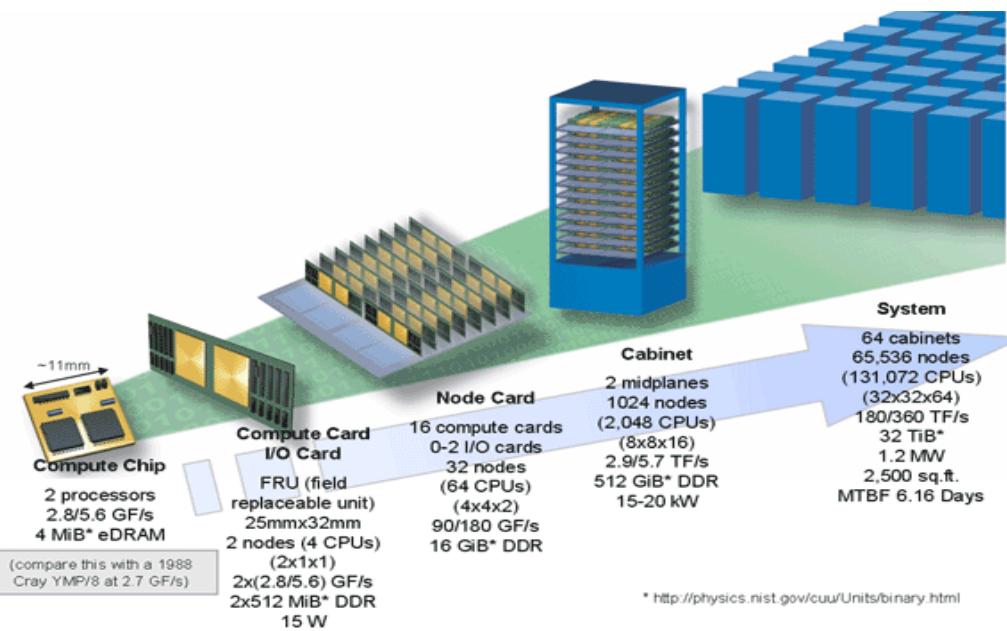


- Más posibilidades de explotar paralelismo
- Más barato el diseño
- Más rápida la comunicación interna
- Menor frecuencia -> Menor consumo

53

Blue Gene/L

- Top500 Number 1: Noviembre 2004 a Junio 2008



54

Intel Core I7 (Nehalem)

Intel® Core™ i7-980X Processor Extreme Edition

Intel® Core™ i7-980X (codenamed Gulftown)

- 32 nm, 2nd Generation Hi-K+metal gate process processor

Key Features:

- 6 Cores / 12 threads, Extreme Edition
- 12MB Intel® Smart Cache
- Compatible with Intel® Core™ i7-9xx series processors
- Intel® Hyper-Threading Technology
- Intel® Turbo Boost Technology
- Integrated memory controller
- DDR3 1066 MHz memory
- Intel® QuickPath Interconnect (Intel® QPI)
- 2x16 or 4x8 discrete graphics with X58

Socket:

- LGA1366 Socket

Power:

- 130W TDP

Platform Compatibility:

- Intel® X58 Express Chipset
- BIOS update needed



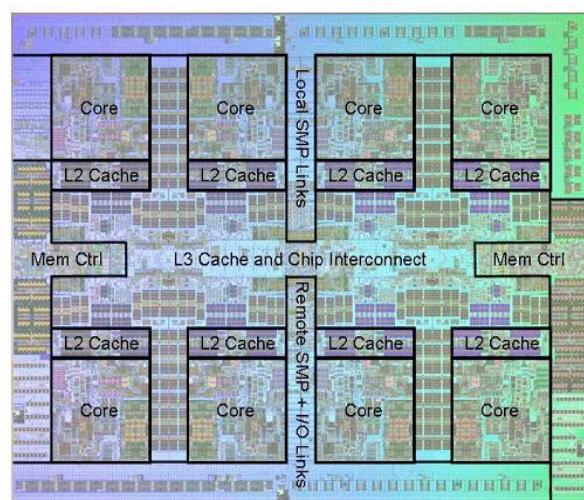
Marzo 2010

55

IBM Power 7

POWER7 Processor Chip

- 567mm² Technology: 45nm lithography, Cu, SOI, eDRAM
- 1.2B transistors
 - Equivalent function of 2.7B
 - eDRAM efficiency
- Eight processor cores
 - 12 execution units per core
 - 4 Way SMT per core
 - 32 Threads per chip
 - 256KB L2 per core
- 32MB on chip eDRAM shared L3
- Dual DDR3 Memory Controllers
 - 100GB/s Memory bandwidth per chip sustained
- Scalability up to 32 Sockets
 - 360GB/s SMP bandwidth/chip
 - 20,000 coherent operations in flight
- Advanced pre-fetching Data and Instruction
- Binary Compatibility with POWER6

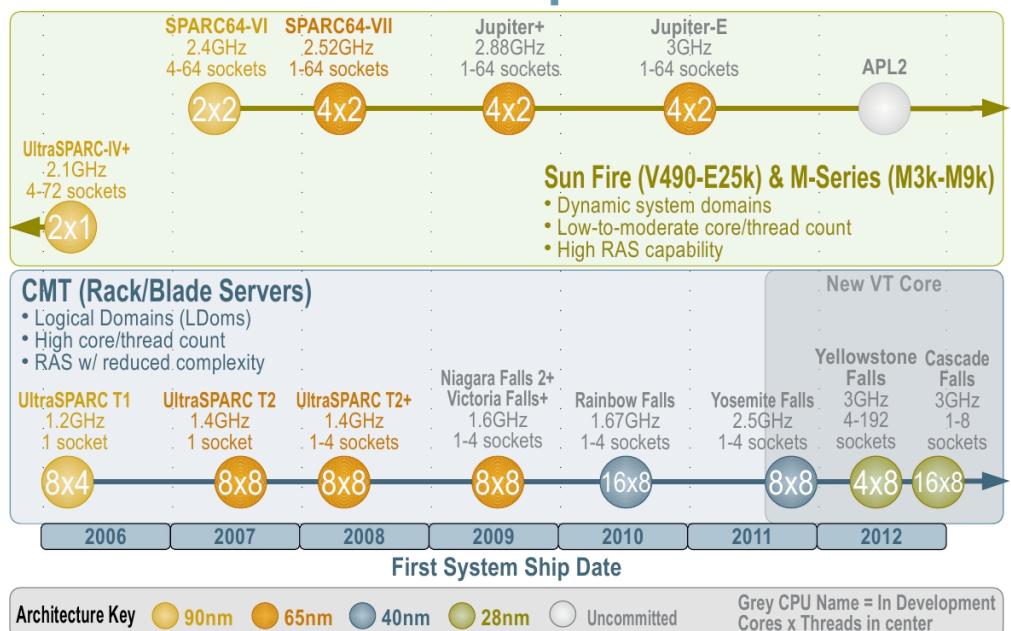


Febrero 2010

56

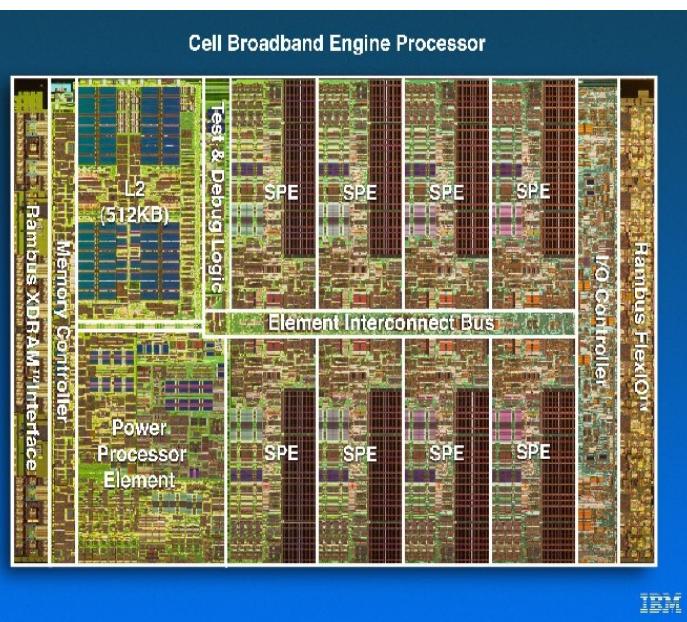
Sun Sparc T3 (Niagara 3)

SPARC CPU Roadmap

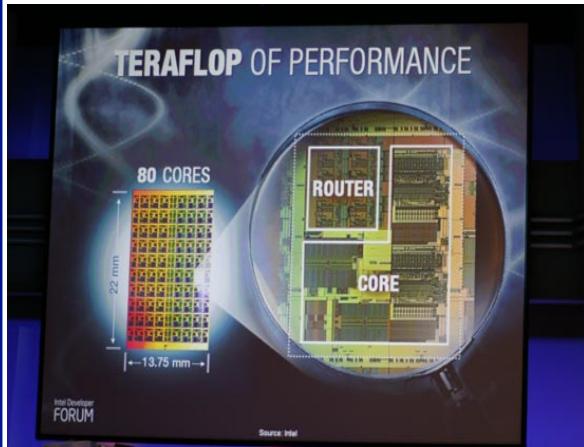


Septiembre 2010

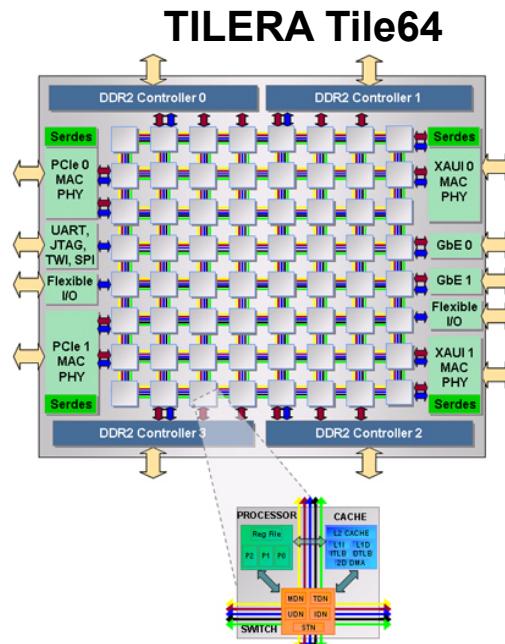
IBM Cell



Intel Polaris, Tilera Tile64

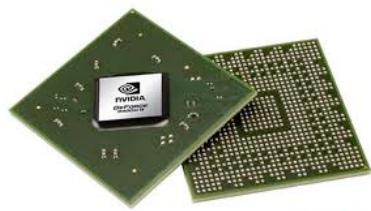


INTEL Polaris

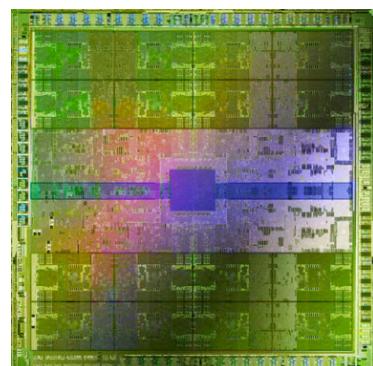


59

Nvidia GeForce



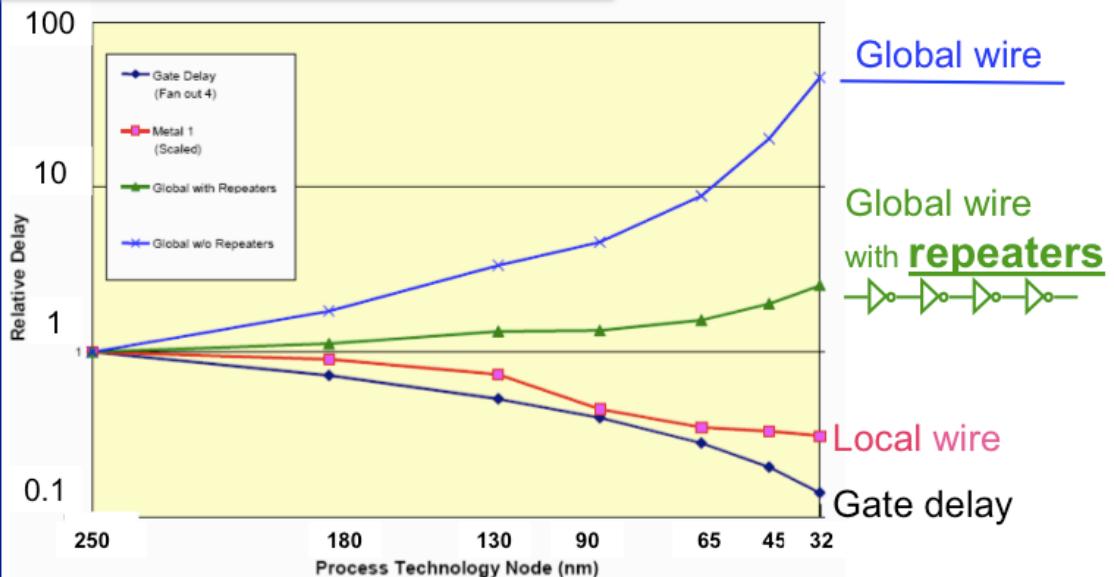
VideoDrivers.es



60

Diseño de Procesadores (Reto 3)

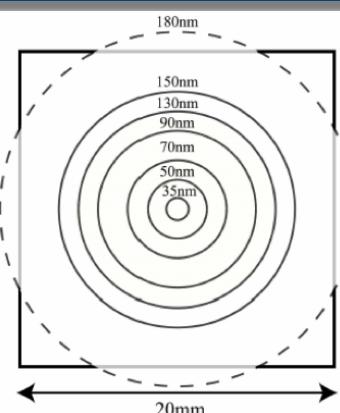
■ Gate Delay vs Wire Delay



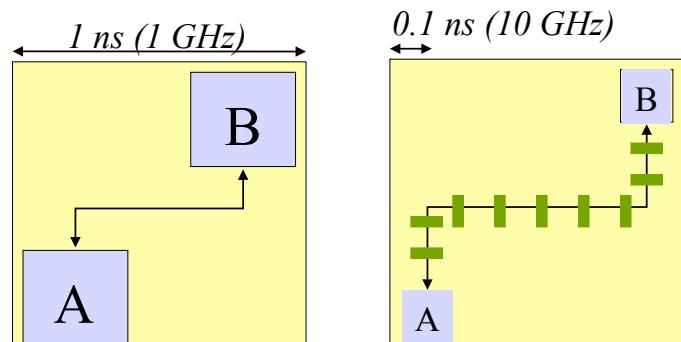
61

Retardo de señales en chip YA limita el rendimiento

Wire Delay



- Fracción del chip alcanzable en 1 ciclo
 - Actualmente: 25%
 - En 10 años: 1%



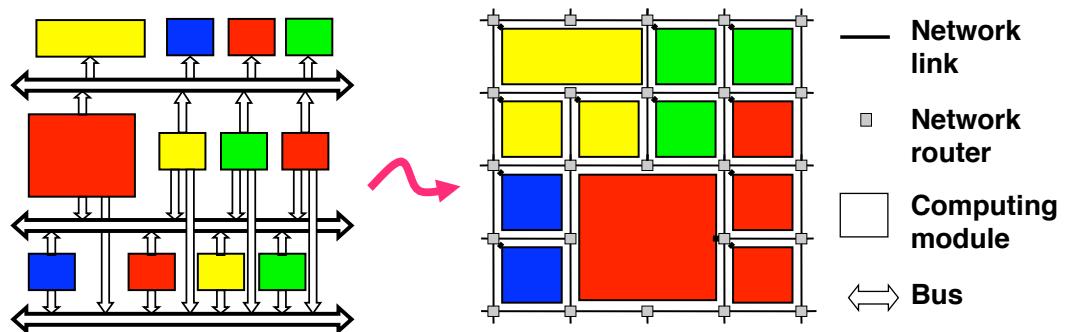
CONCLUSIÓN:
Señales no pueden
atravesar el chip en
1 ciclo de reloj

62

Solución (Wire Delay)

■ Chip Multiprocessors

- Número cores aumenta \Rightarrow buses no cubren requisitos
- Tráfico aumenta: necesario más ancho de banda
- Gap tecnológico: retardo puertas \downarrow pero retardo cables \uparrow



■ Idea fundamental: aplicar conceptos de redes punto a punto dentro del chip

NOC (Network on Chip)

63

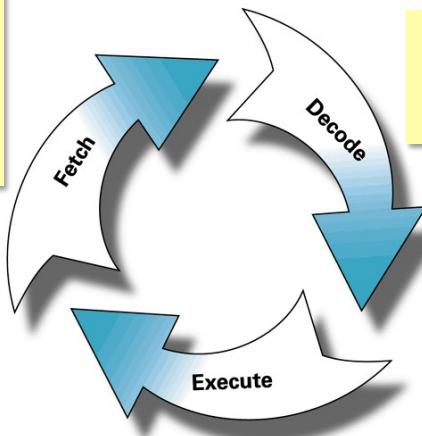
Índice Tema I

1. Historia de la Computación
2. Arquitectura Von-Neumann
3. Conceptos Clave
4. Tendencias Arquitectónicas
5. Retos en el Diseño de Procesadores
6. Etapas de Ejecución de las Instrucciones

64

Etapas de una Instrucción

1. Recuperar la siguiente instrucción desde memoria (apuntada por el *program counter*) y luego incrementar el *program counter*.

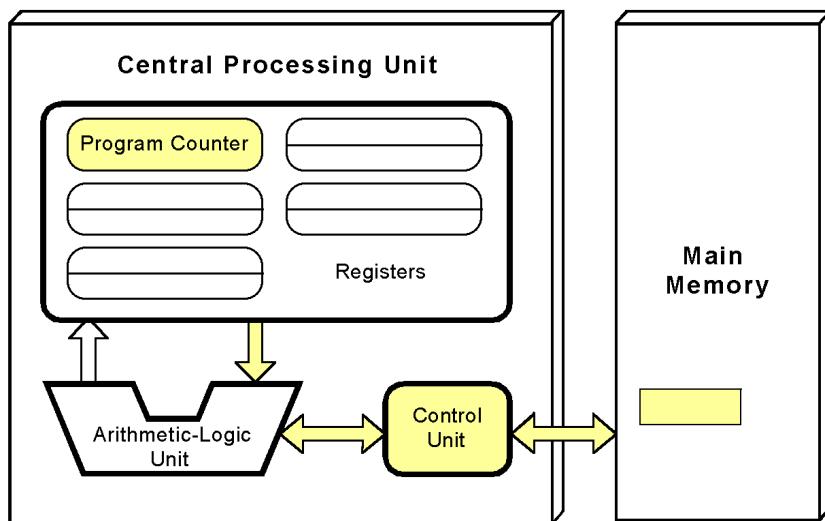


2. Decodificar el patrón de bits en el registro de instrucción IR

3. Ejecutar la instrucción indicada en el registro de instrucción IR

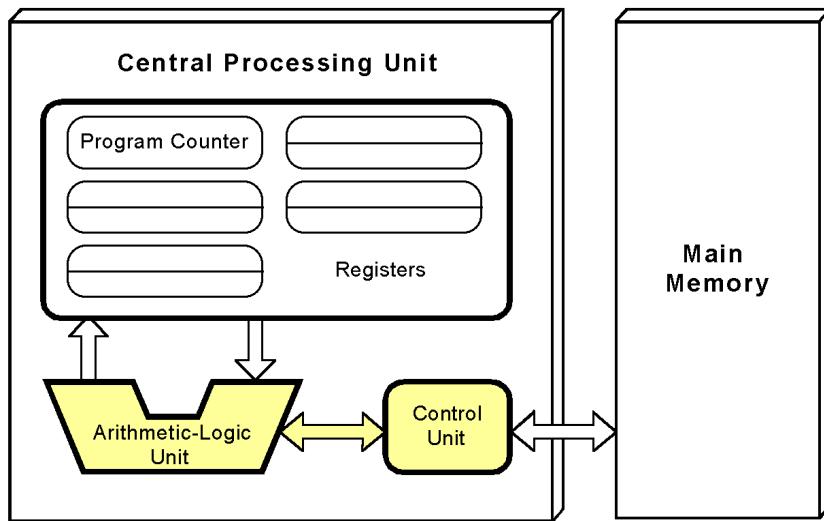
Fetch

La unidad de control obtiene la próxima instrucción de memoria usando el “contador de programa” (PC) que dice en qué dirección se encuentra.



Decode

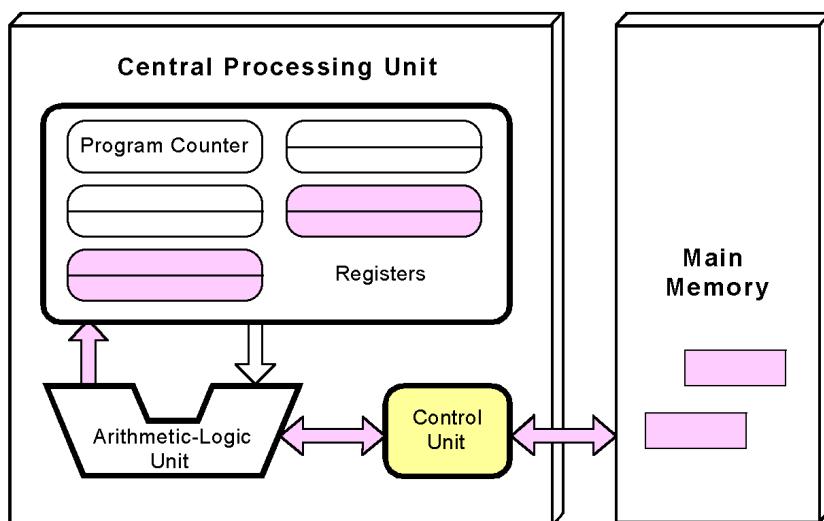
La instrucción se decodifica a un lenguaje que entiende la ALU (unidad aritmética lógica).



67

Decode

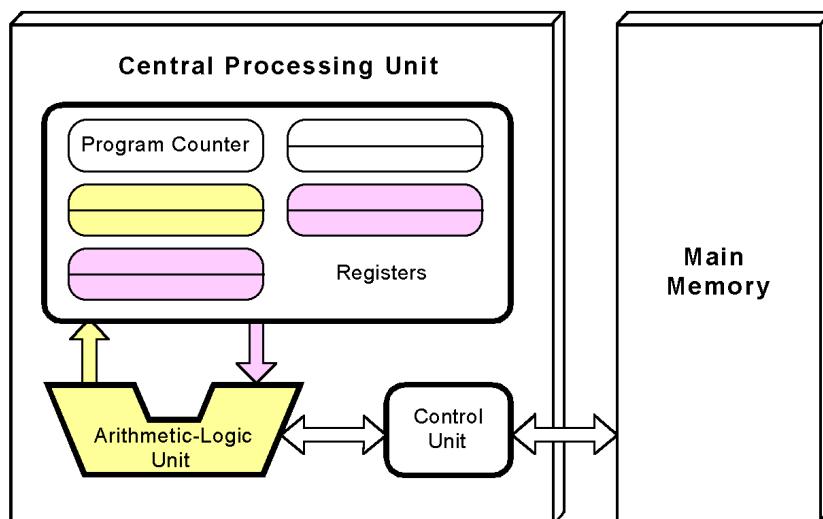
Las instrucciones leen sus operandos de registros que se han generado con anterioridad de otros cálculos o se traen de memoria



68

Execute

La ALU ejecuta la instrucción y coloca los resultados en registros o en memoria.



69

Fin Tema I



70