

Departament d'Enginyeria  Informàtica i Matemàtiques  UNIVERSITAT ROVIRA I VIRGILI	Estructura de Computadores
	EC
	Curso 17/18
	Primera Convocatoria
	Práctica 1: Sumadores y Multiplicadores

Sumadores y Multiplicadores

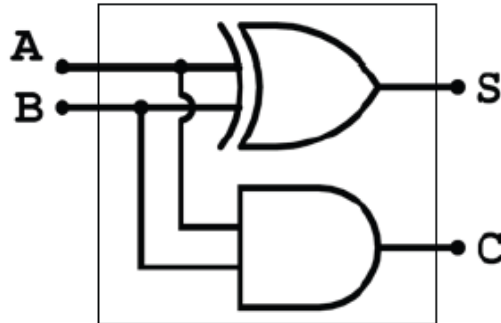
La práctica consiste en la realización y el análisis de diversos circuitos digitales centrados en las operaciones de suma y de multiplicación. Para ello se utilizará como herramienta de soporte la aplicación TkGate. Esta herramienta consta de un editor gráfico, un simulador de circuitos digitales desarrollado con Tcl/TK y una librería de funciones que incorpora desde componentes básicos como puertas lógicas hasta componentes más complejos como registros y memoria. Para un mejor seguimiento de la práctica, se han dividido las distintas tareas a realizar en las fases que se detallan más adelante.

Comentarios

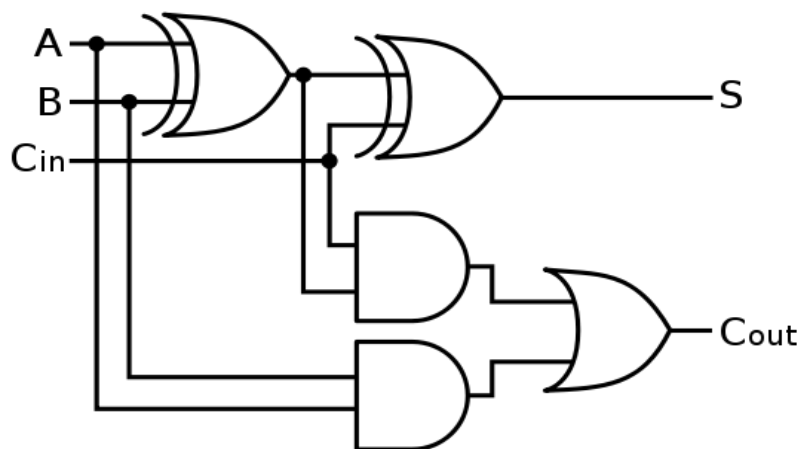
- La práctica se realizará **en GRUPOS DE 2 PERSONAS**
- Se realizará una entrevista y prueba del funcionamiento de los circuitos con todos los integrantes del grupo en la sesión de laboratorio que tienen asignada.
- El informe (**obligatoriamente en PDF**) y los ficheros TkGate con los circuitos implementados se subirán al **moodle** en **un único fichero ZIP** antes de realizar la entrevista.

FASE 0: Half Adder y Full Adder

TAREA 1: Realizad el circuito digital *Half Adder (HA)* de 1 bit que se muestra en la siguiente figura. Suponed que los retardos de las puertas lógicas utilizadas son de AND=1T y XOR=2T. **(0.5P)**



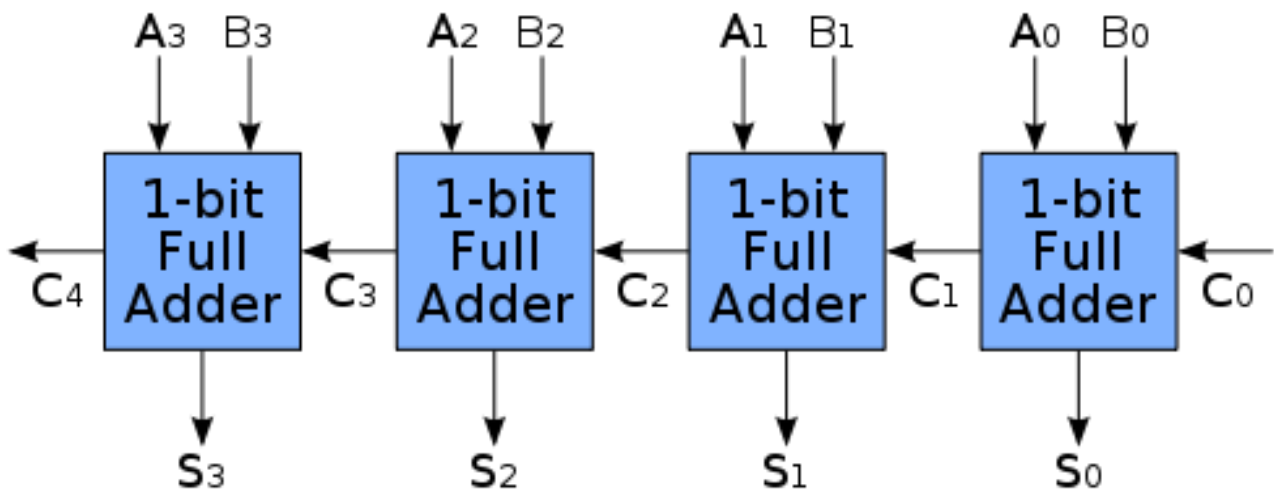
TAREA 2. Realizad el circuito digital *Full Adder (FA)* de 1 bit con *acarreo de entrada* que se muestra en la siguiente figura e indicad los tiempos de retardo y el área utilizada. Suponed que los retardos de las puertas lógicas utilizadas son de AND=1T, OR=1T y XOR=2T **(0.75P)**



TAREA 3. Realizad una implementación alternativa al mismo circuito *Full Adder (FA)* de 1 bit con *acarreo de entrada* y comparad los tiempos de retardo y área con la solución anterior. **(0.75P)**

FASE 1: Sumadores CPA

TAREA 4. Realizad el circuito digital *Carry Propagate Adder (CPA)* de 4 bits que se muestra en la siguiente figura e indicad los tiempos de retardo y el área utilizada. Realizad dos versiones del mismo CPA asumiendo las dos posibles implementaciones de *Full Adder (FA)* de 1 bit consideradas en tareas anteriores. **(1P)**

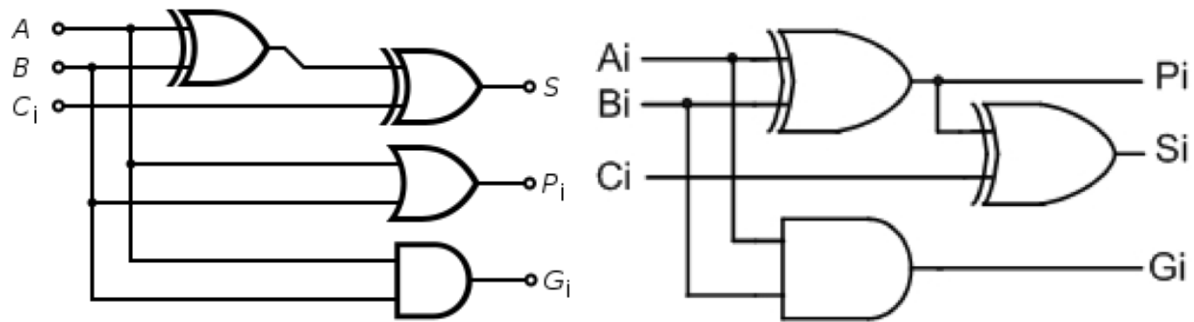


TAREA 5. Indicad las fórmulas que describen los tiempos de retardo del circuito digital *Carry Propagate Adder (CPA)* de 4 bits implementado en la tarea anterior. Aplicando esa fórmula, mostrad los tiempos de retardo que introduciría un CPA de 8 bits, 16 bits, 32 bits y 64 bits. **(0.75P)**

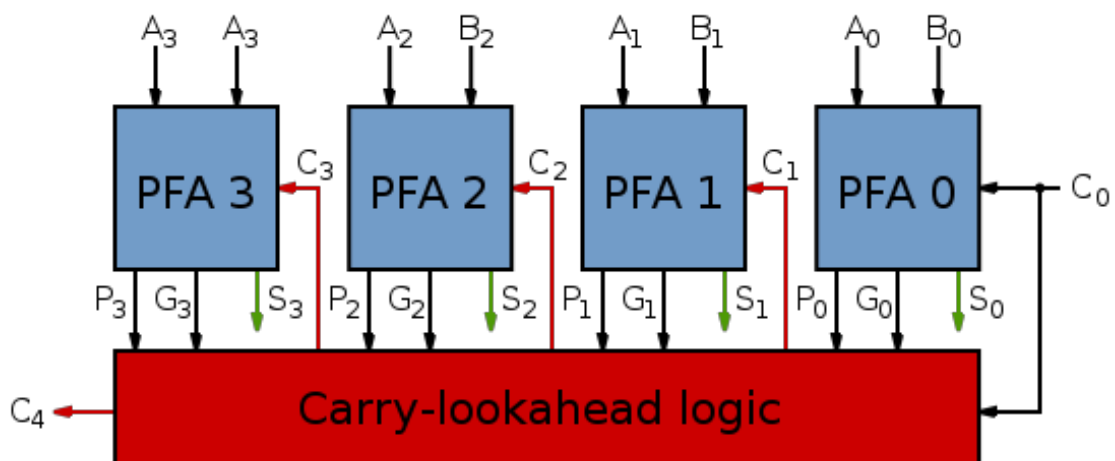
TAREA 6. Asumid un tiempo de retardo para la puerta lógica XOR de 1T. Realizad de nuevo el circuito digital *Carry Propagate Adder (CPA)* de 4 bits y comparadlo con los resultados obtenidos anteriormente. **(0.75P)**

FASE 2: Sumadores CLA

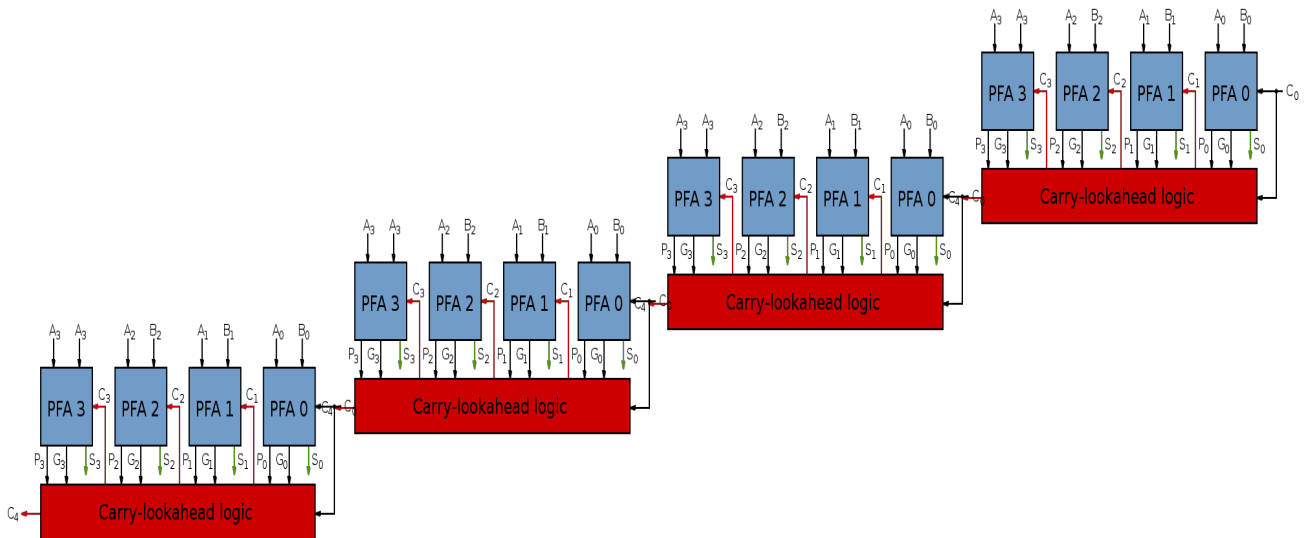
TAREA 7. Realizad las dos versiones de circuito digital *Partial Full Adder (PFA)* de 1 bit con *acarreo de entrada* que se muestran en las siguientes figuras e indicad los tiempos de retardo y el área utilizada. Suponed que los retardos de las puertas lógicas utilizadas son de AND=1T, OR=1T y XOR=2T. **(0.75P)**



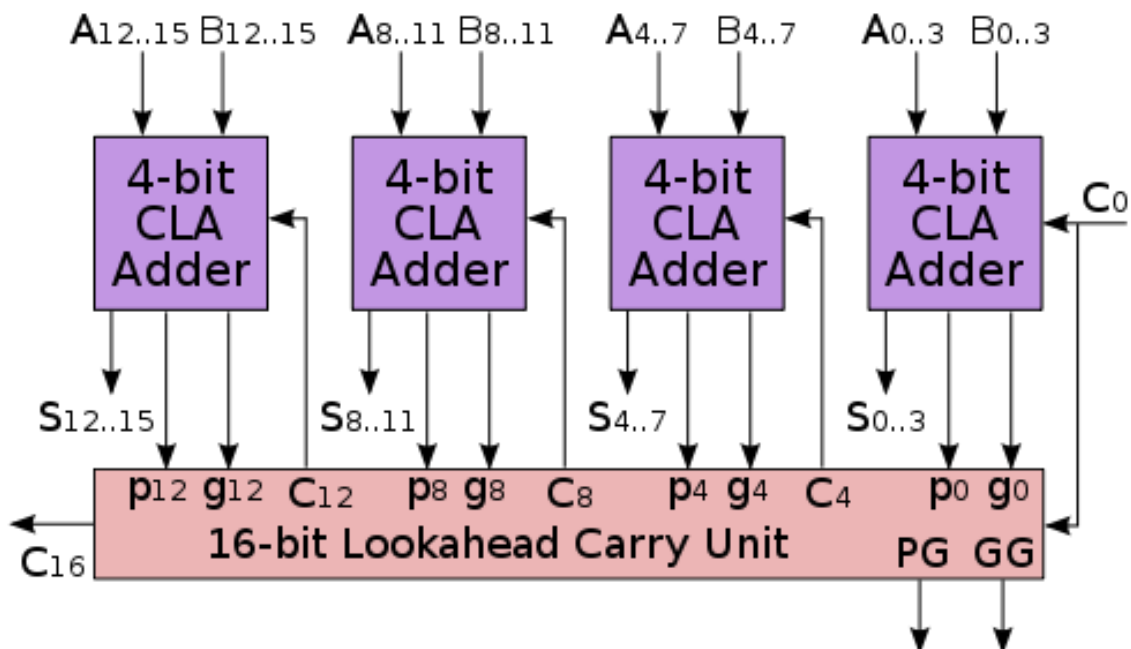
TAREA 8. Realizad el circuito digital *Carry Look-Ahead Adder (CLA)* de 4 bits que se muestra en la siguiente figura e indicad los tiempos de retardo y el área utilizada. Asumid el diseño de *Partial Full Adder (FA)* de 1 bit implementado en la tarea anterior. Suponed que los retardos de las puertas lógicas utilizadas son de AND=1T, OR=1T y XOR=2T. **(1P)**



TAREA 9. Realizad un circuito digital *CLA de 16 bits* mediante *CLA de 4 bits* conectados en cascada tal y como se muestra en la siguiente figura. Indicad el área, el tiempo de retardo y la fórmula teórica que lo define. **(1P)**

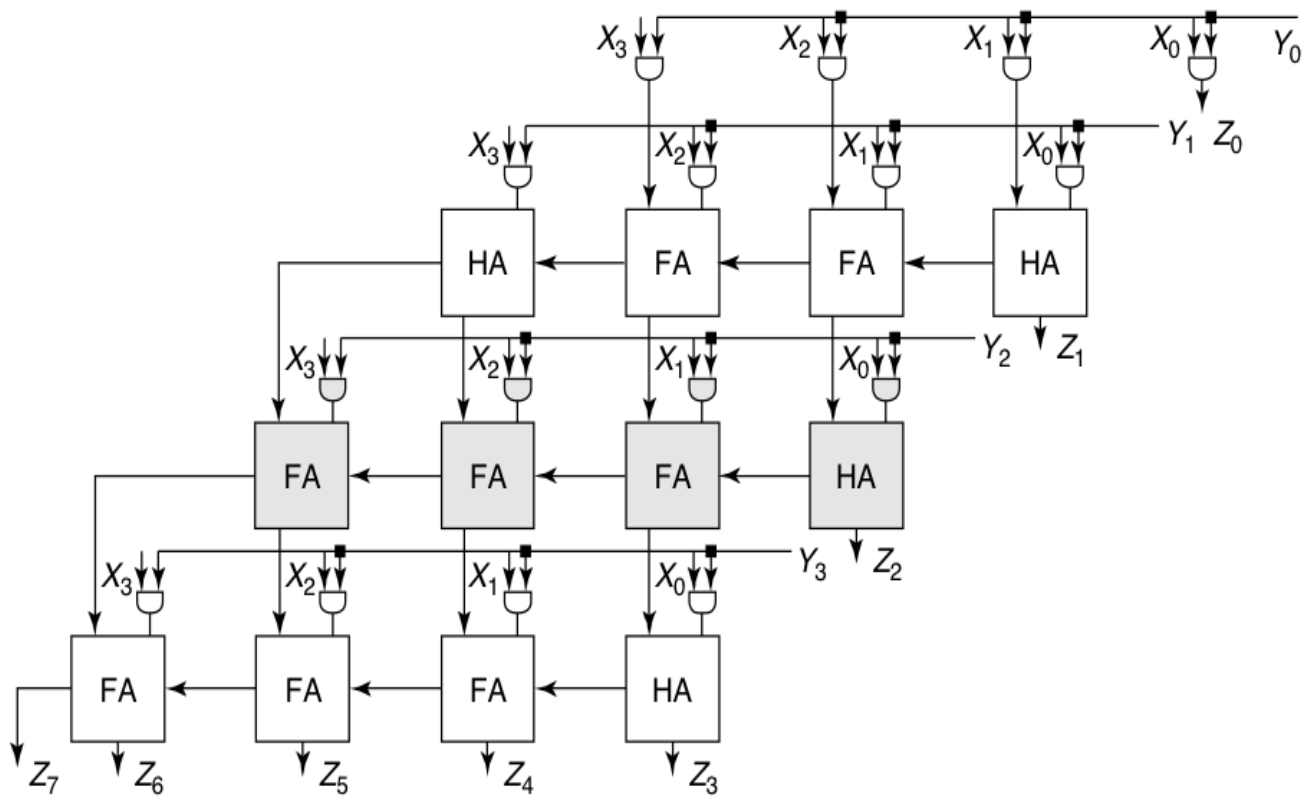


TAREA 10. Realizad un circuito digital *CLA de 16 bits* mediante *CLA de 4 bits* conectados en cascada tal y como se muestra en la siguiente figura. Indicad el área, el tiempo de retardo y comparad los resultados con la tarea anterior. **(1P)**



FASE 3: Multiplicadores

TAREA 11. Realizad el circuito digital multiplicador *Ripple Carry Array* de 4 bits que se muestra en la siguiente figura e indicad los tiempos de retardo y el área utilizada. Asumid los diseños de *Half Adder* (HA) y *Full Adder* (FA) de 1 bit implementados en las tareas anteriores. Suponed también que los retardos de las puertas lógicas utilizadas son de AND=1T, OR=1T y XOR=2T. **(1P)**



TAREA 12. Indicad la fórmula que describe el retardo del circuito digital multiplicador *Ripple Carry Array* de 4 bits que se ha implementado en la tarea anterior. Aplicando esa fórmula, mostrad los tiempos de retardo que introduciría un multiplicador RCA de 8 bits, 16 bits, 32 bits y 64 bits. **(0.75P)**