Sumadores y Multiplicadores

Estructura de Computadores

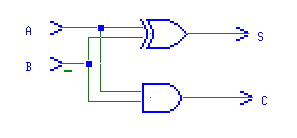
Practica 1

Octavi Juan Dalmau

Manel Hidalgo Agraz

**FASE 1: Sumadores HA, FA y CPA**

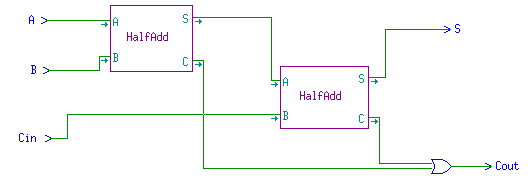
***TAREA 1:*** *Realizad el circuito digital Half Adder (HA) de 1 bit que se muestra en la siguiente figura. Suponed que los retardos de las puertas lógicas utilizadas son AND=1T y XOR=2T.*

**

TS = 2T

TC = 1T

***TAREA 2.*** *Realizad el circuito digital Full Adder (FA) de 1 bit con acarreo de entrada utilizando sumadores Half Adders (HA) de 1 bit e indicad los tiempos de retardo y el área utilizada. Suponed que los retardos de las puertas lógicas utilizadas son de AND=1T, OR=1T y XOR=2T.*

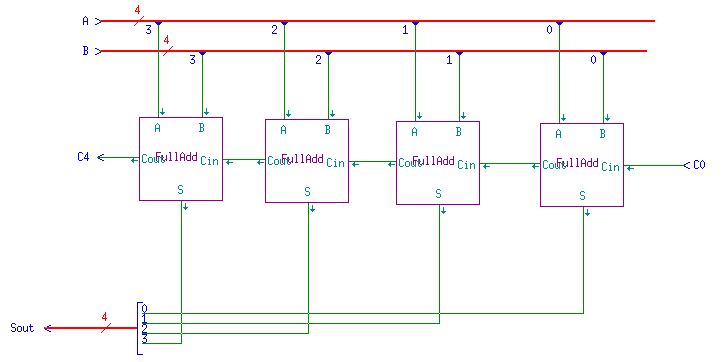
**

TC = 4T

TS = 4T

Área utilizada = 34

***TAREA 3.*** *Realizad el circuito digital Carry Propagate Adder (CPA) de 4 bits que se muestra en la siguiente figura e indicad los tiempos de retardo y el área utilizada. Asumid el diseño de Full Adder (FA) de 1 bit implementado en la tarea anterior.*

**

Retardo C = TC(bit 0) + (n-1 bits) \* (TC – PP)

Retardo S = TC(bit 0) + (n-2 bits) \* (TC-PP) + (TS-PP)

Retardo C = 4T + (4-1) \* (4T – 2T) = **10T**

Retardo S = 4T + (4-2) \* (4T-2T) + (4T-2T) = **10T**

Área utilizada = 136

***TAREA 4.*** *Indicad las fórmulas que describen los tiempos de retardo del circuito digital Carry Propagate Adder (CPA) de 4 bits implementado en la tarea anterior. Aplicando esa fórmula, mostrad los tiempos de retardo que introduciría un CPA de 8 bits, 16 bits, 32 bits y 64 bits.*

* CPA de 8 bits

Retardo C = 4T + (8-1) \* (4T – 2T) = **18T**

Retardo S = 4T + (8-2) \* (4T-2T) + (4T-2T) = **18T**

* CPA de 16 bits

Retardo C = 4T + (16-1) \* (4T – 2T) = **34T**

Retardo S = 4T + (16-2) \* (4T-2T) + (4T-2T) = **34T**

* CPA de 32 bits

Retardo C = 4T + (32-1) \* (4T – 2T) = **66T**

Retardo S = 4T + (32-2) \* (4T-2T) + (4T-2T) = **66T**

* CPA de 64 bits

Retardo C = 4T + (64-1) \* (4T – 2T) = **130T**

Retardo S = 4T + (64-2) \* (4T-2T) + (4T-2T) = **130T**

***TAREA 5.*** *Asumid un tiempo de retardo para la puerta lógica XOR de 1T. Realizad de nuevo el circuito digital Carry Propagate Adder (CPA) de 4 bits y comparadlo con los resultados obtenidos anteriormente.*

TC = 3T

TS = 2T

* CPA de 4 bits

Retardo C = 3T + (4-1) \* (3T – 1T) = **9T**

Retardo S = 3T + (4-2) \* (3T-1T) + (2T-1T) = **8T**

* CPA de 8 bits

Retardo C = 3T + (8-1) \* (3T – 1T) = **17T**

Retardo S = 3T + (8-2) \* (3T-1T) + (2T-1T) = **16T**

* CPA de 16 bits

Retardo C = 3T + (16-1) \* (3T – 1T) = **33T**

Retardo S = 3T + (16-2) \* (3T-1T) + (2T-1T) = **32T**

* CPA de 32 bits

Retardo C = 3T + (32-1) \* (3T – 1T) = **65T**

Retardo S = 3T + (32-2) \* (3T-1T) + (2T-1T) = **64T**

* CPA de 64 bits

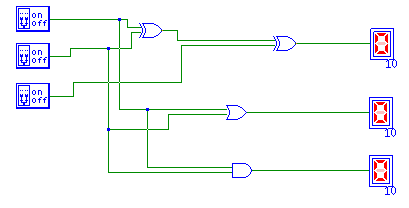
Retardo C = 3T + (64-1) \* (3T – 1T) = **129T**

Retardo S = 3T + (64-2) \* (3T-1T) + (2T-1T) = **128T**

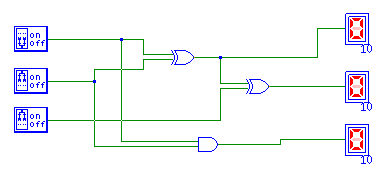
**FASE 2: Sumadores CLA y CSA**

***TAREA 6.*** *Realizad las dos versiones de circuito digital Partial Full Adder (PFA) de 1 bit con acarreo de entrada que se muestran en las siguientes figuras e indicad los tiempos de retardo y el área utilizada. Suponed que los retardos de las puertas lógicas utilizadas son de AND=1T, OR=1T y XOR=2T.*

*Figura 1*

**

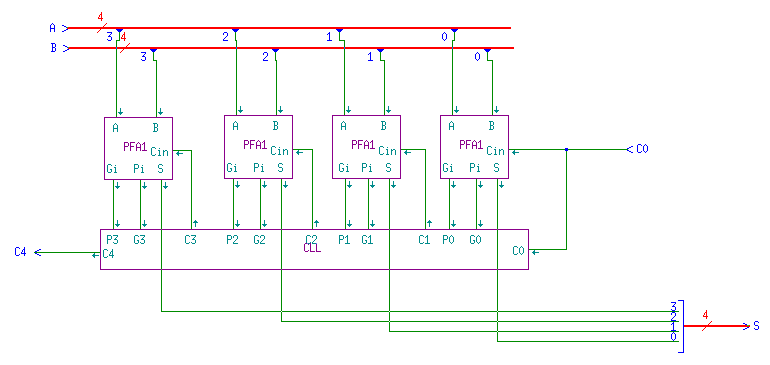
*Figura 2*

**

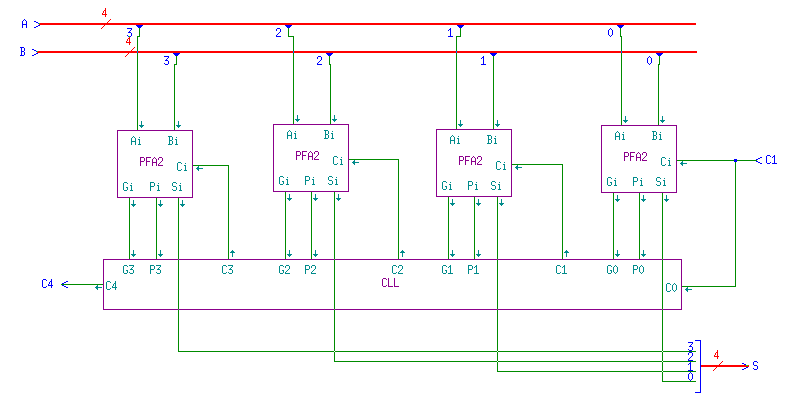
|  |  |
| --- | --- |
| Figura 1  TC = 4T  TPi = 1T  TGi = 1T  Área utilizada = 28 | Figura 2  TPi = 2T  TSi = 4T  TGi = 1T  Área utilizada = 22 |

***TAREA 7.*** *Realizad dos versiones del circuito digital Carry Look-Ahead Adder (CLA) de 4 bits que se muestra en la siguiente figura e indicad los tiempos de retardo y el área utilizada. Asumid para cada una de las versiones los diseños de Partial Full Adder (FA) de 1 bit implementados en la tarea anterior. Suponed que los retardos de las puertas lógicas utilizadas son de AND=1T, OR=1T y XOR=2T. .*

*V1.*

**

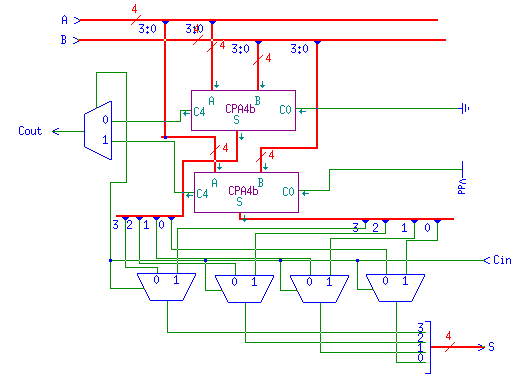
*V2.*

**

|  |  |  |  |
| --- | --- | --- | --- |
| Versión 1 | | Área utilizada = 226 | |
| Operación | Datos entrada | | Retardo |
| Generar y propagar | A, B | | 1T |
| C1 a Cn | P, G, C0 | | 2T |
| Suma S | C, A, B | | 2T |
| **Retardo total** | | | **5T** |

|  |  |  |  |
| --- | --- | --- | --- |
| Versión 2 | | Área utilizada = 202 | |
| Operación | Datos entrada | | Retardo |
| Generar y propagar | A, B | | 2T |
| C1 a Cn | P, G, C0 | | 3T |
| Suma S | C, A, B | | 2T |
| **Retardo total** | | | **7T** |

***TAREA 8.*** *Realizad el circuito digital multiplicador Carry Select Adder (CSA) de 4 bits que se muestra en la siguiente figura e indicad los tiempos de retardo y el área utilizada. Asumid el diseño de Carry Propagate Adder (CPA) de 4 bits implementado en una tarea anterior y un retardo para el multiplexor de 1T.*



RCSA = RCPA + RMux

RCPA = 10T RMUX = 1T

RCSA = 10T + 1T = **11T**

Área utilizada = 312

***TAREA 9.*** *Indicad las fórmulas que describen los tiempos de retardo del circuito digital Carry Select Adder (CSA) de 4 bits que se ha implementado en la tarea anterior. Aplicando esa fórmula, mostrad los tiempos de retardo que introduciría un CSA de 8 bits, 16 bits, 32 bits y 64 bits.*

RCSA = RCPA + (Mmodulos - 1) \* RMux

* CSA de 8 bits

RCSA = 10T + 1 \* 1T = **11T**

* CSA de 16 bits

RCSA = 10T + 3 \* 1T = **13T**

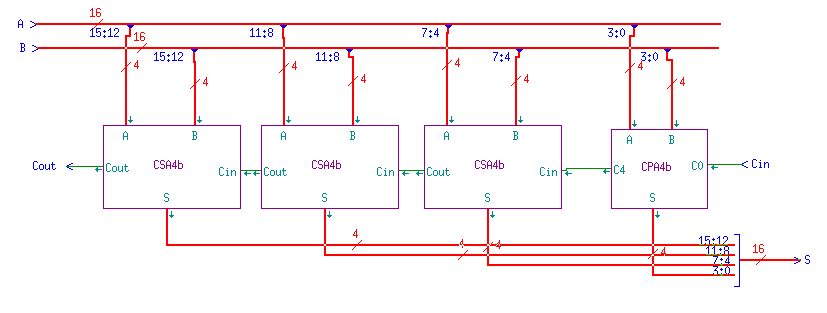
* CSA de 32 bits

RCSA = 10T + 8 \* 1T = **17T**

* CSA de 64 bits

RCSA = 10T + 16 \* 1T = **25T**

***TAREA 10.*** *Realizad el circuito digital Carry Select Adder (CSA) de 16 bits e indicad los tiempos de retardo y el área utilizada. Utilizad para esta implementación circuitos Carry Select Adder (CSA) de 4 bits implementados en una tarea anterior. Sin necesidad de implementarlo, comparad los tiempos de retardo con un Carry Select Adder (CSA) de 16 bits que usa Carry Propagate Adders (CPA) de 16 bits.*



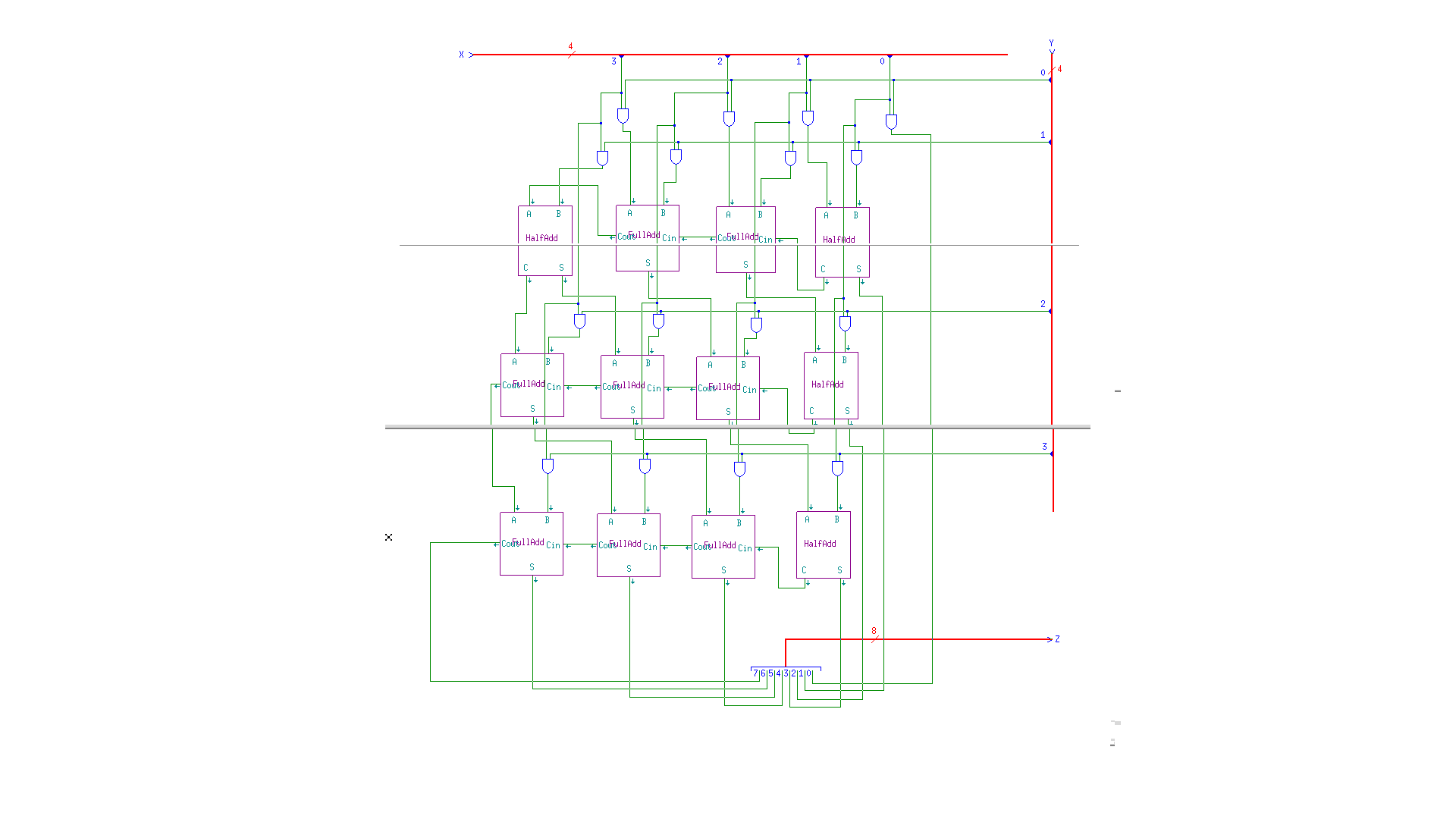
RCPA = 10T RMUX = 1T

RCSA = 10T + 3 \* 1T = **13T**

Área utilizada = 1072

**FASE 3: Multiplicador RCA**

***TAREA 11.*** *Realizad el circuito digital multiplicador Riple Carry Array de 4 bits que se muestra en la siguiente figura e indicad los tiempos de retardo y el área utilizada. Asumid los diseños de Half Adder (HA) y Full Adder (FA) de 1 bit implementados en las tareas anteriores. Suponed también que los retardos de las puertas lógicas utilizadas son de AND=1T, OR=1T y XOR=2T.*



En nuestro caso se trata de la siguiente fórmula:

FA y HA con PP = TAND + (N-1)\*(TS-PP) + (N-1)\*TC + (N-3)\*(TC-PP)

FA : TS = 4T, TC = 4T, PP = 2T

Retardo = 1 + 1 + 3\*2 + 3\*4 + 1\*2 = 21T

Área utilizada = 424

***TAREA 12.*** *Indicad la fórmula que describe el retardo del circuito digital multiplicador Riple Carry Array de 4 bits que se ha implementado en la tarea anterior. Aplicando esa fórmula, mostrad los tiempos de retardo que introduciría un multiplicador RCA de 8 bits, 16 bits, 32 bits y 64 bits.*

FA y HA con PP = TAND + (N-1)\*(TS-PP) + (N-1)\*TC + (N-3)\*(TC-PP)

* CSA de 8 bits

FA y HA con PP = 1+ 7\*(4-2) + 7\*4 + 4\*(4-2) = 1 +14 + 28 + 8 = 51T

* CSA de 16 bits

FA y HA con PP = 1 + (15\*(4-2)) +15\*4 + 13\*(4-2) = 1 + 30 + 60 + 26 = 117T

* CSA de 32 bits

FA y HA con PP = 1 + 31\*(4-2) + 31\*4 + 29\*(4-2) = 1 + 31\*2 + 31\*4 + 58 = 245T

* CSA de 64 bits

FA y HA con PP = 1 + 63\*(4-2) + 31 + 61\*(4-2) = 1 + 63\*2 + 63\*4 + 61\*2 = 501T