

## **Manejo de memoria en IA-32. Protección**

### **INTEL 80386. PROGRAMMER'S REFERENCE MANUAL**

#### **Punto 14.1**

1. Inmediatamente después de arrancar, un procesador IA-32 necesita acceder a un dispositivo de entrada salida que se encuentra mapeado en la posición de memoria 075000h. Proponga un valor para ES y el desplazamiento.

### **Intel 64 and IA-32 Architectures Software Developer's Manual. Volume 3A.**

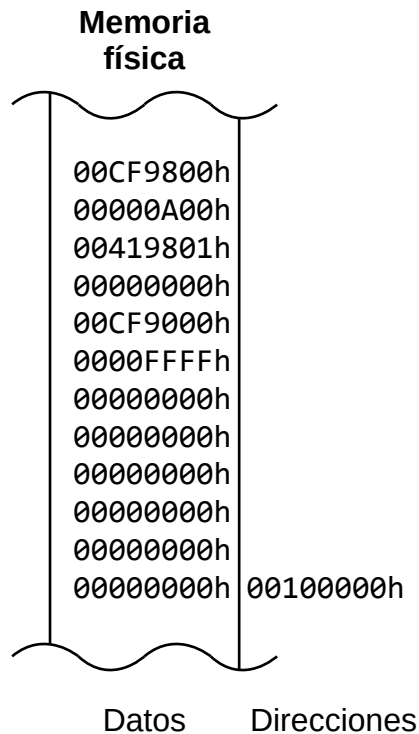
#### **Punto 3.4**

2. Elabore un descriptor para un segmento de memoria con las siguientes características:
  - Dirección base: 20000000h
  - Tamaño: 128 kB
  - Tamaño de operación: 32 bits
  - Nivel de privilegio: usuario
  - Granularidad: 1 B
  - Tipo: datos de lectura/escritura
  - Presente en memoria
3. Elabore un descriptor para un segmento de memoria con las siguientes características:
  - Dirección base: 00000000h
  - Tamaño: 3 GB
  - Tamaño de operación: 32 bits
  - Nivel de privilegio: kernel
  - Granularidad: 4096 B
  - Tipo: solo ejecución
  - Presente en memoria

### **Intel 64 and IA-32 Architectures Software Developer's Manual. Volume 3A.**

#### **Punto 2.4, 3.4**

4. Considerando la siguiente dirección lógica, memoria y registros, determine la dirección lineal.
  - DS: 018h
  - Offset: 01024h
  - GDTR: 01000100100h
  - Memoria:



5. ¿Qué problema se produce si el registro GDTR toma el valor 01000100010h en el punto anterior?

**Intel 64 and IA-32 Architectures Software Developer's Manual. Volume 3A.**  
**Punto 5.5, 5.6**

6. Considere los siguientes selectores y segmentos de código y datos

- Segmento A, CPL: 3 – Selector E3, RPL: 3
- Segmento B, CPL: 2 – Selector E2, RPL: 2
- Segmento C, CPL: 1 – Selector E1, RPL: 1
- Segmento D, CPL: 0
- Segmento E, DPL: 2

A partir de esta información, indique en qué casos los segmentos de código A, B, C y D en ejecución podrán acceder al segmento de datos E.

	Selector E3	Selector E2	Selector E1
Segmento A			
Segmento B			
Segmento C			
Segmento D			

**Punto 3,1, 5.5, 5.6**

**ARM Cortex-M4 Processor. Technical Reference Manual r0p1**

**Punto 3.2**

**ARMv7-M Architecture Reference Manual**

**Puntos A3.6, A4.6, A4.6.5, B3.5.**

7. Confeccione una tabla comparativa entre las arquitecturas AMD64/IA-32 y ARMv7-M para las siguientes características:
  - Modos de operación
  - Protección de memoria
  - Direccionamiento