

Memoria Ram y Buses

Lenin G. Falconí

2024-07-02

Outline

- 1 Flip Flops
- 2 Memoria Semiconductora
- 3 Buses

Compuertas Lógicas de Memoria (Latch)

- Compuerta lógica que almacena un 1 bit de memoria.
- Se caracteriza por una señal de retroalimentación de la salida de la compuerta AND a la entrada de la compuerta OR
- Cuando $S = 1 \rightarrow Q = 1$
- Cuando $R = 1 \rightarrow Q = 0$
- El valor inicial de Q al encender no es determinado.

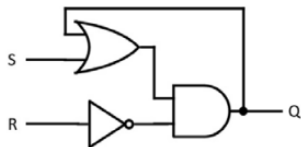


Figure: Circuito SR Latch

S	R	Acción	Q
0	0	Hold	Qprev
1	0	Set	1
X	1	Reset	0

Latch D

- Utiliza una señal de habilitación E
- Cuando $E = 0$, Q mantiene el valor anterior
- Cuando $E = 1$, $Q = D$
- Dispone de una salida complementada

Table: Tabla de verdad de Latch D

D	E	Q	\bar{Q}
0	1	0	1
1	1	1	0
X	0	Q_{prev}	\bar{Q}_{prev}

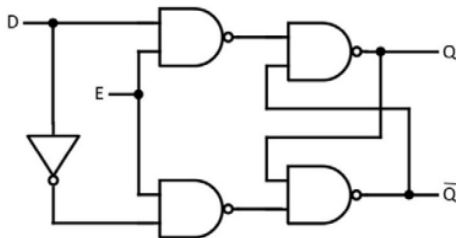


Figure: D Latch

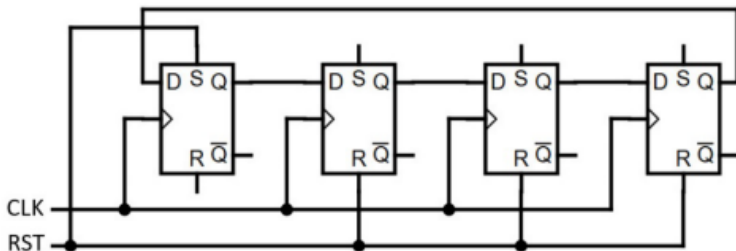
Flip Flops

- Dispositivo que cambia su estado de salida de acuerdo a la transición de la señal del reloj.
- El Flip Flop tipo D usa una señal de reloj para conmutar estados.
- Adicionalmente dispone de entradas S y R que permiten sobrescribir los estados de salida.
- Para la conmutación se utiliza la transición positiva del reloj.
- Se pueden conectar en serie para realizar la transferencia de bits de datos de un flip-flop a otro de manera secuencial (i.e. **shift register**)

S	R	D	CLK	Q	\bar{Q}
0	0	1	\uparrow	1	0
0	0	0	\uparrow	0	1
0	0	X	Estable	Q_{prev}	\bar{Q}_{prev}
1	0	X	X	1	0
0	1	X	X	0	1

Ring Counter

- Conecta la salida del último D-Latch al inicio
- Se utiliza para construir máquinas de estado finito



Evolución de la Memoria I

- Es una secuencia de ubicaciones de almacenamiento direccionables que contiene instrucciones y datos para ser utilizados por el procesador mientras ejecuta un programa.
- 1950 a 1970: Se utiliza matrices de núcleos ferromagnéticos toroidales. Se caracterizan por ser no volátiles y el grabado de 1 o 0 se controla según la polarización obtenida por la circulación de la corriente eléctrica a través de la bobina.
- 1970 a actualidad: Memorias estáticas y dinámicas a base de semiconductores como el MOSFET (Metal-Oxide-Semiconductor-Field-Effect-Transistor)

Evolución de la Memoria II



Figure: Acercamiento de núcleos ferromagnéticos

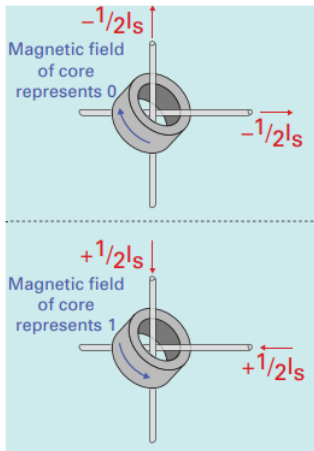


Figure: Operación de núcleos magnéticos

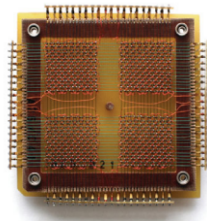


Figure: IBM 360 memoria de 8KB

Memoria Semiconductora

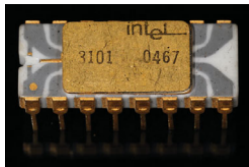


Figure: 64 bits, 1969

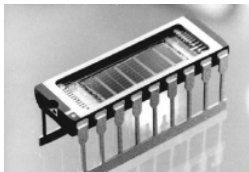


Figure: 1MiB, 1989



Figure: 128 GiB, 2019

- Operación similar a un transistor NPN¹.
- Es un dispositivo controlado por voltaje.
- La operación del MOSFET depende de la tensión entre *Gate* y *Source*
- Se estima que existen 13 sextillones² de transistores han sido manufacturados, siendo el 99.9% de tipo MOSFET.
- Existen dos tipos de MOSFET: 1) de canal N y 2) de canal P
- Las compuertas lógicas se forman de pares de MOSFET tipo N y P.
- Un dispositivo formado por pares de transistores *MOS* se denomina *Complementary MOS* (i.e. CMOS)

¹controlado por corriente

²Un sextillón es un 1 seguido de 21 ceros

MOSFET

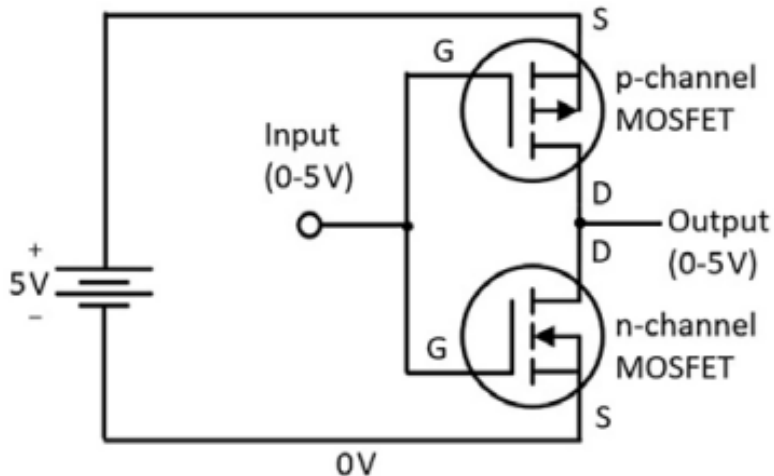


Figure: Compuerta NOT

- Una memoria de acceso aleatorio dinámico está formada por un MOSFET y un capacitor.
- Una celda DRAM es una localidad que permite escribir y leer un bit
- La celda se replica en una matriz para rectangular para formar un banco de memoria DRAM.
- El estado de la memoria se guarda en el capacitor
- 0 lógico es 0V
- 1 lógico es alrededor de 1.1V

Celda DRAM

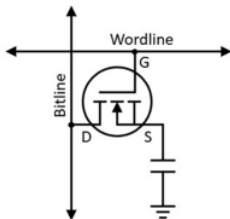


Figure: Celda de 1 bit

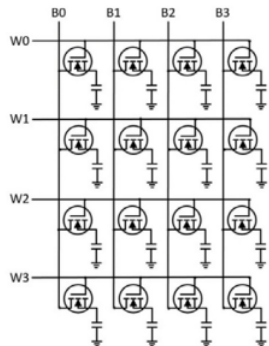


Figure: DRAM de 16 bits (4 words de 4 bits)

- Las líneas de dirección (i.e. wordlines) se mantienen a nivel bajo la mayoría del tiempo para mantener al MOSFET apagado.
- Para leer, el circuito de control selecciona la *wordline* apropiada y la coloca en nivel alto, mientras que las restantes se mantienen en bajo. Esto permite que encender los MOSFETs de la wordline y que los capacitores pasen sus niveles de voltaje a las *bitlines* (i.e. bus de datos)
- El proceso de lectura funciona similar, sólo que la circuitería se encarga de cargar los capacitores de la *wordline* respectiva.

Etimología DDR5 SDRAM I

- Intel introdujo la memoria DRAM en 1970
- Las siglas DDR hacen referencia a **double data rate** que indica que el dispositivo realiza dos transferencias por ciclo de reloj.
- El número luego de DDR indica la generación de la tecnología (i.e. DDR5 quinta)
- SDRAM significa DRAM sincrónica: usa una señal de reloj para sincronizar la memoria y el procesador.
- Recuerde que 1 G equivale a 2^{30}
- Para 2021, el estándar de memoria es la DDR5 SDRAM empacada en **dual inline memory module (DIMM)**.
- Un DIMM tiene 288 pines.
- Para laptops está disponible la **SODIM** de 262 pines

- Los procesadores de 32 y 64 bits utilizan el mapeado de las interfaces de entrada/salida a memoria.
- Arquitecturas actuales usan un conjunto de circuitos integrados (**chipset**) para manejar y comunicar con las interfaces de entrada salida.
- El chipset permite conectar con un amplio rango de periféricos (e.g. discos, interfaces de red, teclado, mouse, USB)

Bus Paralelo

- Un bus paralelo comunica múltiples bits de datos de manera **simultánea**
- Se utilizaba para conectar el computador a impresoras
- Requiere de varios cables o conductores lo que incrementa el costo y la probabilidad de fallo.
- Existe un límite superior para la velocidad de transferencia de datos en un bus paralelo (los bits no llegan al mismo tiempo al incrementar la velocidad de transmisión)
- Transmiten datos en una sola dirección (**half duplex**)

Bus Serie

- Transmite un bit a la vez entre dos terminales de comunicación.
- Puede desarrollar comunicación bidireccional (i.e. **full-duplex**)
- Utiliza un par de conductores para transmitir los datos.
- Utiliza señales diferenciales^a para mitigar la susceptibilidad al ruido.
- Físicamente, el cableado serial usa pares trenzados.
- La mayoría de comunicaciones de alta velocidad entre un procesador y un periférico, en computadores actuales, es a través del bus serial.
- Puede alcanzar a realizar billones de transferencias por segundo.
- La conexión entre un procesador y el chipset de la tarjeta madre usa varios buses seriales denominados **high-speed input output lanes (HSIO)**
- HSIO se usa en PCI-Express, SATA, M.2, USB, Thunderbolt.

^aSe transmite la diferencia de voltaje

Buses de datos Paralelos y Seriales

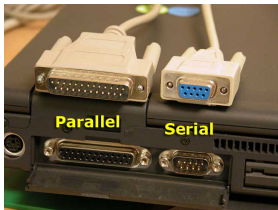


Figure: Puerto Serial y Paralelo

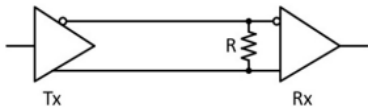


Figure: Comunicación serial

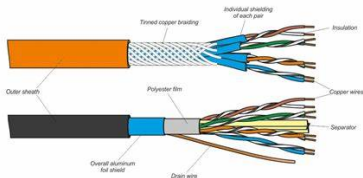


Figure: Par Trenzado

SATA (Serial AT Attachment)

- Interfaz serial bi-direccional standard para conectar *motherboards* a dispositivos de almacenamiento.
- Contiene dos conductores diferenciales. Cada para lleva datos en una dirección.
- Diseñado para operaciones sobre cables antes que sobre pistas de metal.
- Utilizado para comunicar el procesador con discos magnéticos, discos ópticos, o discos de estado sólido.
- Soporta transferencias full-duplex.

SATA

