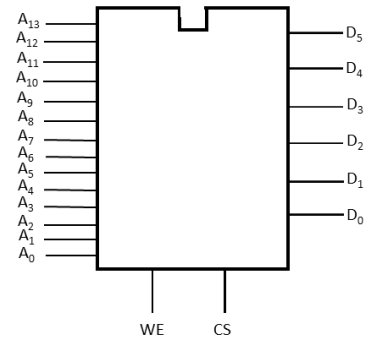


FUNDAMENTOS DE COMPUTADORES

EJERCICIOS U5: Componentes de memorización

U5.1. Se dispone de un chip de memoria como el dibujado en la figura. Responda a las siguientes preguntas, justificando en cada caso la respuesta:

- ¿Es una memoria ROM o RAM?
- ¿Cuál es su tamaño de palabra?
- ¿Cuál es su capacidad en bits? Utilizar en la respuesta el término kilo (k), mega (M), giga (G), etc... que corresponda.

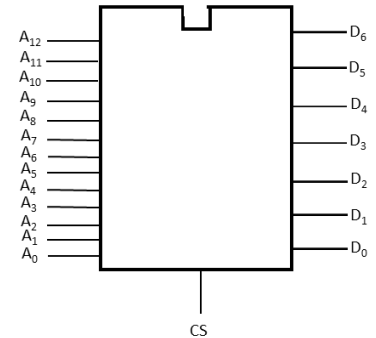


Solución:

- Por tener una entrada de Write Enable (WE) se puede asegurar que se trata de una memoria RAM.
- El tamaño de palabra lo marca el bus de datos por lo tanto es de seis bits (D₅:D₀)
- Por tener 14 líneas de direccionamiento (A₁₃:A₀) su capacidad de direccionamiento es 2^{14} palabras de 6 bits, es decir: 6×2^{14} bits = 96 kbits

U5.2. Se dispone de un chip de memoria como el dibujado en la figura. Responda a las siguientes preguntas, justificando en cada caso la respuesta:

- ¿Es una memoria ROM o RAM?
- ¿Cuál es su tamaño de palabra?
- ¿Cuál es su capacidad en bits? Utilizar en la respuesta el término kilo (k), mega (M), giga (G), etc... que corresponda.

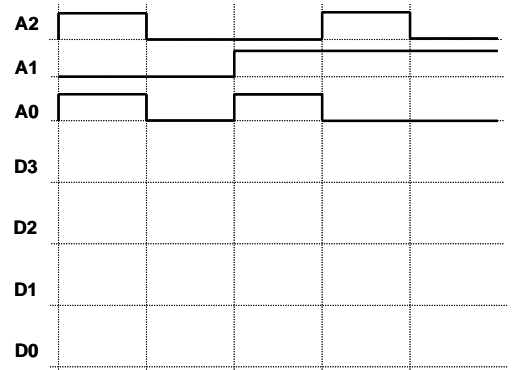


Solución:

- Por no tener una entrada de Write Enable (WE) se puede asegurar que se trata de una memoria ROM.
- El tamaño de palabra lo marca el bus de datos por lo tanto es de siete bits (D₆:D₀)
- Por tener 13 líneas de direccionamiento (A₁₂:A₀) su capacidad de direccionamiento es 2^{13} palabras de 7 bits, es decir: 7×2^{13} bits = 56 kbits

U5.3. Justificando cada respuesta señale:, señale justificando la respuesta:

- En un chip cualquiera de memoria RAM, señale el tipo de pines que necesariamente tiene que tener. Indique si son entradas, salidas o bidireccionales (entrada-salida).
- En un chip de memoria ROM de 64 kBytes, con 8 pines para datos, señale el número de pines de dirección que debe tener.
- Se tiene una memoria ROM con 3 pines de dirección y 4 de datos, siendo A₂ y D₃ los más significativos respectivamente. El contenido de la memoria, de la dirección más baja a la más alta, y expresado en hexadecimal, es: 7-A-9-C-D-2-4-E. Con esa información, complete el cronograma facilitado.

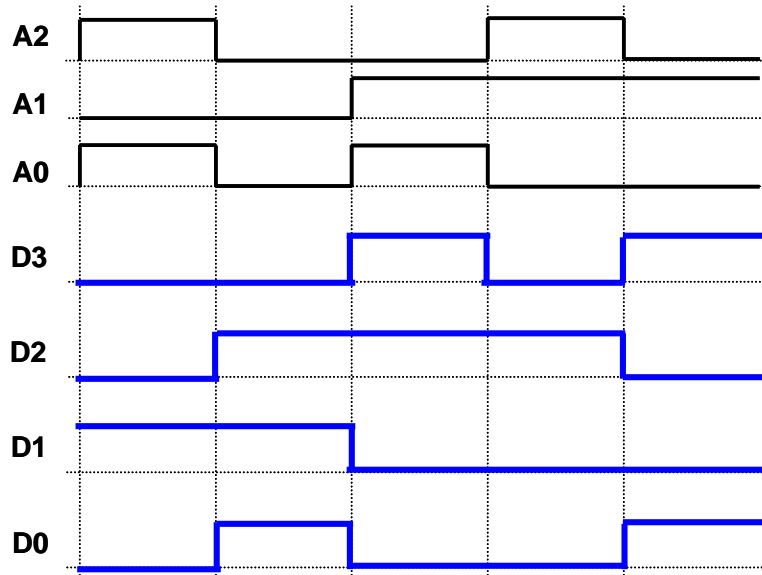


FUNDAMENTOS DE COMPUTADORES

EJERCICIOS U5: Componentes de memorización

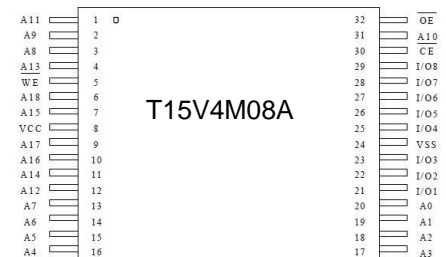
Solución:

- a) Direcciones (entradas), datos (bidireccionales), chip-select o CS (entrada) y write enable o WE (entrada).
- b) $64 \text{ kB} = 2^{16} \text{ B} = 2^X \text{ B} \Rightarrow X = 16 \text{ bits de dirección.}$
- c)



U5.4. En la figura se muestra la distribución de pines del chip de memoria de referencia T15V4M08A con un encapsulado de 32 pines. A la vista del dibujo se pide, justificando en cada caso la respuesta:

- a) El tipo de memoria RAM o ROM.
- b) El tamaño de los buses de direcciones y datos
- c) El tamaño (capacidad) en bytes de la memoria.



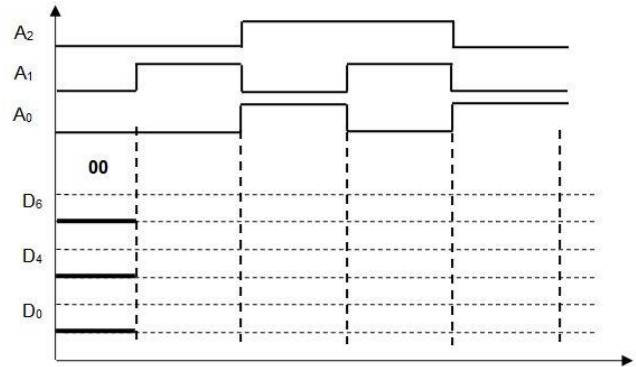
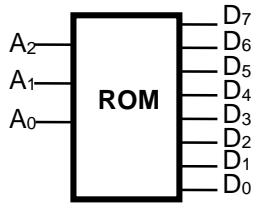
Solución:

- a) Es una memoria RAM porque permite la escritura controlada con el pin /WE
- b) El bus de direcciones es de 19 bits señalado por los pines desde A0 hasta A18
El bus de datos es de 8 bits señalado por los pines desde I/O1 hasta I/O8
- c) Si una dirección señala a un byte, la capacidad en bytes la señala el número de direcciones diferentes. En este caso 2^{19} bytes, es decir 512 kBytes.

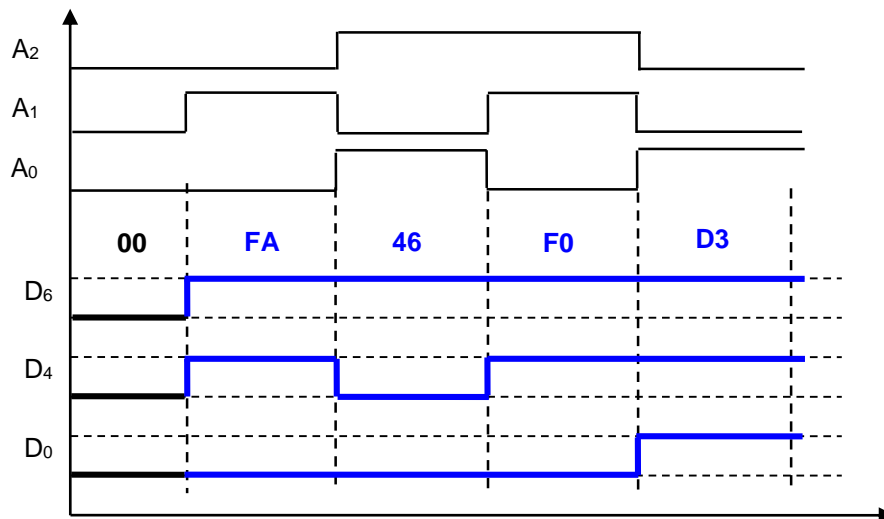
FUNDAMENTOS DE COMPUTADORES

EJERCICIOS U5: Componentes de memorización

U5.5. Un sistema utiliza una pequeña memoria de ROM DE 8 bytes como la indicada en la figura, utilizada como un elemento de control. El contenido, escrito en fábrica, es 00-D3-FA-6D-E8-46-F0-FF, donde 00 es el byte escrito en la dirección más baja y FF en la dirección más alta. Con la información facilitada se pide completar el cronograma de la figura inferior.

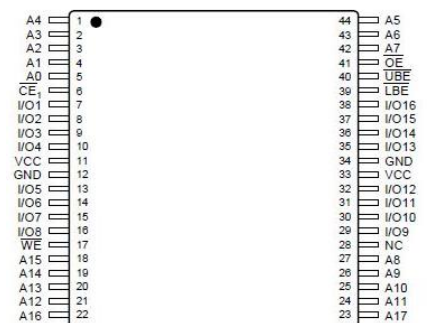


Solución:



U5.6. En la figura se muestra la distribución de pines del chip de memoria de referencia VS2C2164096 con un encapsulado de 44 pines. A la vista del dibujo se pide, justificando en cada caso la respuesta:

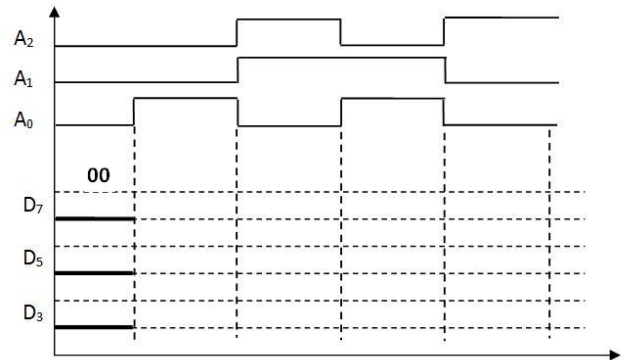
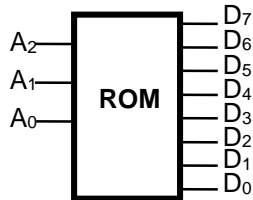
- El tipo de memoria RAM o ROM.
- El tamaño de los buses de direcciones y datos
- El tamaño (capacidad) en bytes de la memoria.



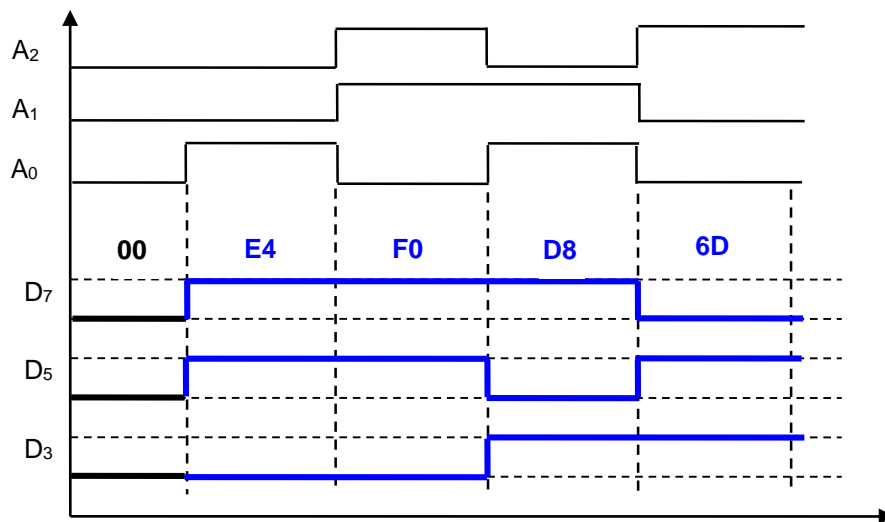
FUNDAMENTOS DE COMPUTADORES

EJERCICIOS U5: Componentes de memorización

U5.7. Un sistema utiliza una pequeña memoria de ROM DE 8 bytes como la indicada en la figura, utilizada como un elemento de control. El contenido, escrito en fábrica, es 00-E4-FA-D8-6D-D3-F0-FF, donde 00 es el byte escrito en la dirección más baja y FF en la dirección más alta. Con la información facilitada se pide completar el cronograma de la figura inferior.

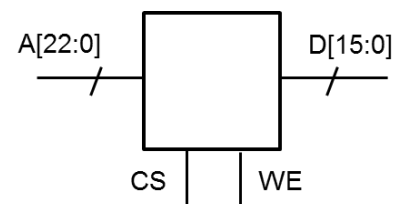


Solución:



U5.8. En la figura se muestra la distribución de pines de un chip de memoria. Se pide:

- El tipo de memoria RAM o ROM justificando la respuesta (sin justificación no habrá calificación).
- El tamaño (capacidad) en bytes de la memoria, justificando cómo obtiene dicha cantidad.
- La dirección (entrada, salida o entrada/salida) de cada pin de la figura.



Solución:

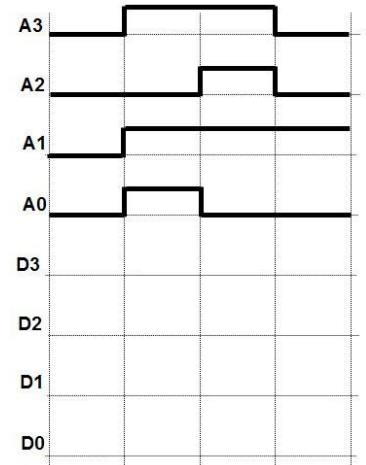
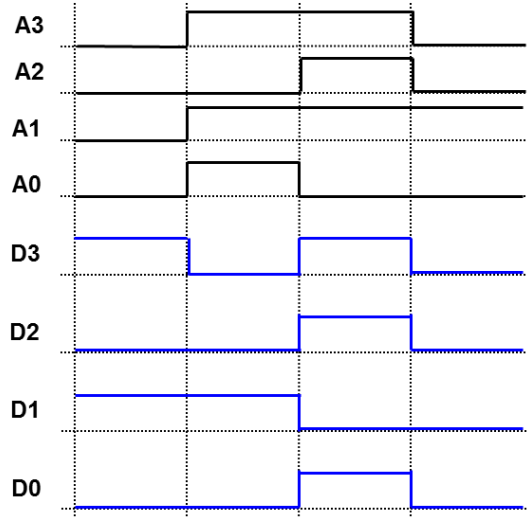
- Es una memoria RAM porque permite la escritura controlada con el pin WE.
- $2^A \cdot D = 2^{23} \cdot 2 = 2^{24} \text{ bytes} = 16 \text{ Mbytes}$
- A son direcciones, así que son pines de entrada. CS y WE son el Chip Select y el Write Enable, también son pines de entrada. D son los pines de datos, al ser RAM son entradas/salidas porque se leen y se escriben.

FUNDAMENTOS DE COMPUTADORES

EJERCICIOS U5: Componentes de memorización

U5.9. Se tiene una memoria con cuatro pines de dirección, A[3:0], y otros cuatro de datos, D[3:0], siendo en cada caso el pin de índice 3 el más significativo. El contenido de la memoria expresado en hexadecimal es: A –B-0-1-6-9-D-8-9-D-E-2-D-2-D-3, donde A es el contenido de la dirección más baja y 3 el de la dirección más alta. Con la información facilitada se pide completar el cronograma de la figura adjunta.

Solución:



U5.10. a) Dada una memoria con 21 bits de dirección y 32 de datos, se pide su tamaño en bytes justificando cómo se obtiene dicha cantidad.

b) Dada una memoria de 512 kBytes con un bus de datos de 16 bits, se pide el número de bits del bus de direcciones.

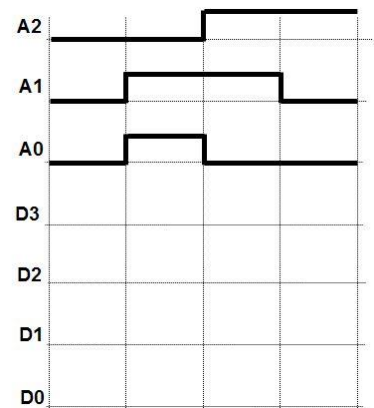
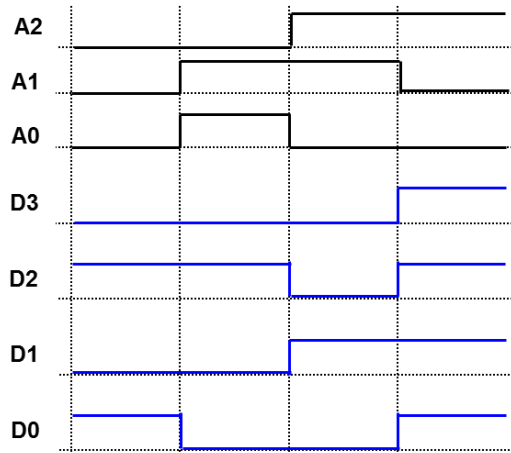
Solución:

a) $2^A \cdot D = 2^{21} \cdot 4 \text{ bytes} = 2^{23} \text{ bytes} = 8 \text{ Mbytes}$

b) $512 \text{ kbytes} = 2^{19} \text{ bytes} = 2^A \cdot D = 2^A \cdot 2 \text{ bytes} = 2^{A+1} \Rightarrow A = 18$

U5.11. Se tiene una memoria con tres pines de dirección, A[2:0], y cuatro de datos, D[3:0], siendo en cada caso el pin de índice 0 el menos significativo. El contenido de la memoria expresado en hexadecimal es: 5-C-7-4-F –B-2-6, donde 5 es el contenido de la dirección más baja y 6 el de la dirección más alta. Con la información facilitada se pide completar el cronograma de la figura inferior.

Solución:



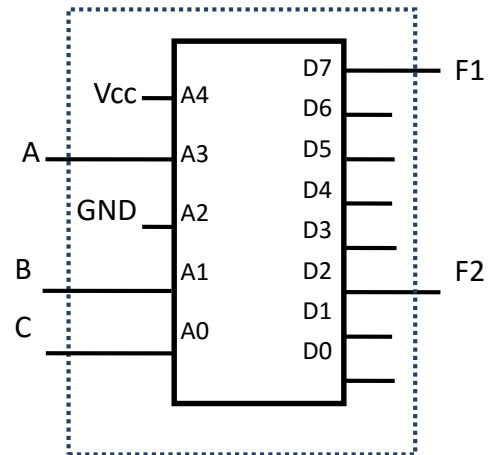
FUNDAMENTOS DE COMPUTADORES

EJERCICIOS U5: Componentes de memorización

U5.12. Se ha diseñado un circuito lógico combinacional que tiene 3 entradas, A, B y C y dos salidas, F1 y F2. Para simplificar su implementación se ha utilizado una memoria de 32 x 8 (32 posiciones de 8 bits de datos cada una de ellas). Las conexiones de las variables de entrada (A, B, y C) y las funciones de salida (F1 y F2) con la memoria se muestran en la figura.

El contenido de la memoria se muestra en la siguiente tabla:

Dirección	Dato	Dirección	Dato
0	0A	16	A1
1	12	17	B2
2	37	18	C3
3	CA	19	E4
4	FE	20	F5
5	F4	21	06
6	FF	22	17
7	4F	23	28
8	BA	24	39
9	23	25	4A
10	A2	26	5B
11	93	27	6C
12	6F	28	7D
13	E3	29	8E
14	E3	30	9F
15	C6	31	00



Se pide:

- Obtener la expresión canónica de las funciones F1 y F2
- Obtener la expresión minimizada de F1 y F2

Solución:

- a) Dado que siempre $A_4 = '1'$ y $A_2 = '0'$, las ocho direcciones que se pueden seleccionar con A, B y C, son:
- 16, 17, 18, 19, 24, 25, 26 y 27

Los bytes leídos son por tanto: A1, B2, C3, E4, 39, 4A y 5B

De estos bytes los bits D7 y D2 representan a F1 y F2 respectivamente. Por tanto:

$$F1 = \sum m(0, 1, 2, 3)$$

$$F2 = \sum m(3, 7)$$

- b) La simplificación de F1 y F2 será:

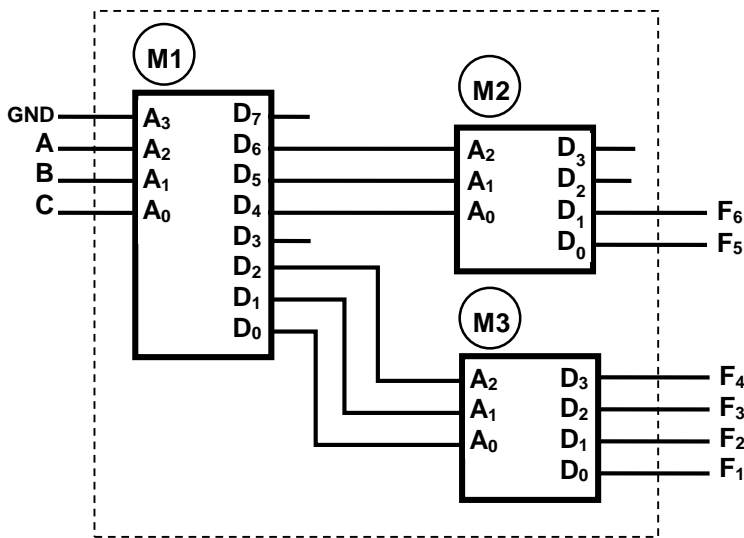
$$F1 = \overline{A}$$

$$F2 = B \cdot C$$

FUNDAMENTOS DE COMPUTADORES

EJERCICIOS U5: Componentes de memorización

U5.13. Para la realización de cierto circuito combinacional complejo, con múltiples funciones de salida, se han utilizado una serie de memorias conectadas tal y como muestra la figura. El contenido de cada memoria se muestra en las tablas de la derecha.



Memoria 1			
Dir.	Dato	Dir.	Dato
00	A5	08	B0
01	47	09	B0
02	8C	0A	CA
03	9C	0B	FE
04	FF	0C	C0
05	3F	0D	A1
06	7E	0E	AA
07	C1	0F	AB

Memoria 2	
Dir.	Dato
00	F
01	B
02	D
03	3
04	1
05	0
06	C
07	3

Memoria 3	
Dir.	Dato
00	A
01	B
02	B
03	F
04	D
05	E
06	5
07	5

Se pide, justificando la respuesta:

- Expresión canónica de la función F6
- Expresión minimizada de la función F1

Solución:

A	B	C	DATO	D ₆	D ₅	D ₄	DATO	F ₆	D ₂	D ₁	D ₀	DATO	F ₁
0	0	0	A5	0	1	0	D	0	1	0	1	E	0
0	0	1	47	1	0	0	1	0	1	1	1	5	1
0	1	0	8C	0	0	0	F	1	1	0	0	D	1
0	1	1	9C	0	0	1	B	1	1	0	0	D	1
1	0	0	FF	1	1	1	3	1	1	1	1	5	1
1	0	1	3F	0	1	1	3	1	1	1	1	5	1
1	1	0	7E	1	1	1	3	1	1	1	0	5	1
1	1	1	C1	1	0	0	1	0	0	0	1	B	1

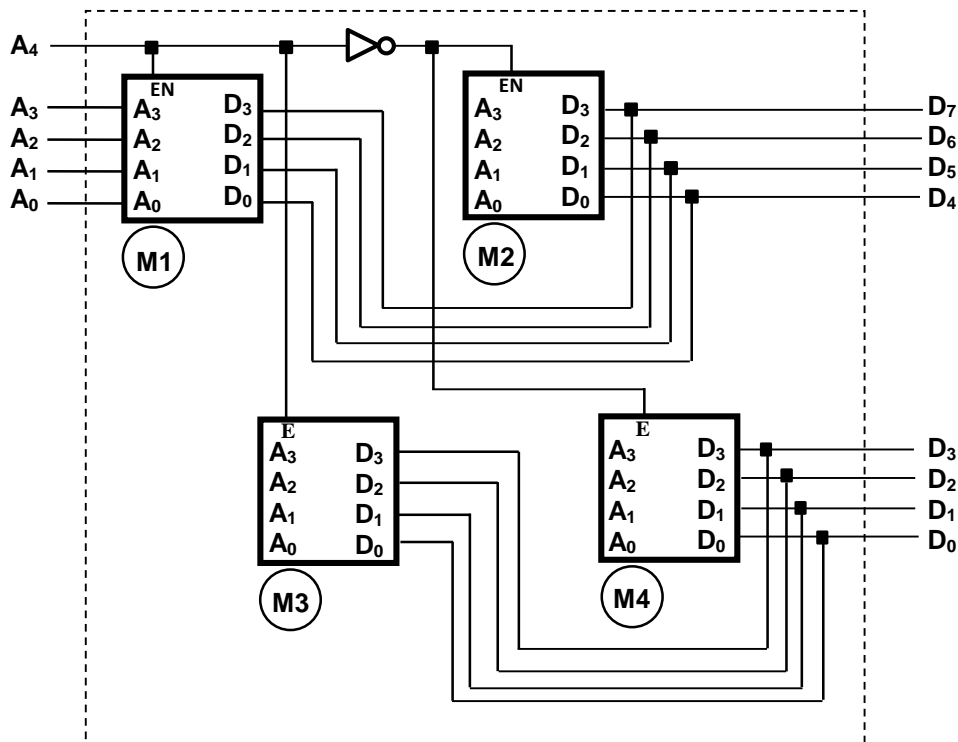
a) $F(A,B,C) = \sum m(2, 3, 4, 5, 6) = \prod M(0, 1, 7)$

b) $F(A,B,C) = \prod M(0) \Rightarrow F(A,B,C) = (A + B + C)$

FUNDAMENTOS DE COMPUTADORES

EJERCICIOS U5: Componentes de memorización

U5.14. Mediante la conexión de una serie de 4 memorias ROM con señal de habilitación activa en alto, se ha configurado una memoria de mayor dimensión según se muestra en la figura adjunta.



- a. Indique, justificando brevemente la respuesta, el tamaño de la memoria total dispuesta y la arquitectura del circuito diseñado.

Se trata de una memoria de 32 palabras, la dirección consta de 5 bits $A_4A_3A_2A_1A_0$, de 8 bits por palabra, $D_7D_6D_5D_4D_3D_2D_1D_0$.

La memoria se configura con 4 memorias de 16 palabras de 4 bits cada una, donde las 16 primeras palabras (dir: 0-15) de la memoria final se configuran con las memorias M2, los 4 msb (nibble alto), y M4, los 4 lsb (nibble bajo) y las 16 últimas (dir: 16-31) con las memorias M1, los 4 msb (nibble alto), y M3, los 4 lsb (nibble bajo).

- b. Sabiendo que el contenido de algunas de las posiciones de memoria que forma el conjunto es el mostrado en la tabla adjunta.

Memoria Total Conjunta									
Dir	Dato	Dir	Dato	Dir	Dato	Dir	Dato	Dir	Dato
00	A5	06	7E	0A	CA	15	0C	1C	D3
01	47	07	C1	0B	FE	16	C0	1D	EE
02	8C	08	B0	10	FA	17	3A	1E	5E
03	9C	09	B0	11	BA	18	A2	1F	55

Determine el contenido de cada una de las memorias individuales, para las direcciones que en cada caso se señalan en las tablas correspondientes a cada memoria individual.

M1	
Dir	Dato
0	F
5	0
D	E

M2	
Dir	Dato
0	A
3	9
A	C

M3	
Dir	Dato
1	A
8	2
F	5

M4	
Dir	Dato
2	C
7	1
B	E

Memoria 2: Nibble alto de las direcciones 00 a 0F. Memoria 1: Nibble alto de las direcciones 10 a 1F.

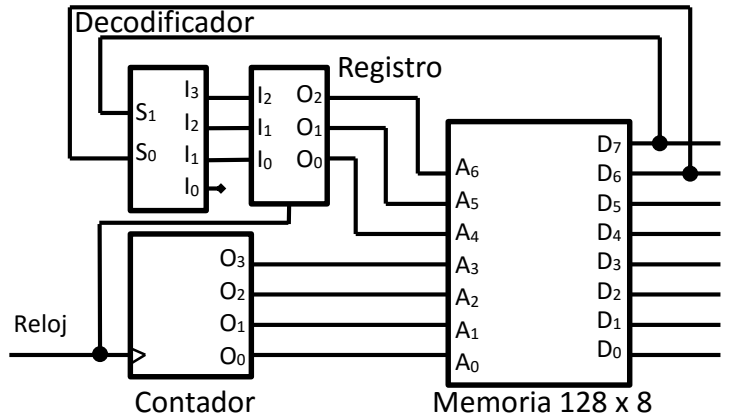
Memoria 4: Nibble bajo de las direcciones 00 a 0F. Memoria 3: Nibble bajo de las direcciones 10 a 1F.

FUNDAMENTOS DE COMPUTADORES

EJERCICIOS U5: Componentes de memorización

U5.15. En la figura se muestra un circuito formado por una memoria de 128 x 8, un contador de binario natural de 4 bits y un decodificador de 2 a 4 bits con las salidas registradas, tal y como señala la figura. Sabiendo que el contenido de la memoria es el mostrado en la tabla adjunta, se pide:

- Determinar de forma razonada si hay alguna posición de memoria que nunca se pueda direccionar.
- Partiendo de una situación de *reset* inicial, que pone a cero el registro y el contador, determinar la secuencia de valores en el bus de datos de la memoria para los 8 primeros pulsos de reloj. Justificar la respuesta.



DIRECCIÓN		A ₃ A ₂ A ₁ A ₀															
		<u>0</u>	<u>1</u>	<u>2</u>	<u>3</u>	<u>4</u>	<u>5</u>	<u>6</u>	<u>7</u>	<u>8</u>	<u>9</u>	<u>A</u>	<u>B</u>	<u>C</u>	<u>D</u>	<u>E</u>	<u>F</u>
A ₆ A ₅ A ₄	<u>0</u>	00	45	3B	2C	FC	6F	7E	1E	06	00	4E	5B	BC	BA	4A	3F
	<u>1</u>	00	53	E3	AE	3E	64	E3	E8	99	5C	B4	A3	2E	A1	00	04
	<u>2</u>	00	43	07	64	5B	5E	3F	FF	32	A2	14	55	76	CB	BC	AA
	<u>3</u>	00	56	54	B6	3B	BB	CE	F5	F4	F3	7F	89	F0	F0	B5	B0
	<u>4</u>	00	A2	B5	A1	A0	EA	30	40	54	6B	7F	5C	A3	D5	DC	DD
	<u>5</u>	00	A2	76	00	98	90	90	90	87	B7	89	09	04	0F	A4	A0
	<u>6</u>	00	5F	FF	4D	ED	4F	5C	AC	CA	FE	AB	CA	CA	6E	43	B7
	<u>7</u>	00	63	F4	F3	F8	F9	C4	C0	A0	A0	E3	26	77	65	F3	A1

SOLUCIÓN

- a) Los dígitos D₇ y D₆ de la memoria, activan las entradas S₁ y S₀ del decodificador.

Dependiendo de su valor 00, 01, 10 y 11, las salidas registradas I₃ I₂ I₁ tomarán los valores "000", "001", "010" y "100".

Estas salidas direccionan los bits de más peso de la dirección de memoria A₆ A₅ A₄. En consecuencia, sólo se puede acceder a las direcciones de la memoria que empiecen por dichos valores, es decir, sólo se podrán generar direcciones cuya parte alta sea 0, 1, 2 ó 4.

Sólo se podrá acceder a los datos de las filas señaladas en la tabla como 0_, 1_, 2_ y 4_

- b) Teniendo en cuenta que los bits más significativos del bus de datos determinan la dirección presente en el bus de dirección, la secuencia será:

Pulso	Reset	P1	P2	P3	P4	P5	P6	P7	P8
Dirección	00	01	12	43	24	15	16	47	18
Dato	00	45	E3	A1	5B	64	E3	40	99

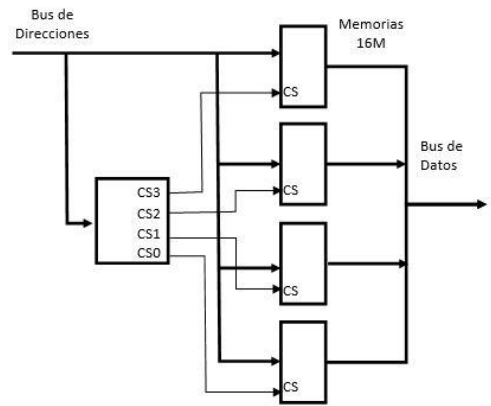
FUNDAMENTOS DE COMPUTADORES

EJERCICIOS U5: Componentes de memorización

U5.16. Utilizando 4 chips de memoria de 16MBytes se ha diseñado un sistema cuya capacidad es de 64MBytes, según se muestra en la figura.

Se pide, justificando todas las respuestas:

- Determinar el número de líneas del bus de direcciones de cada memoria.
- Determinar el número de líneas del bus de direcciones del conjunto total.
- Determinar el rango de direcciones, en hexadecimal, que se corresponde con cada memoria.
- Diseñar el circuito combinacional que, a partir de los bits correspondientes del bus de direcciones, genere las señales CS0, CS1, CS2 y CS3 de forma que permita activar la memoria que corresponda a cada conjunto de direcciones.



Solución.

- Dado que el tamaño de la memoria es de 16MB = 2^{24} Bytes $\Rightarrow \log_2(2^{24}) = 24$, es decir, el bus de direcciones de cada chip tiene 24 bits, de A_{23} a A_0 .
- Dado que el tamaño del sistema de memoria total es de 64MB = 2^{26} Bytes $\Rightarrow \log_2(2^{26}) = 26$, es decir, el bus de direcciones de dicho sistema tiene 26 bits, de A_{25} a A_0 .
- El rango de valores del bus de direcciones de todo el sistema, ya que tiene 26 bits, va de 0x00000000 hasta 0x3FFFFFFF. Como hay 4 memorias iguales, el rango de direcciones de cada memoria será:

	Rango de valores
Memoria 0	00000000 – 0FFFFFFF
Memoria 1	10000000 – 1FFFFFFF
Memoria 2	20000000 - 2FFFFFFF
Memoria 3	30000000 - 3FFFFFFF

- Del punto a) se sabe que a la memoria se conectan 14 bits del bus de direcciones, es decir, del A_0 al A_{13} . Del punto b) se sabe que el sistema tiene un total de 16 bits, es decir, “sobran” dos bits del bus de direcciones y son estos los que se utilizan para distinguir qué memoria se debe seleccionar:

A_{25}	A_{24}	CS3	CS2	CS1	CS0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

$$CS0 = \overline{A_{25}} \cdot \overline{A_{24}}$$

$$CS1 = \overline{A_{25}} \cdot A_{24}$$

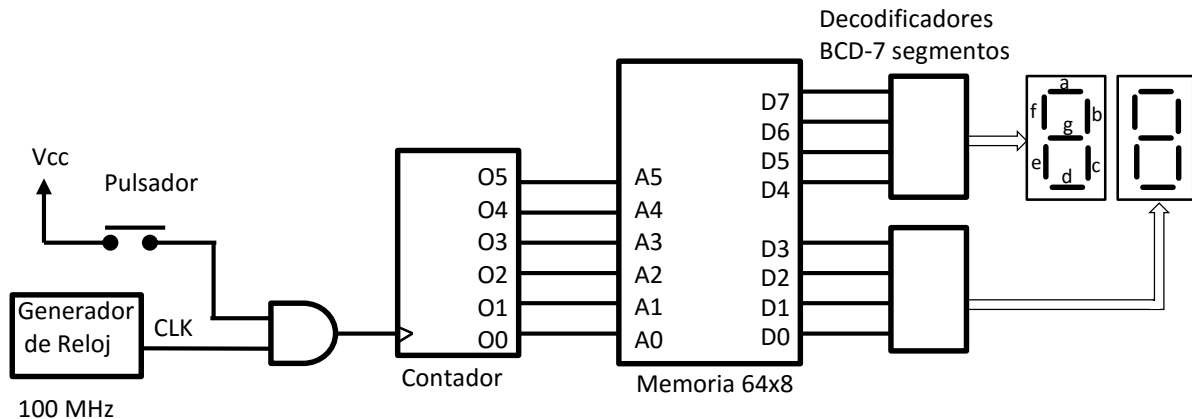
$$CS2 = A_{25} \cdot \overline{A_{24}}$$

$$CS3 = A_{25} \cdot A_{24}$$

FUNDAMENTOS DE COMPUTADORES

EJERCICIOS U5: Componentes de memorización

U5.17. El circuito de la figura representa un generador pseudo-aleatorio de números para rellenar un boleto de la Loto (lotería que, básicamente, consiste en seleccionar 6 números entre el 1 y el 49 elegidos al azar).



El circuito está compuesto por un generador de una señal de reloj de 100MHz, cuya salida sólo se activa al presionar un pulsador y mientras éste esté pulsado (se asume que al liberar el pulsador, la entrada correspondiente del pin de la puerta AND se pone a cero). La señal de reloj activa la entrada de un contador en binario natural de 6 bits. La salida del contador está conectada al bus de direcciones de una memoria, cuyo contenido son los números del 01 al 49, según se muestra en la tabla adjunta. En los 4 bits más significativos se almacenan las decenas y en los 4 menos significativos las unidades. Para representar estos números, se cuenta con dos displays de 7 segmentos, conectados a la memoria a través de sendos decodificadores BCD a 7 segmentos.

La pseudo-aleatoriedad se consigue por la velocidad del reloj, cada 10 ns se produce un incremento en el contador, es decir, cada segundo el contador da más de un millón y medio de vueltas, por lo que intentar parar la cuenta en un punto determinado es imposible.

DIRECCIÓN		A ₃ A ₂ A ₁ A ₀															
		<u>0</u>	<u>1</u>	<u>2</u>	<u>3</u>	<u>4</u>	<u>5</u>	<u>6</u>	<u>7</u>	<u>8</u>	<u>9</u>	<u>A</u>	<u>B</u>	<u>C</u>	<u>D</u>	<u>E</u>	<u>F</u>
A ₅ A ₄	<u>0</u>	01	02	03	04	05	06	07	08	09	10	11	12	13	14	15	16
	<u>1</u>	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32
	<u>2</u>	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48
	<u>3</u>	49	01	02	03	04	05	06	07	08	09	10	11	12	13	14	15

Tabla del contenido de la memoria

Se pide, **justificando** las respuestas:

- a) Rellenar la tabla de verdad adjunta para el decodificador BCD-7 segmentos (4 entradas y 4 de los segmentos de las 7 salidas).

Entradas				Segmentos					Entradas				Segmentos			
D7	D6	D5	D4	a	b	c	g		D7	D6	D5	D4	a	b	c	g
0	0	0	0	1	1	1	0		1	0	0	0	1	1	1	1
0	0	0	1	0	1	1	0		1	0	0	1	1	1	1	1
0	0	1	0	1	1	0	1		1	0	1	0	X	X	X	X
0	0	1	1	1	1	1	1		1	0	1	1	X	X	X	X
0	1	0	0	0	1	1	1		1	1	0	0	X	X	X	X
0	1	0	1	1	0	1	1		1	1	0	1	X	X	X	X
0	1	1	0	1	0	1	1		1	1	1	0	X	X	X	X
0	1	1	1	1	1	1	0		1	1	1	1	X	X	X	X

- b) Partiendo de una posición inicial en la que el contador está a cero, ¿Cuál será el valor de salida en los displays si el pulsador se activa durante exactamente 875ms?

FUNDAMENTOS DE COMPUTADORES
EJERCICIOS U5: Componentes de memorización

- c) En el diseño planteado, ¿hay algún número que tenga más probabilidad de salir que otro? De ser así, ¿cómo se podría solucionar? No hace falta que implemente la solución, sólo enúnciela de forma razonada.
- d) Diseñar un circuito cuya salida se ponga a uno cada vez que el número mostrado en el display sea el 49.

SOLUCION

- b) En 875 msec = $875 \cdot 10^6$ nsec. Como una cuenta tarda 10 nsec, suponen $1.367.187 \cdot 64 + 32$ cuentas. El contador señalará el valor 32.

En consecuencia, $A_5 A_4 A_3 A_2 A_1 A_0 = 10\ 0000$, el dato que se lee de memoria es 33.

Los displays señalarán 3 y 3 respectivamente.

- c) Los números comprendidos del 01 al 15 tiene el doble de posibilidades de salir que el resto, puesto que están dos veces presentes en memoria.

Una solución válida supone resetear/inicializar el contador a 0, al alcanzar la cuenta de 49.

- d) En el circuito propuesto, la salida se debe activar cuando en el contador direcciona en la memoria la posición cuyo valor contenido sea el 49, es decir la cuenta en hexadecimal 30_{16} , es decir $11\ 0000_2$.

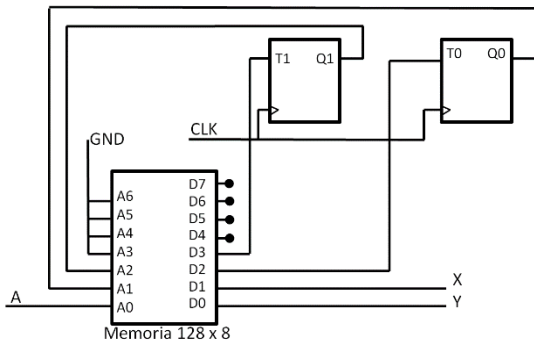
No hace falta hacer el mapa de Karnaugh, basta con implementar la lógica para el minterm que defina el valor '1' de la función con la cuenta pedida.

$$F = A_5 A_4 \overline{A_3} \overline{A_2} \overline{A_1} \overline{A_0}$$

FUNDAMENTOS DE COMPUTADORES

EJERCICIOS U5: Componentes de memorización

U5.18. El circuito de la figura representa un circuito secuencial, cuya lógica combinacional se ha implementado mediante una memoria ROM, que utiliza dos biestables tipo T. El contenido de la ROM se muestra en la tabla.



DIRECCIÓN		A ₃ A ₂ A ₁ A ₀															
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
A ₆ A ₅ A ₄	0	07	42	34	23	F7	69	7D	10	06	00	4E	5B	BC	BA	4A	3F
	1	00	53	E3	AE	3E	64	E3	E8	99	5C	B4	A3	2E	A1	00	04
	2	00	43	07	64	5B	5E	3F	FF	32	A2	14	55	76	CB	BC	AA
	3	00	56	54	B6	3B	BB	CE	F5	F4	F3	7F	89	F0	F0	B5	B0
	4	00	A2	B5	A1	A0	EA	30	40	54	6B	7F	5C	A3	D5	DC	DD
	5	00	A2	B6	00	98	90	90	90	87	B7	89	09	04	0F	A4	A0
	6	00	5F	FF	4D	ED	4F	5C	AC	CA	FE	AB	CA	CA	6E	43	B7
	7	00	63	F4	F3	F8	F9	C4	C0	A0	A0	E3	26	77	65	F3	A1

Se pide:

- Justificando los valores obtenidos, escribir la tabla de transición de la FSM implementada.
- Justificar si el diseño es tipo Moore o Mealy
- Representar el diagrama de estados

SOLUCIÓN:

a)

Entradas			Estado Siguiente		Ecuaciones de Estado		Salidas	
Q ₁ ⁿ	Q ₀ ⁿ	A	Q ₁ ⁿ⁺¹	Q ₀ ⁿ⁺¹	T1	T0	X	Y
0	0	0	0	1	0	1	1	1
0	0	1	0	0	0	0	1	0
0	1	0	0	0	0	1	0	0
0	1	1	0	1	0	0	1	1
1	0	0	1	1	0	1	1	1
1	0	1	0	0	1	0	0	1
1	1	0	0	0	1	1	0	1
1	1	1	1	1	0	0	0	0

Las columnas de "Ecuaciones de Estado" y "Salidas" se obtienen directamente de la memoria, son los cuatro bits menos significativos de las direcciones 0 a 7, tal como están conectadas las entradas de direccionamiento de la memoria.

Las columnas del "Estado Siguiente" se obtienen tras aplicar el valor de la ecuación de estado a cada uno de los biestables, para todas las combinaciones del estado actual.

b) El diseño es tipo Mealy, se observa por ejemplo, que para un mismo estado $Q_1Q_0 = 00$, la salida Y es diferente para los dos valores de la entrada.

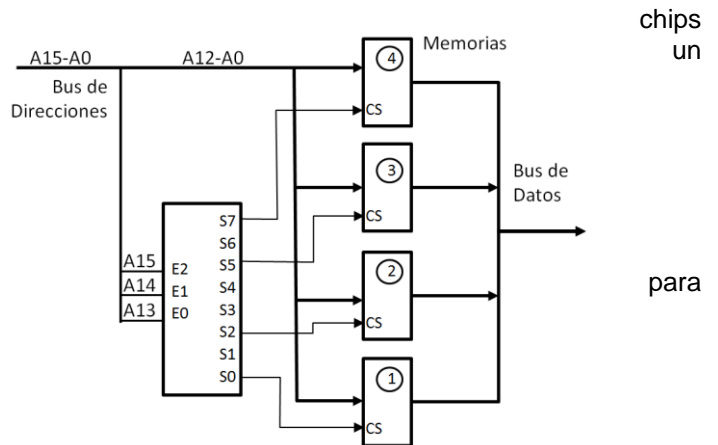
FUNDAMENTOS DE COMPUTADORES

EJERCICIOS U5: Componentes de memorización

U5.19. P4.- En la figura se muestra un conjunto de 4 de memoria, cuyo pin de selección (CS) proviene de decodificador 3 a 8.

Se pide, razonando la respuesta:

- Determinar el tamaño de cada una de las memorias
- Determinar el tamaño de la memoria total formada
- Indicar para cada memoria, el rango de direcciones las que se activa o es seleccionada.



SOLUCIÓN:

- Dado que las líneas de dirección que le llega a cada chip de memoria es de A12 a A0, es decir, 13 líneas, el tamaño de cada memoria será de 2^{13} , es decir, 8KBytes.
- El conjunto de memoria está formada por 4 chips de memoria de 8KBytes cada una, por lo que la cantidad de memoria total será de 32KBytes.
- El rango de direccionamiento se corresponde con los valores que pueden tomar las líneas del bus de direcciones, siendo los bits A15, A14 y A13 los que seleccionan cada uno de los chips, según las salidas conectadas del decodificador.

Con esto, empezando por la memoria de abajo (1) y de forma ascendente, los rangos solicitados serán:

Memoria	Salida activa decodificador		A15	A14	A13	A12-A0	Dirección
1	S0	Dir. más baja	0	0	0	0 0000 0000 0000	0x0000
		Dir. más alta	0	0	0	1 1111 1111 1111	0x1FFF
2	S1	Dir. más baja	0	1	0	0 0000 0000 0000	0x4000
		Dir. más alta	0	1	0	1 1111 1111 1111	0x5FFF
3	S2	Dir. más baja	1	0	1	0 0000 0000 0000	0xA000
		Dir. más alta	1	0	1	1 1111 1111 1111	0xBFFF
4	S3	Dir. más baja	1	1	1	0 0000 0000 0000	0xE000
		Dir. más alta	1	1	1	1 1111 1111 1111	0xFFFF

FUNDAMENTOS DE COMPUTADORES

EJERCICIOS U5: Componentes de memorización

U5.20. Se pretende diseñar un sistema de control basado en un microprocesador. Éste dispone de un bus de direcciones de 20 bits ($A_{19}:A_0$) y un bus de datos de 8 bits ($D_7:D_0$). La memoria RAM que se va a implementar en el sistema es de un total de 512 KBytes, utilizando chips de memoria de 128 KBytes. Sabiendo que la dirección inicial de cada uno de los chips de memoria es 0x00000, 0x60000, 0x80000 y 0xC0000 respectivamente,

Se pide:

- a) Indique la dirección inicial y final que van a ocupar cada uno de los chips de memoria.
 - b) Obtenga las ecuaciones para la lógica de selección que permita activar el CS (*Chip Select*) de cada una de las memorias. Se valorará las ecuaciones más simplificadas posibles.
- a) Como la capacidad de cada una de las cuatro memorias es de 128 kBytes = 2^{17} bytes, necesita 17 líneas de direccionamiento ($A_{16}:A_0$) y en consecuencia utiliza los 3 msb del direccionamiento ($A_{19}:A_{17}$) para su identificación y selección.

	Dir. Inicial: 0x00000 => 0000 0000 0000
MEM1	Dir. Final: 0001 1111 1111 => 0x1FFFF
	Dir. Inicial: 0x60000 => 0110 0000 0000
MEM2	Dir. Final: 0111 1111 1111 => 0x7FFFF
	Dir. Inicial: 0x80000 => 1000 0000 0000
MEM3	Dir. Final: 1001 1111 1111 => 0x9FFFF
	Dir. Inicial: 0xC0000 => 1100 0000 0000
MEM4	Dir. Final: 1101 1111 1111 => 0xDFFFF

- b) Por tanto las ecuaciones de selección cumplen con la tabla de verdad:

	A_{19}	A_{18}	A_{17}	CS1	CS2	CS2	CS4
MEM1	0	0	0	1	0	0	0
MEM2	0	1	1	0	1	0	0
MEM3	1	0	0	0	0	1	0
MEM4	1	1	0	0	0	0	1

$$CS1 = \overline{A_{19}} \cdot \overline{A_{18}} \cdot \overline{A_{17}} ; \text{ Mayor simplificación: } CS1 = \overline{A_{19}} \cdot \overline{A_{18}}$$

$$CS2 = \overline{A_{19}} \cdot A_{18} \cdot A_{17} ; \text{ Mayor simplificación: } CS2 = A_{17}$$

$$CS3 = A_{19} \cdot \overline{A_{18}} \cdot \overline{A_{17}} ; \text{ Mayor simplificación: } CS3 = A_{19} \cdot \overline{A_{18}}$$

$$CS4 = A_{19} \cdot A_{18} \cdot \overline{A_{17}} ; \text{ Mayor simplificación: } CS4 = A_{19} \cdot A_{18}$$