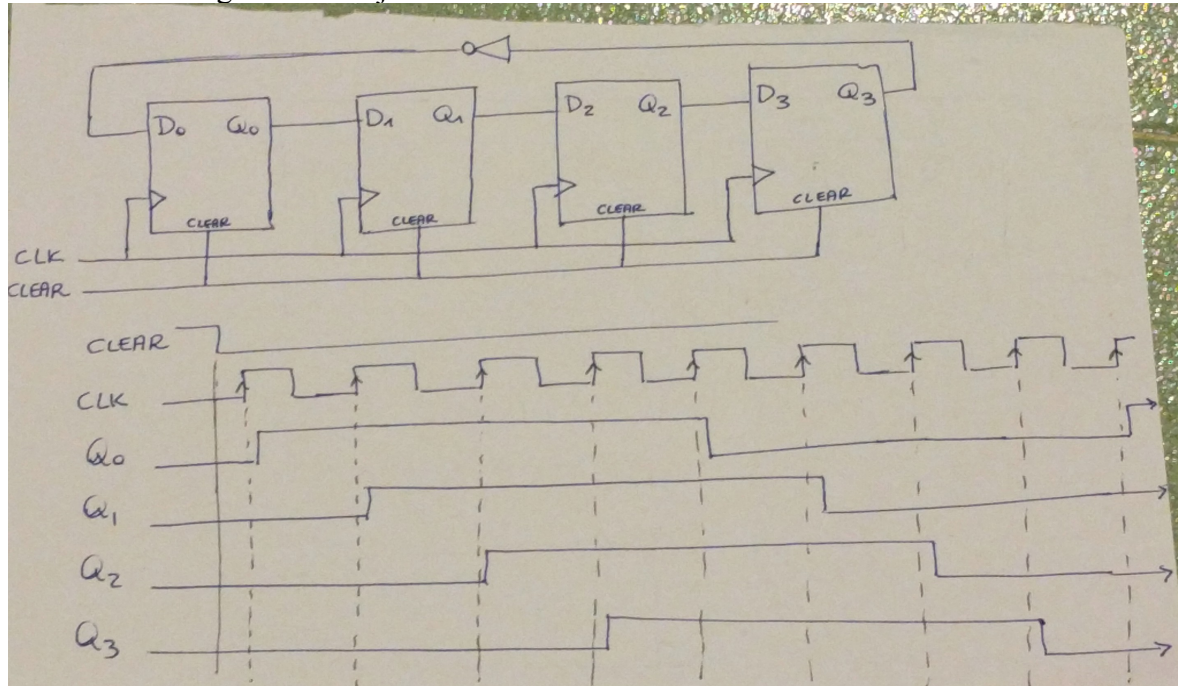
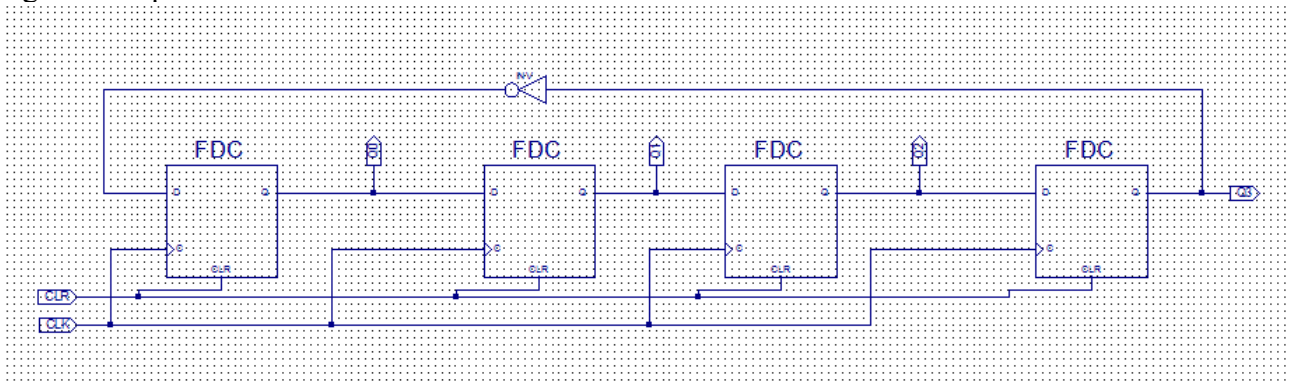


MEMORIA PRÁCTIA 3 – David Cabornero y Alejandro Santorum (P9)

En el **primer ejercicio** a implementar se nos pedía combinar 4 biestables tipo D, todos sincronizados por el mismo reloj y alimentados con el mismo reset asíncrono, conectando cada salida del biestable a la entrada del siguiente y la salida del último conectada a la primera con un inversor de por medio. Se muestra a continuación un breve esquemático del circuito y la corta realización de un diagrama de flujo antes incluso de hacer la simulación:

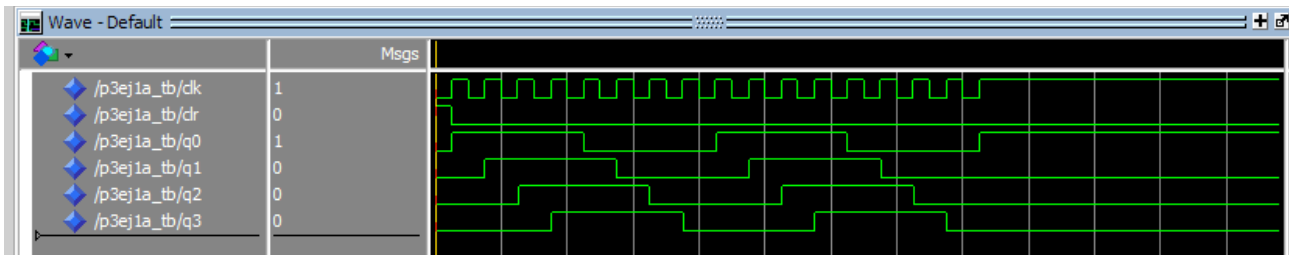


Continuamos diseñando el circuito esbozado anteriormente en Xilinx, finalizando con el siguiente aspecto:



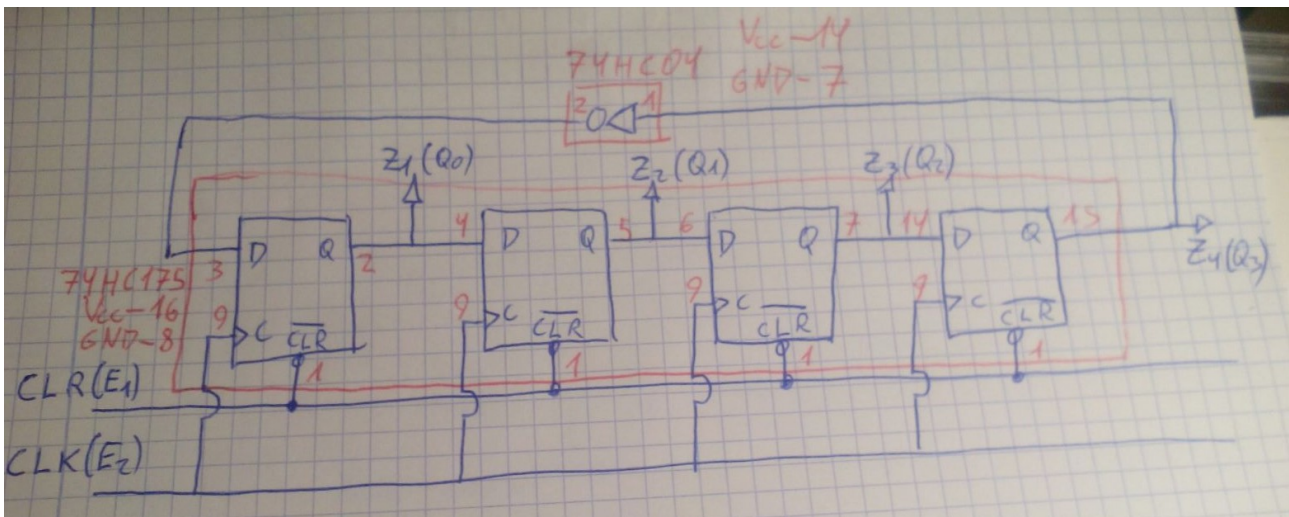
Su funcionamiento no es complicado: cuando la señal de clear(asíncrono) está en el estado lógico de “1” todas las salidas se ponen a “0” sin importar el estado de las entradas. En el momento que el clear pasa a “0” las salidas (Q0, Q1, Q2, Q3) podrán cambiar su estado cuando les llega un flanco activo de reloj y con dependencia del valor de las entradas. Al ser un biestable tipo D, el estado de la salida es el mismo que el estado en la entrada en el momento que le llega el flanco activo de reloj. Esta información nos permitió obtener el diagrama de flujo esbozado en la primera imagen.

Dicho lo anterior, procedemos a realizar la simulación del esquemático de Xilinx, esperando obtener el mismo resultado. La simulación adoptó la siguiente forma:



En los primeros 9 flancos de reloj la simulación muestra un diagrama idéntico al esbozado. En la simulación se alcanzan más flancos de reloj y podemos observar que las salidas (Q0, Q1, Q2, Q3) adoptan el valor correcto en todo momento.

Para la futura implementación física se requiere el diagrama de montaje, el cual especifica las conexiones de pines entre los diferentes circuitos integrados que se poseen, finalizando con el siguiente aspecto, listo para guiar al alumno en el montaje:

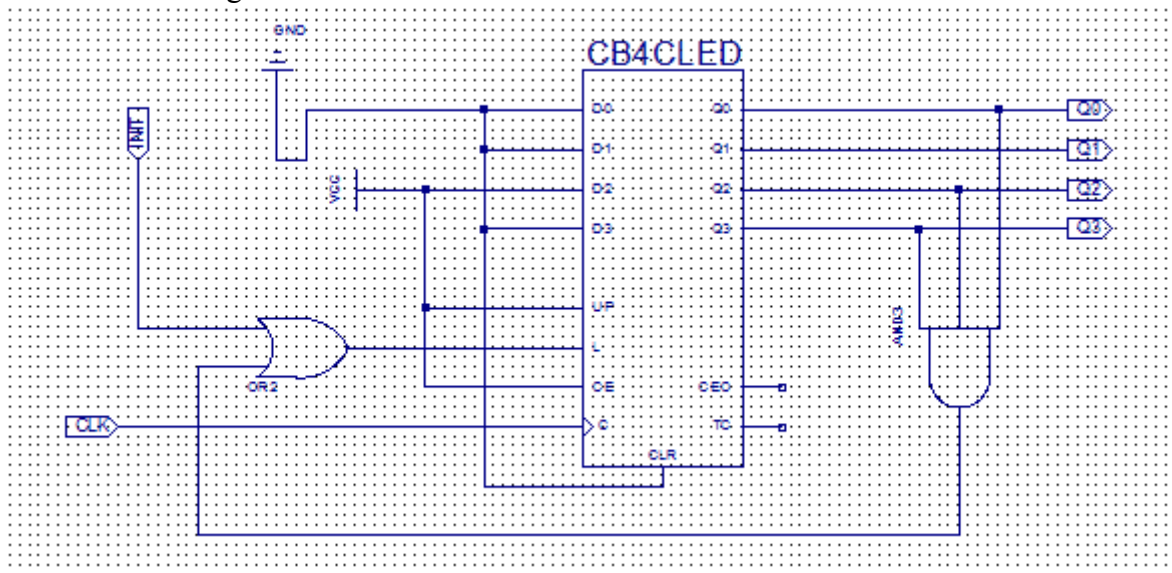


NOTA: El circuito integrado aportado en el laboratorio 74HC175 posee un CLEAR asíncrono activo a nivel bajo, por lo que a la hora del montaje se tendrá en mente que el reset estará activado cuando la entrada clear adopte el valor “0”, por lo que en la gran mayoría del tiempo se tendrá el interruptor E2 en la posición que envía un “1” lógico.

Esta semana el montaje será de dos circuitos diferentes. Ya mostrado el primero, vamos a detallar el **segundo**.

Se pedía realizar un contador que contase de n a 13 cíclicamente (n es el dígito más significativo distinto de cero del DNI del alumno más joven de la pareja). El circuito debía ser totalmente asíncrono exceptuando el “reseteo” inicial. Además, justo después del valor inicial de reset (0000), el contador debía pasar al valor n y a partir de ahí contar hasta cíclicamente hasta 13.

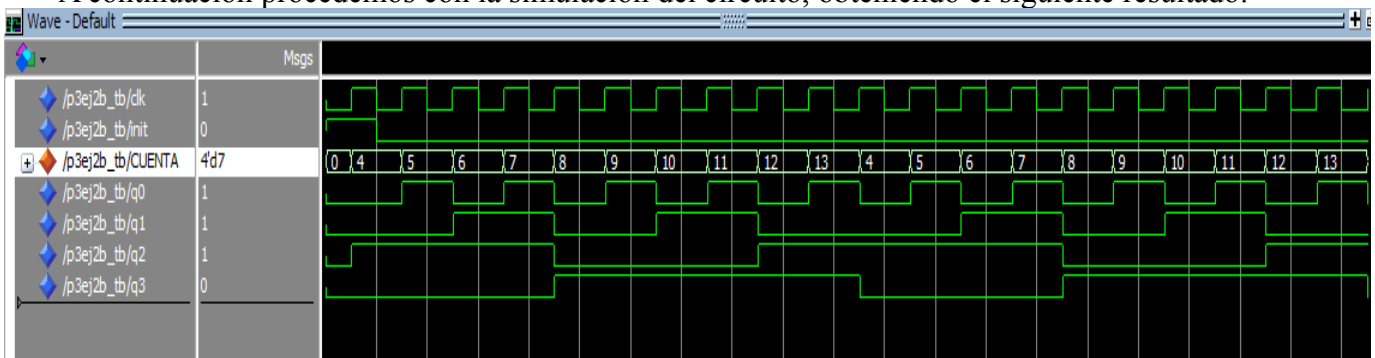
Después de estudiar el funcionamiento del símbolo *cb4cled* de Xilinx, podemos finalizar el esquemático con el siguiente circuito:



Su funcionamiento no es tan sencillo como el ejercicio 1. Este circuito integrado cuenta de 0 a 15 o de 15 a 0 dependiendo si a la entrada **UP** le llega el valor lógico “1” o “0” respectivamente. El estado de la cuenta cambia cuando le llega un flanco activo de reloj por la entrada **C** (clock). Se puede cargar un dígito codificado en binario en las entradas D0, D1, D2, D3 cuando se activa la señal **L** (load), lo que nos permite contar de ese dígito a 15 o a 0 (dependiendo de la nombrada entrada **UP**). La entrada **CE** (counting enable) debe estar activada para que el circuito integrado cuente. La entrada **CLR** (clear) es para poner a “0” todas las salidas.

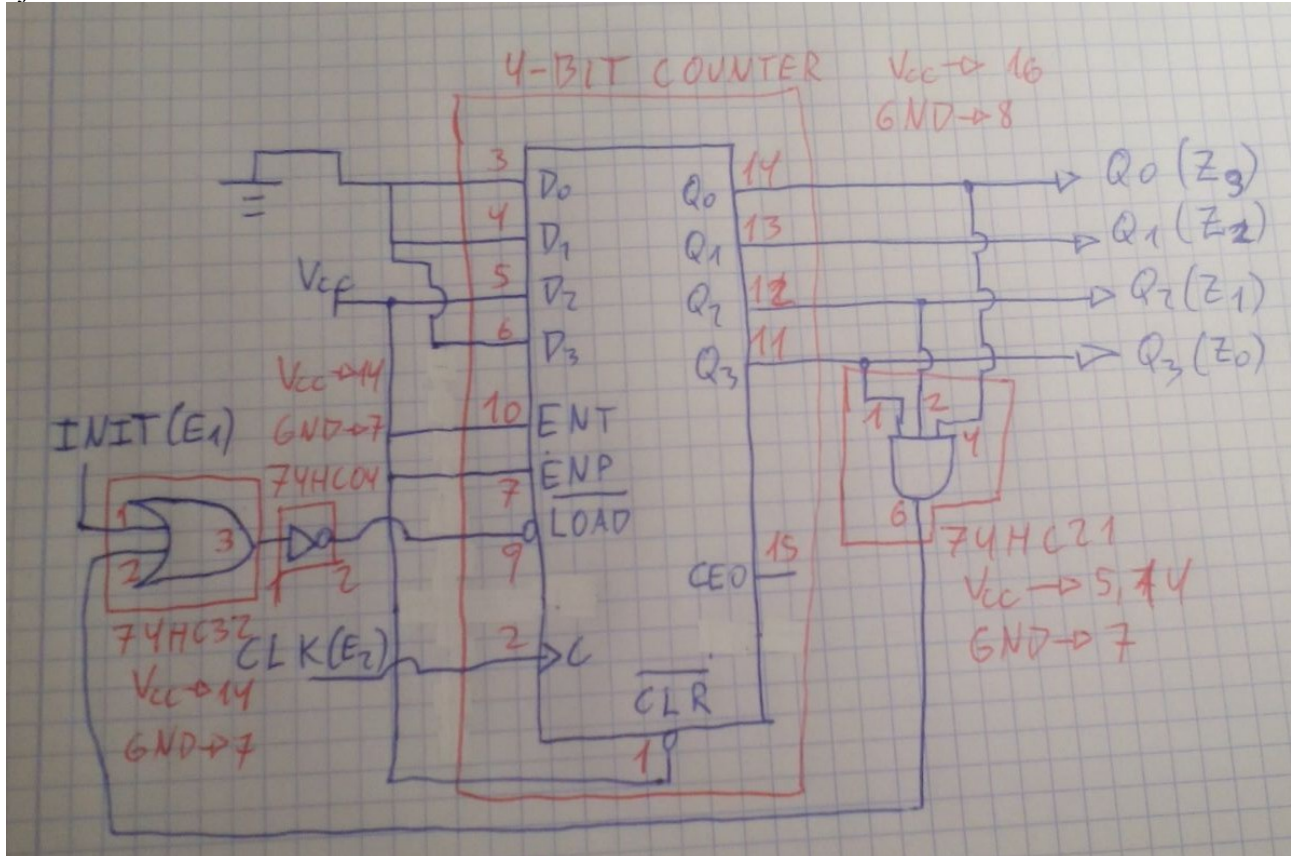
En nuestro caso, como queremos que cuente de n a 13, primero activamos con la entrada externa **INIT** la entrada del circuito integrado L (load) para que nos cargue el dígito que hemos seleccionado (configurado con la combinación de Vcc y GND en las entradas D0,D1,D2,D3) y para que cuando la cuenta llegue a 13 vuelva a empezar hemos dispuesto una puerta and, que cuando se da la correcta combinación en binario, vuelve a activar L para reanudar la cuenta desde n (en nuestro caso 4).

A continuación procedemos con la simulación del circuito, obteniendo el siguiente resultado:



En la simulación hemos dispuesto una salida auxiliar combinada de las 4 reales del circuito (Q_0, Q_1, Q_2, Q_3) para facilitar la interpretación. Se puede observar que empieza en 0 debido al reset inicial y tan pronto como la entrada INIT junto con el flanco activo de reloj la salida ya adopta el valor de 4 y de ahí, cíclicamente hasta 13, tal y como pedía el enunciado.

Por último, para tener todo listo para el montaje, realizamos el diagrama de montaje de este ejercicio:



NOTA: El diagrama de montaje cambia ligeramente del esquemático de Xilinx mostrado anteriormente debido a que el circuito integrado aportado en el laboratorio tiene un clear asíncrono activo a nivel bajo, por lo que se conectará a Vcc y no a GND.

Al mismo tiempo, la entrada Load también es activa a nivel bajo, por lo que se colocará un inversor entre la puerta OR y el CI.