
Práctica 1

Diseño y Montaje de Funciones Lógicas

INTRODUCCIÓN:

El objetivo de esta práctica es continuar con el manejo del diseño de esquemáticos y la simulación de circuitos digitales utilizando Xilinx ISE. En esta práctica se plantean una serie de ejercicios sobre diseño de funciones lógicas con puertas elementales.

En primera semana correspondiente a esta práctica, los estudiantes deben realizar el diseño y simulación de los ejercicios utilizando la herramienta Xilinx. La segunda semana se realizará el montaje de uno de los ejercicios realizados anteriormente.

Parte 1: diseño y simulación

Ejercicio 1 (2,5 ptos): Tabla de verdad

Realizar un circuito que detecte cada vez que se establezcan en las entradas las combinaciones correspondientes a las 4 últimas cifras no repetidas del DNI del integrante más joven de cada pareja. Además, la salida deberá también valer 1 para las combinaciones 12 y 14. Por ejemplo si el DNI a detectar fuera el 12.457.507 se deberá realizar un circuito cuya salida se ponga a 1 para los valores de entrada: 7, 0, 5, 4, 12, y 14.

- Simplificad la función utilizando mapas de Karnaugh.
- Realizad el diseño del circuito simplificado usando los esquemáticos de Xilinx.
- Realizar una segunda implementación utilizando únicamente puertas de tipo NAND
- Realizad la simulación que demuestre el funcionamiento correcto del circuito diseñado en apartados b y c.

Para probar el correcto funcionamiento del diseño se proporciona un fichero de testbench p1ej1_tb.vhd". Para que el banco de pruebas funcione correctamente se debe cumplir lo siguiente:

- ✓ Nombre del componente: p1ej1
- ✓ Nombre de las entradas: A, B, C, D
- ✓ Nombre de la salida: Z

A	B	C	D	Z
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

Ejercicio 2 (2,5 ptos): Maxterms y minterms

Dada la función lógica de cuatro variables:

$$Z = (\overline{D} + \overline{B} + \overline{A})(\overline{D} + \overline{C} + B + A)(\overline{D} + C + \overline{B} + A)(\overline{D} + C + B + \overline{A})(D + B + \overline{A})(D + C + \overline{A})$$

Se pide:

- Escribir su tabla de verdad.
- Utilizando mapas de Karnaugh, reducir la función a una suma de productos mínima.
- Utilizando mapas de Karnaugh, reducir la función a un producto de sumas mínimo.
- Diseñar con Xilinx los circuitos asociados a las dos simplificaciones anteriores, y mostrar mediante simulación que son equivalentes.

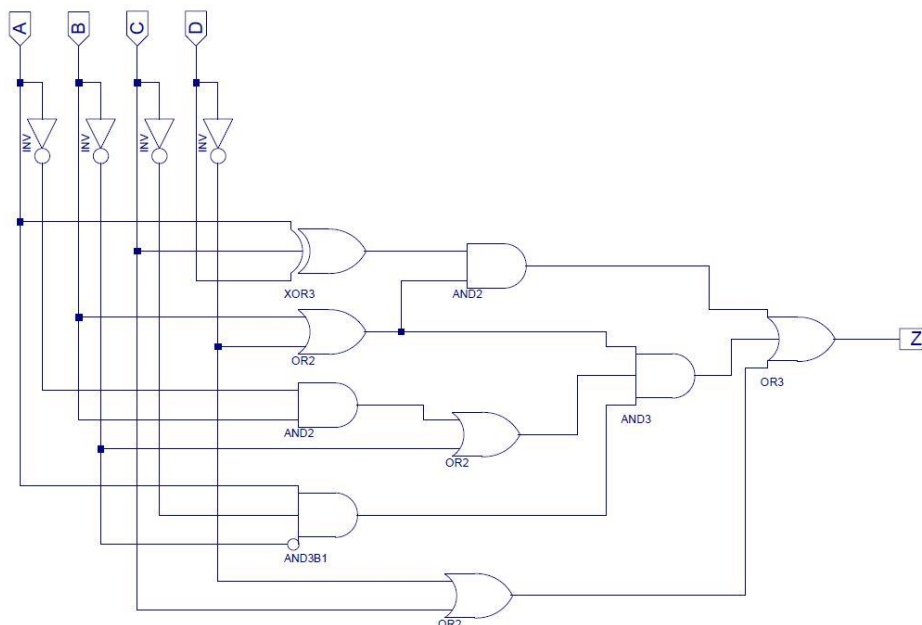
Para probar el correcto funcionamiento del diseño del apartado d) se proporcionan dos ficheros de testbench "p1ej2a_tb.vhd" y "p1ej2b_tb.vhd". Para que el banco de pruebas funcione correctamente se debe cumplir lo siguiente:

- ✓ Nombre del componente para suma de productos: p1ej2a
- ✓ Nombre del componente para producto de sumas: p1ej2b
- ✓ Nombre de las entradas: A, B, C, D
- ✓ Nombre de la salida: Z

Ejercicio 3 (2,5 ptos): Circuito lógico

Utilizando el siguiente circuito lógico combinacional como diseño de partida:

- a) Escribir la ecuación lógica de la salida Z como función de las entradas y representar el circuito de la imagen con las mismas puertas combinacionales utilizando Xilinx.



Para probar el correcto funcionamiento del diseño se proporciona un fichero de testbench "p1ej3a_tb.vhd". Para que el banco de pruebas funcione correctamente se debe cumplir lo siguiente:

- ✓ Nombre del componente: p1ej3a
- ✓ Nombre de las entradas: A, B, C, D
- ✓ Nombre de la salida: Z

b) Simplificar el diseño anterior y representar el esquemático de la forma reducida del circuito combinacional utilizando únicamente puertas de tipo NOR e inversores.

Para probar el correcto funcionamiento del diseño se proporciona un fichero de testbench “p1ej3b_tb.vhd”. Para que el banco de pruebas funcione correctamente se debe cumplir lo siguiente:

- ✓ Nombre del componente: p1ej3b
- ✓ Nombre de las entradas: A, B, C, D
- ✓ Nombre de la salida: Z

Ejercicio 4 (2,5 ptos): Circuito sumador binario completo

Un sumador elemental completo para sumar dos bits A y B con un bit de acarreo procedente de la suma de los bits de menos peso anteriores (C_{in}), es un ejemplo de circuito combinacional, para en el que las ecuaciones lógicas adjuntas definen su funcionamiento para las funciones suma (S) y acarreo de salida (C_{out}).

$$S = A \oplus B \oplus C_{in}$$

$$C_{out} = AB + AC_{in} + BC_{in}$$

En primer lugar, se pide completar la tabla de verdad adjunta para el circuito.

Entradas			Salidas	
C_{in}	A	B	S	C_{out}
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

Una vez terminado esta tarea se deberá:

- a) Utilizando puertas lógicas discretas, diseñe el circuito dado y simúlelo para comprobar que el diseño es funciona correctamente. Para la simulación se proporciona un fichero de testbench “p1ej4a_tb.vhd”. Para que el banco de pruebas funcione correctamente se debe cumplir lo siguiente:

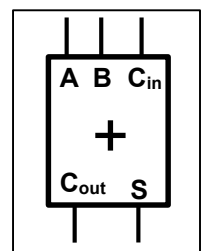
Nombre del componente: p1ej4a

Nombre de las entradas: Cin, A y B

Nombre de las salidas: S y Cout

- b) Una vez comprobado el funcionamiento del circuito sumador de un bit, crear un nuevo componente (símbolo) como el aspecto del bloque de la figura. Nombre el símbolo con el mismo nombre del esquemático del que procede “p1ej4a” y utilice este componente para diseñar y simular un circuito que sume dos números de 4 bits “ $a_3a_2a_1a_0$ ” y “ $b_3b_2b_1b_0$ ”.

Nota: No utilice elemento de ISE “add4”, el objetivo de este ejercicio es practicar el diseño de nuevos componentes del usuario para futuras implementaciones.



- c) Pruebe el correcto funcionamiento del diseño sumador de 4 bits, con el testbench facilitado “p1ej4b_tb.vhd”. Para que el banco de pruebas funcione correctamente se debe cumplir lo siguiente:

- ✓ Nombre del componente: p1ej4b
- ✓ Nombre de las entradas: a3, a2, a1, a0, b3, b2, b1, b0 y Cin
- ✓ Nombre de las salidas: s3, s2, s1, s0 y Cout

Parte 2: Montaje (segunda semana)

Realizar el montaje, utilizando la **cantidad de componentes mínima posible**, del ejercicio 2 realizado la semana anterior. Los pasos a seguir son:

1. Verificar y optimizar, partiendo del esquemático generado durante la fase de diseño y simulación, la cantidad de componentes necesarios para realizar el montaje.
2. En caso de que se decida modificar el diseño para acomodar mejor la cantidad de puertas a las existentes en cada circuito integrado con los que se realizará el montaje (4 puertas OR o AND, 6 inversores por chip), redibujarlo y volver a simular para asegurarse de que no se han cometido errores al adaptar ese diseño para encajarlo mejor dentro de los circuitos integrados disponibles.
3. A partir de este esquemático optimizado utilizar la técnica del back-annotate para realizar el diagrama de montaje

Todos estos pasos deberán ser realizados con anterioridad al día de realización de la práctica, siendo el montaje de componentes en los entrenadores la única tarea a realizar en el horario de clase.

La nota obtenida en el montaje será la máxima únicamente si se demuestra un funcionamiento correcto del diseño implementado utilizando la cantidad mínima posible de componentes. En caso contrario, montaje correcto pero realizado con más circuitos integrados que los estrictamente necesarios, se aplicará un factor de ponderación del 0,8.

Un buen diagrama de montaje **debe ser claro, completo** y no contener **ambigüedades** de ningún tipo. Debe poder montarlo alguien completamente **ajeno** al diseño sin necesidad de realizar preguntas ni consultar otra documentación que la incluida en el propio diagrama.

Entrega

Se deberá subir a Moodle, **antes del 19 de octubre para los grupos del miércoles y del 20 de octubre para los grupos del jueves**, una sencilla memoria que contendrá solamente los diseños y las simulaciones de los ejercicios que vayan a ser implementados físicamente en la segunda semana, en este caso el ejercicio 2. Es indispensable para la evaluación de esta memoria, la inclusión en la misma del esquema eléctrico (diagrama de montaje) **completo** del circuito o circuitos a implementar.

La memoria será subida por uno de los miembros de la pareja.

EVALUACION.

La nota de esta práctica se calcula de la siguiente manera:

$$\text{Nota Práctica 1} = 0,25 \cdot \text{Diseño} + 0,25 \cdot \text{MemDiagrama} + 0,25 \cdot \text{Montaje} + 0,25 \cdot \text{Examen}$$

- La evaluación del Diseño y Montaje se hará durante las correspondientes sesiones prácticas semanales.
- La evaluación de MemDiagrama se basa en la memoria entregada, y tendrá en cuenta aspectos como la adecuada simplificación de las funciones lógicas, la amplitud de la simulación realizada, y la calidad y claridad en el esquema para el montaje práctico.
- Durante los 15 primeros minutos de la clase de la siguiente práctica, se realizará un examen acerca de los diseños de la semana anterior. El objetivo de este examen es verificar que los estudiantes entienden la práctica y el diseño que han entregado.