
Práctica 3

Diseño de sistemas digitales secuenciales: flip-flops y contadores

INTRODUCCIÓN:

El objetivo de esta práctica es continuar con el manejo del diseño de esquemáticos y la simulación de circuitos digitales. En esta práctica se plantean una serie de ejercicios sobre diseño de sistemas secuenciales, principalmente utilizando flip-flops y contadores.

En primera semana correspondiente a esta práctica, los estudiantes deben realizar el diseño y simulación de todos los ejercicios utilizando la herramienta Xilinx ISE. La segunda semana se realizará el montaje de algunos de los ejercicios realizados anteriormente.

Parte 1: Diseño y simulación (primera semana)

Ejercicio 1: Circuito Delay

- a) **(1,5 ptos)** Combinar 4 biestables de tipo D (D0, D1, D2 y D3), sincronizados por el mismo reloj y alimentados con el mismo reset asíncrono (entrada CLR), conectando la salida de cada uno de ellos a la entrada del siguiente (y la salida del último a la entrada del primero pero esta última negada con un inversor). El biestable D corresponde al componente *fdc* en Xilinx ISE.

Describir en 2 o 3 líneas, junto con la forma de onda de la simulación realizada, el comportamiento del circuito y sus distintas salidas después de que se realice un reset general en la simulación (CLR activado).

Para probar el correcto funcionamiento del diseño se proporciona un fichero de testbench “p3ej1a_tb.vhd”. Para que el banco de pruebas funcione correctamente se debe cumplir lo siguiente:

Nombre del esquemático: p3ej1a.sch
Nombre de las entradas: CLK, CLR
Nombre de las salidas: Q0, Q1, Q2, Q3

- b) **(1,5 ptos)** Modificar el circuito anterior para que, después de que Q3 haya tomado el valor 1 lógico durante un ciclo de reloj, se reinicie la secuencia desde la posición 0000 para las 4 salidas.

Para probar el correcto funcionamiento del diseño se proporciona un fichero de testbench “p3ej1b_tb.vhd”. Para que el banco de pruebas funcione correctamente se debe cumplir lo siguiente:

Nombre del esquemático: p3ej1b.sch
Nombre de las entradas: CLK , CLR
Nombre de las salidas: Q0, Q1, Q2, Q3

Ejercicio 2: Contador de n estados

El símbolo *cb4cled* representa un circuito contador disponible en las librerías de símbolos de Xilinx ISE. Es un contador binario bidireccional de 4 bits (16 posiciones o estados diferentes) con entradas de carga, clock enable, dirección (cuenta hacia delante o hacia atrás) y reset asíncrono. Para conocer su funcionamiento en detalle se recomienda seleccionar este componente con el botón derecho del ratón -> Object Properties -> Symbol Info.

- a) **(2,0 ptos)** A partir del símbolo *cb4cled* realizar un contador que cuente en sentido descendente de n a 0 cíclicamente, donde n será dígito más significativo distinto de cero del DNI del miembro más joven de cada grupo. Para obtener la secuencia deseada debemos modificar externamente el funcionamiento del contador utilizando las puertas lógicas que sean necesarias. El circuito debe ser completamente síncrono excepto en el “reseteo” inicial.

Para probar el correcto funcionamiento del diseño se proporciona un fichero de testbench “p3ej2a_tb.vhd”. Para que el banco de pruebas funcione correctamente se debe cumplir lo siguiente:

Nombre del esquemático: p3ej2a.sch
Nombre de las entradas: CLK, INIT
Nombre de las salidas: Q3, Q2, Q1, Q0

- b) **(2,0 ptos)** A partir del símbolo *cb4cled* realizar un contador que cuente de n a 13 cíclicamente, donde n será valor utilizado en apartado a). Para obtener la secuencia deseada debemos modificar externamente el funcionamiento del contador utilizando las puertas lógicas que sean necesarias. El circuito debe ser completamente síncrono excepto en el “reseteo” inicial. Justo después del valor inicial de reset (“0000”), el contador debe pasar al valor n y a partir de ahí contar cíclicamente de n a 13.

Para probar el correcto funcionamiento del diseño se proporciona un fichero de testbench “p3ej2b_tb.vhd”. Para que el banco de pruebas funcione correctamente se debe cumplir lo siguiente:

Nombre del esquemático: p3ej2b.sch
Nombre de las entradas: CLK, INIT
Nombre de las salidas: Q3, Q2, Q1, Q0

Ejercicio 3: Contador como divisor de frecuencia (3,0 ptos)

Con dos contadores CD4CLE (contador BCD, de 0 a 9) conectados en cascada y las puertas lógicas necesarias, se debe realizar un circuito cuya señal de salida SIG_DIV será un pulso alto de un ciclo cada 35 ciclos de CLK, es decir, será una señal cuya frecuencia será la de CLK dividida por 35.

Para probar el correcto funcionamiento del diseño se proporciona un fichero de testbench “p3ej3_tb.vhd”. Para que el banco de pruebas funcione correctamente se debe cumplir lo siguiente:

Nombre del esquemático: p3ej3.sch
Nombre de las entradas: CLK, INIT
Nombre de las salidas: SIG_DIV

Parte 2: Montaje (segunda semana)

Realizar el montaje, utilizando la **cantidad de componentes mínima posible**, de los ejercicios (1a) (5 ptos) y (2b) (5 ptos) realizados la semana anterior. Los pasos a seguir son:

1. Comprobar el funcionamiento de los flip-flops y contador a utilizar (integrados 74HC175 y 74HC163), estudiando sus hojas de datos y sus diferencias con los componentes de Xilinx ISE
2. Verificar y optimizar, partiendo del esquemático generado durante la fase de diseño y simulación, la cantidad de componentes necesarios para realizar el montaje.
3. En caso de que se decida modificar el diseño para acomodar mejor la cantidad de puertas a las existentes en cada circuito integrado con los que se realizará el montaje, redibujarlo y volver a simular para asegurarse de que no se han cometido errores al adaptar ese diseño para encajarlo mejor dentro de los circuitos integrados disponibles.
4. A partir de este esquemático optimizado utilizar la técnica del back-annotate utilizada en el tutorial de montaje para realizar el diagrama de montaje

Todos estos pasos deberán ser realizados con anterioridad al día de realización de la práctica, siendo el montaje de componentes en los entrenadores la única tarea a realizar en el horario de clase.

Un buen diagrama de montaje **debe ser claro, completo** y no contener **ambigüedades** de ningún tipo. Debe poder montarlo alguien completamente **ajeno** al diseño sin necesidad de realizar preguntas ni consultar otra documentación que la incluida en el propio diagrama.

Entrega

La memoria correspondiente a esta práctica, debe contener los diseños y las simulaciones de los ejercicios que vayan a ser implementados físicamente en la segunda semana, en este caso ejercicios 1a y 2b. Es indispensable para la evaluación de esta memoria, la inclusión en la misma del esquema eléctrico (diagrama de conexiones para el montaje), del circuito o circuitos a implementar.

La memoria será subida a Moodle por uno de los miembros de la pareja, como máximo una semana después de su diseño en el laboratorio, que en este caso supone **antes del miércoles 16 de noviembre a las 23:55h para los grupos 1111, 1121, 1122, 1123, 1161, 1162 y 1163 y antes del jueves 17 de noviembre a las 23:55h para los grupos 1101 y 1102.**

ATENCIÓN: Con independencia de las fechas anteriores, **es indispensable para poder efectuar el montaje**, presentar al profesor antes de comenzar el turno correspondiente, el esquema eléctrico (diagrama de conexiones para el montaje) del circuito o circuitos a implementar.

EVALUACION.

La nota de esta práctica se calcula de la siguiente manera:

$$\text{Nota Práctica 2} = 0,25 \cdot \text{Diseño} + 0,25 \cdot \text{MemDiagrama} + 0,25 \cdot \text{Montaje} + 0,25 \cdot \text{Examen}$$

- La evaluación del Diseño y Montaje se hará durante las correspondientes sesiones prácticas semanales.
- La evaluación de MemDiagrama se basa en la memoria entregada, y tendrá en cuenta aspectos como la adecuada simplificación de las funciones lógicas, la amplitud de la simulación realizada, y la calidad y claridad en el esquema para el montaje práctico.
- Durante los 15 primeros minutos de la clase de la siguiente práctica, se realizará un examen acerca de los diseños de la semana anterior. El objetivo de este examen es verificar que los estudiantes entienden la práctica y el diseño que han entregado.