

FUNDAMENTOS DE COMPUTADORES

Ejercicios U2: Circuitos Combinacionales

U2_1. Se desea transmitir las primeras cuatro letras del alfabeto de un ordenador ORD1 a otro ORD2. En el primero las cuatro letras están codificadas en tres líneas X1, X2 y X3 y en el segundo tan sólo en dos, Y1 e Y2, según la tabla adjunta. Se pide realizar y dibujar un circuito combinacional que, utilizando sólo puertas NAND, sirva para realizar la conversión de código tal y como muestra la figura. **NOTAS:** Con una "X" se indica en la tabla que la variable puede tomar cualquier valor entre los posibles. La letra "A" se codifica como 01X o 100.

	A	B	C	D
X1	0 0 1	1	0	1
X2	1 0 0	1	0	0
X3	X 0 0	X	X	1
Y1	0	0	1	1
Y2	0	1	0	1



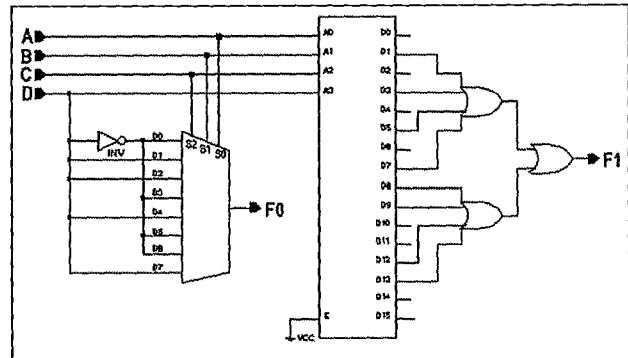
Solución:

$$Y1 = \overline{(X1 \cdot X2)} \cdot \overline{(X2 \cdot X3)}$$

$$Y2 = \overline{X1 \cdot X2 \cdot X1 \cdot X3}$$

U2_2. Dado el circuito de la figura, formado por un decodificador 4-16 y un multiplexor 8-1, se pide:

- Deducir la tabla de la verdad del sistema
- Simplificar las funciones lógicas F_1 y F_0
- Obtener expresiones que utilicen sólo puertas XOR y algún inversor si es necesario para F_0 y sólo puertas NAND para F_1



Solución:

$$a) F_0 = \sum m(0,3,5,6,9,10,12,15);$$

$$F_1 = \sum m(1,3,5,7,8,9,12,13)$$

$$b) F_0 = \overline{D} \overline{C} \overline{B} \overline{A} + \overline{D} \overline{C} B \overline{A} + \overline{D} C \overline{B} \overline{A} + \overline{D} C B \overline{A} + D \overline{C} \overline{B} \overline{A} +$$

$$D \overline{C} B \overline{A} + D C \overline{B} \overline{A} + D C B \overline{A}$$

$$F_1 = D \overline{B} + \overline{D} A$$

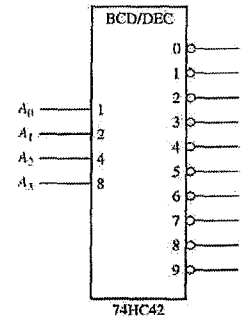
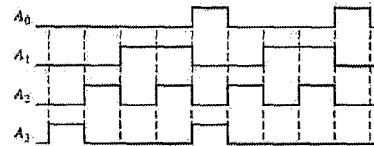
$$c) F_0 = \overline{(A \oplus B \oplus C \oplus D)}$$

$$F_1 = \overline{D B} \cdot \overline{D A}$$

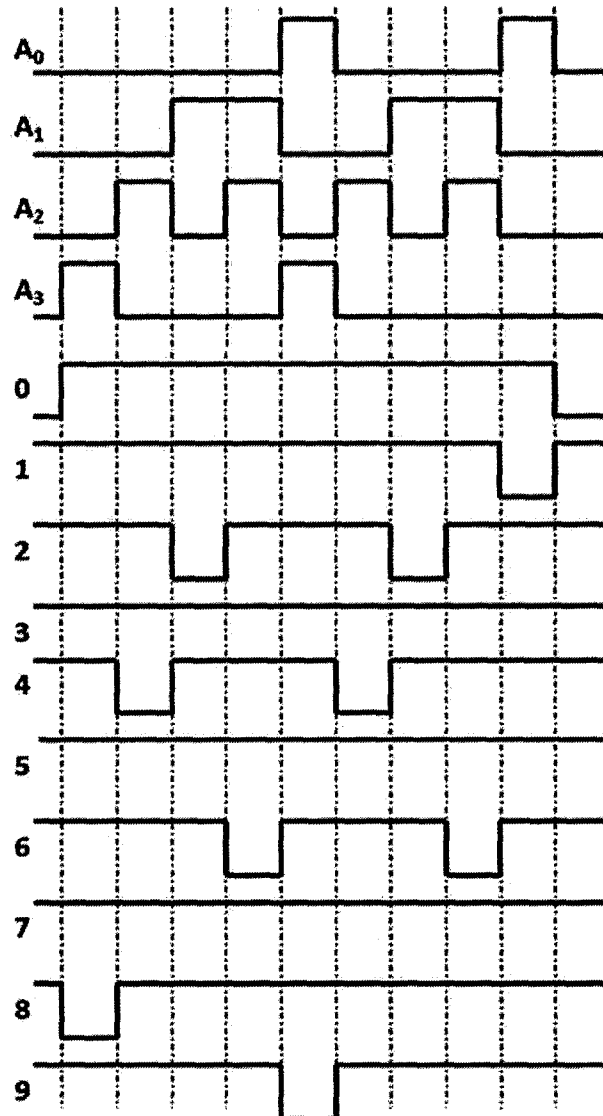
FUNDAMENTOS DE COMPUTADORES

Ejercicios U2: Circuitos Combinacionales

U2_3. Se aplican secuencialmente los números BCD al conversor BCD-Decimal de la siguiente figura (la activación de las salidas es a nivel BAJO): Dibujad un diagrama de tiempos que muestre cada salida en relación con el resto de las señales de salida y con las entradas (suponed A_0 LSB y A_3 MSB del BCD).



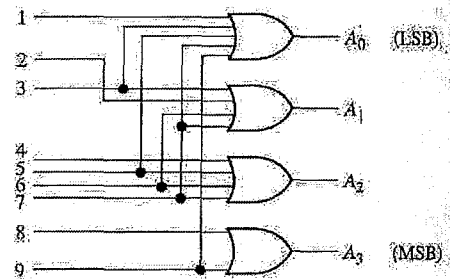
Solución:



FUNDAMENTOS DE COMPUTADORES

Ejercicios U2: Circuitos Combinacionales

U2_4. Suponga que el codificador lógico decimal-BCD de la siguiente figura tiene las entradas 3 y 9 a nivel ALTO. ¿Cuál es el código de salida? ¿Es éste un código BCD (8421) válido?



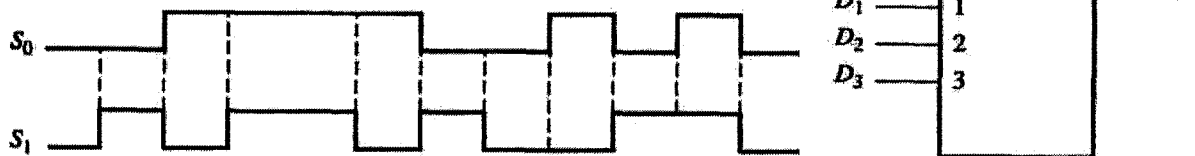
Solución:

$A_3A_2A_1A_0 = 1011$. Código BCD no válido.

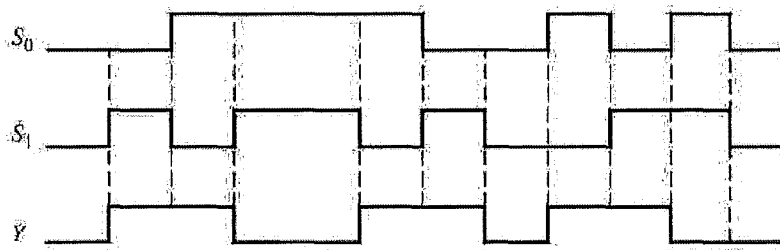
U2_5. Suponga que tenemos un multiplexor como el de la figura siguiente, en el que sus entradas S_0 y S_1 se secuencian como se muestra al final de la misma figura en el diagrama de tiempos.

Determine la onda de salida cuando las líneas contienen:

$D_0 = D_3 = 0$, $D_1 = D_2 = 1$.

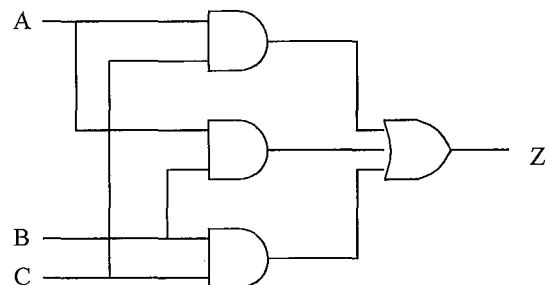


Solución:



U2_6. Escriba el circuito de la figura:

- Utilizando sólo puertas NAND.
- Utilizando sólo puertas NOR.



Solución:

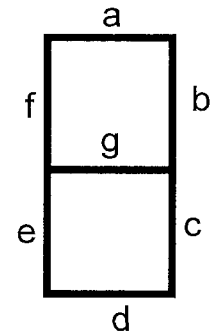
a) $Z = \overline{AC} \overline{AB} \overline{BC}$

b) $Z = \overline{A + C} \overline{A + B} \overline{B + C}$

FUNDAMENTOS DE COMPUTADORES

Ejercicios U2: Circuitos Combinacionales

U2_7. Utilizando tablas de Karnaugh, calcular las 7 expresiones lógicas correspondientes a cada uno de los segmentos de un visualizador que utilice entradas BCD (siendo D₃ el bit MSB y D₀ el LSB) activas en alto y que active los elementos del visualizador en alto.



Solución:

BCD	D ₃	D ₂	D ₁	D ₀	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1
10	1	0	1	0	X	X	X	X	X	X	X
11	1	0	1	1	X	X	X	X	X	X	X
12	1	1	0	0	X	X	X	X	X	X	X
13	1	1	0	1	X	X	X	X	X	X	X
14	1	1	1	0	X	X	X	X	X	X	X
15	1	1	1	1	X	X	X	X	X	X	X

$$a = D_3 + D_1 + D_2 D_0 + \overline{D_2}$$

$$b = D_1 D_0 + \overline{D_2} + \overline{D_1} \overline{D_0}$$

$$c = \overline{D_1} + D_2 + D_0$$

$$d = D_3 + D_1 \overline{D_0} + \overline{D_2} \overline{D_0} + \overline{D_2} D_1 + D_2 \overline{D_1} D_0$$

$$e = D_1 \overline{D_0} + \overline{D_2} \overline{D_0}$$

$$f = D_3 + \overline{D_1} \overline{D_0} + D_2 \overline{D_1} + D_2 \overline{D_0}$$

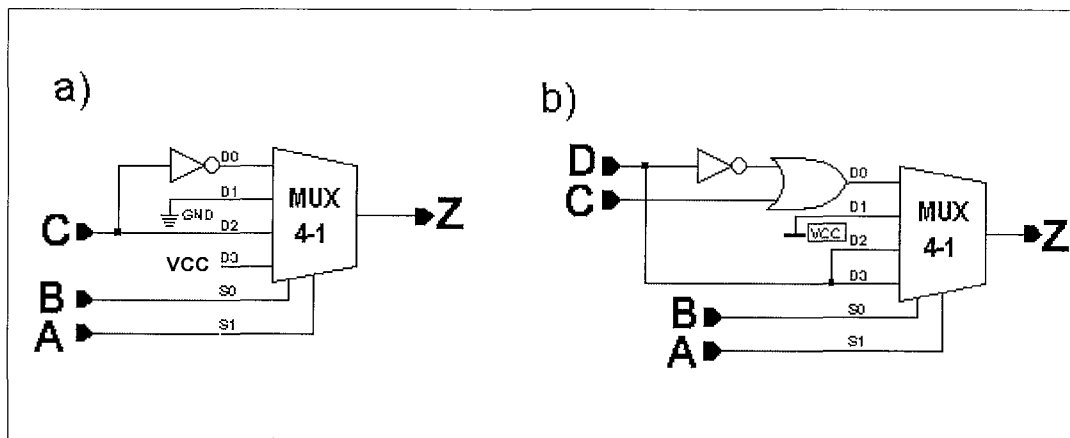
$$g = D_3 + D_1 \overline{D_0} + \overline{D_2} D_1 + D_1 \overline{D_0}$$

U2_8. Utilizando un multiplexor 4-1, se pide realizar un circuito que cumpla la función:

a) $Z = AB + AC + \overline{A} \overline{B} \overline{C}$ b) $Z = \overline{A} B + AD + CD + \overline{A} \overline{D}$

NOTA: Añadir alguna puerta si fuera necesario. Utilizar las variables A y B como control.

Solución:



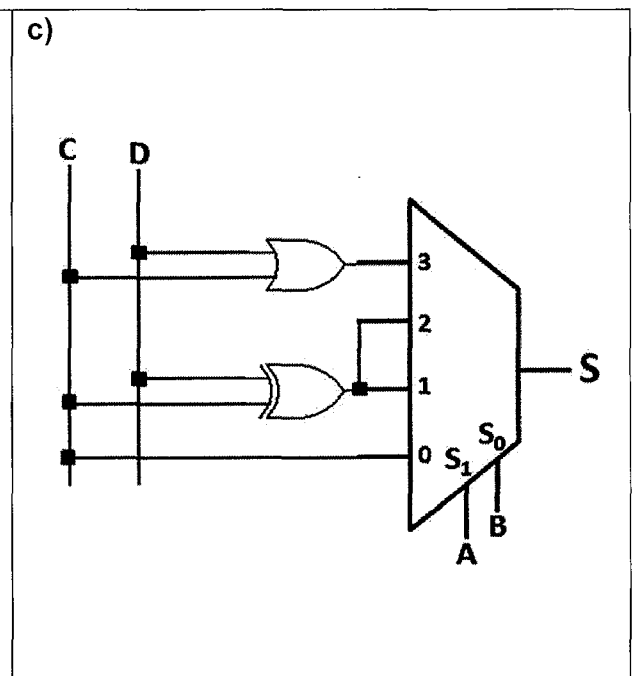
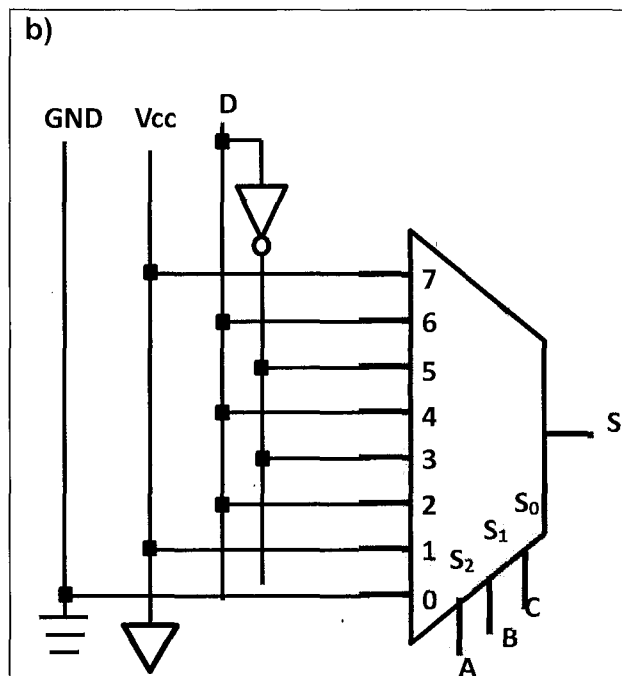
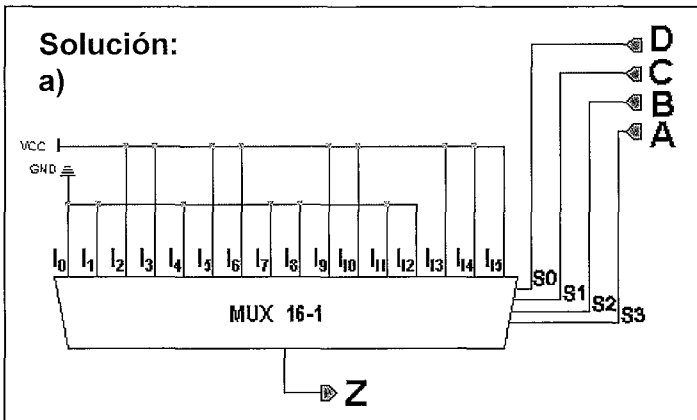
FUNDAMENTOS DE COMPUTADORES

Ejercicios U2: Circuitos Combinacionales

U2_9. Obtenga la función $S(A,B,C,D) = \sum m(2,3,5,6,9,10,13,14,15)$

- a) Utilizando un multiplexor de 16 entradas
- b) Utilizando un multiplexor de 8 entradas
- c) Utilizando un multiplexor de 4 entradas

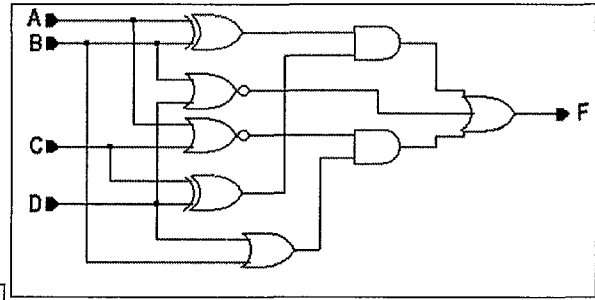
Añadir en cada caso el mínimo número de puertas lógicas necesarias, utilizando en cada caso las variables de más peso como control.



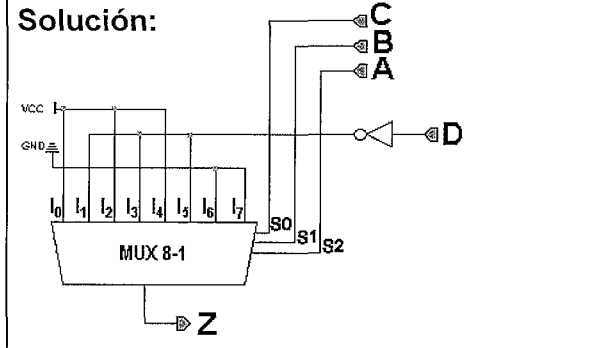
FUNDAMENTOS DE COMPUTADORES

Ejercicios U2: Circuitos Combinacionales

U2_10. Dado el circuito de la figura, se pide realizar la misma función lógica utilizando un multiplexor 8-1 y el mínimo número de puertas lógicas necesarias, utilizando las variables A, B y C como control.



Solución:

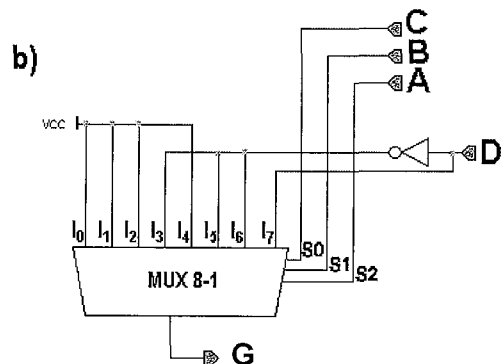
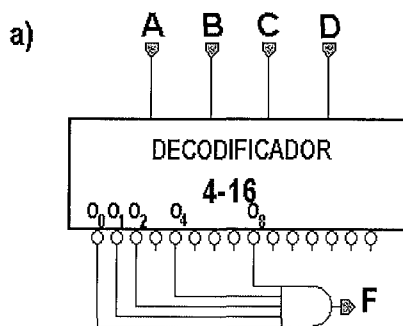


U2_11. Un cierto circuito lógico con 4 variables de entrada A, B, C, y D sirve para resolver las funciones lógicas F y G. La función F vale '1' siempre que valgan '1' dos o más señales de la entrada, en otro caso F vale '0'. La función G vale '1' siempre que valga '1' un número par de señales de la entrada, en otro caso G es el complemento de F. Se pide:

- Diseñar un circuito para la función F que utilice un decodificador 4-16, con salidas activas a nivel bajo y el mínimo número de puertas lógicas necesarias
- Diseñar un circuito para la función G que utilice únicamente un multiplexor 8-1 y el mínimo número de puertas lógicas necesarias
- Diseñar un circuito para las funciones F y G que utilice el mínimo número de puertas utilizando sólo puertas NAND

Utilizar las variables más representativas como control.

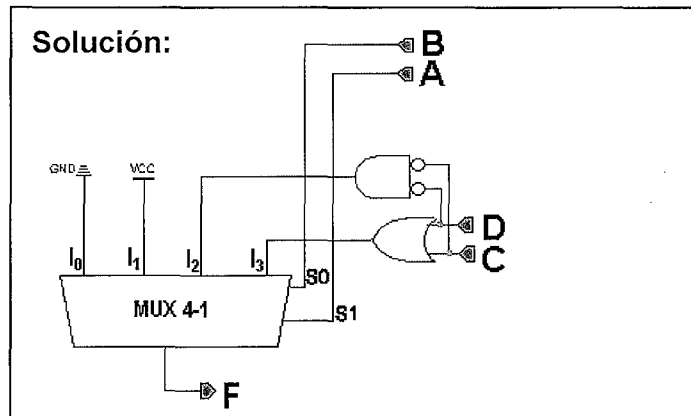
Solución:



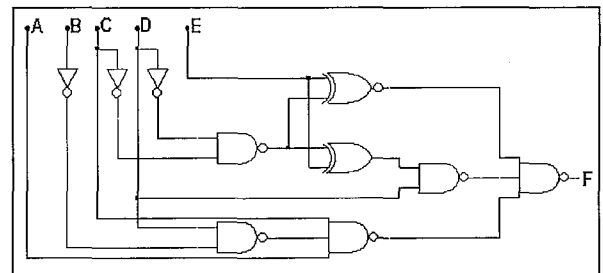
FUNDAMENTOS DE COMPUTADORES

Ejercicios U2: Circuitos Combinacionales

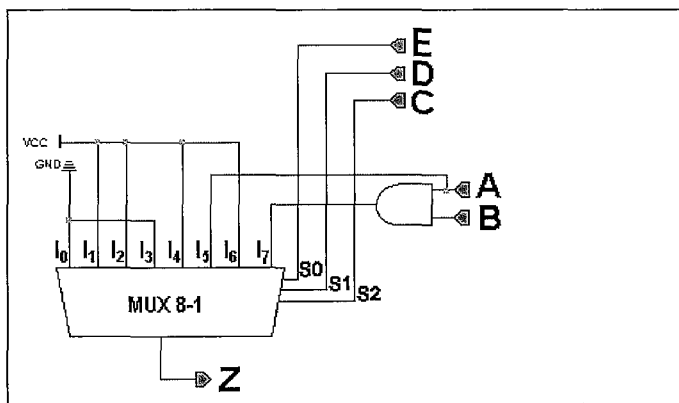
U2_12. Implemente la función $F(A,B,C,D) = \sum m(4,5,6,7,8,13,14,15)$, utilizando un multiplexor 4-1 y el mínimo número de puertas lógicas. Utilizad las variables de más peso como control.



U2_13. Se desea realizar la misma función lógica de 5 variables que realiza el circuito de la figura, pero utilizando un multiplexor 8-1. Utilizad las variables C, D y E como líneas de control de mayor a menor peso respectivamente.



Solución:

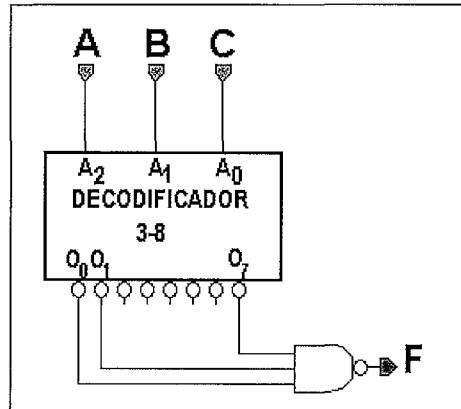


FUNDAMENTOS DE COMPUTADORES

Ejercicios U2: Circuitos Combinacionales

U2_14. Dada la función de tres variables $F = (A \oplus \overline{B}) (C + \overline{B})$, se pide implementarla utilizando un decodificador 3-8 con salidas activas en bajo y el mínimo número de puertas. Tomar A como la variable de mayor peso.

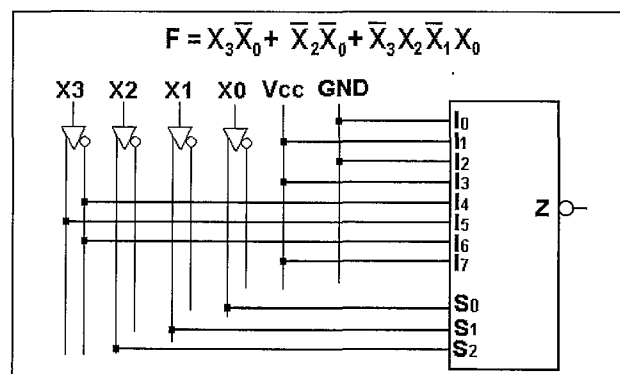
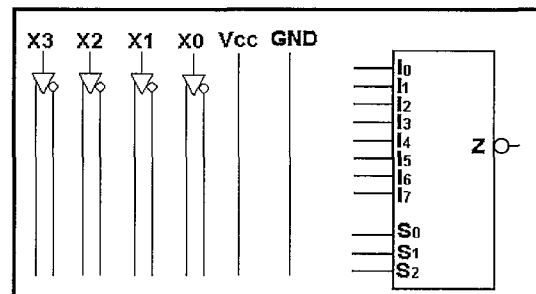
Solución:



U2_15. Dada la función de 4 variables $f(X_3, X_2, X_1, X_0) = \sum m(0, 2, 5, 8, 10, 12, 14)$, donde X₃ es el bit más significativo, se pide, utilizando como control las variables de menos peso:

- Materializar dicha función utilizando un multiplexor como el de la figura. Recordad que la salida de este circuito es activa a nivel bajo. Realizar las conexiones correspondientes en el esquema como el de la figura.
- Utilizando un mapa de Karnaugh, simplificar la función f.

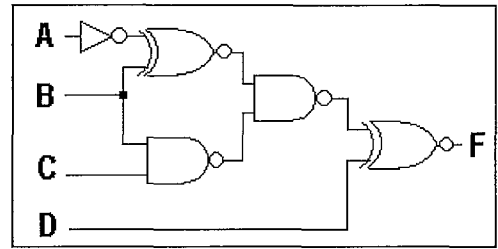
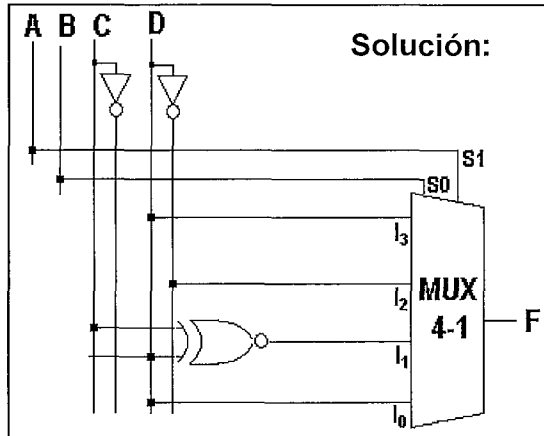
Solución:



FUNDAMENTOS DE COMPUTADORES

Ejercicios U2: Circuitos Combinacionales

U2_16. Dado el circuito de la figura se pide, resolver la misma función utilizando un multiplexor 4-1. Utilizar las variables A y B como señales de control S1 y S0 respectivamente.

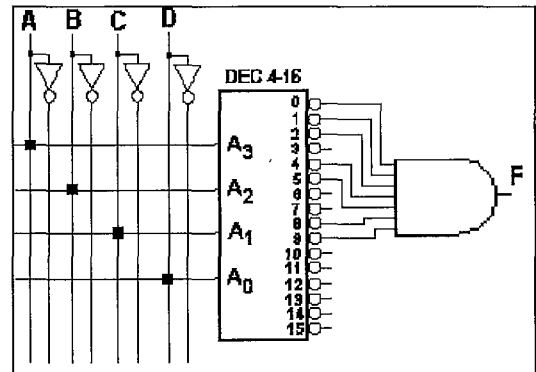
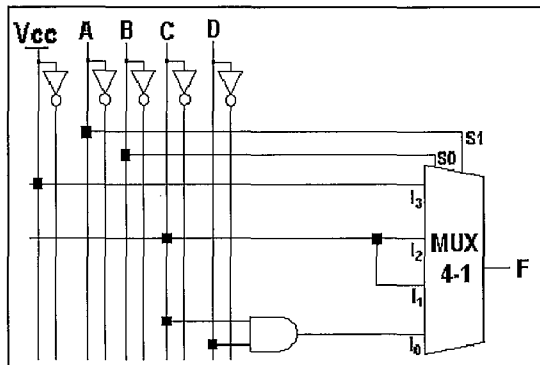


U2_17. Dada la función de 4 variables $F(ABCD) = AB + AC/D + BC + CD$. Se pide:

- Diseñarla utilizando el multiplexor 4-1.
- Diseñarla utilizando el decodificador 4-16 con salidas activas en bajo.

Añadir en cada caso las puertas adicionales mínimas que se consideren necesarias.

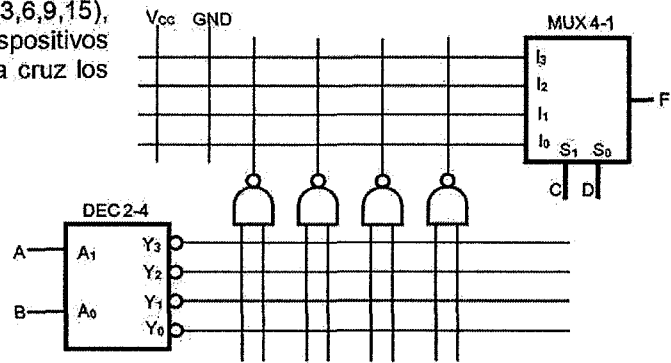
Solución:



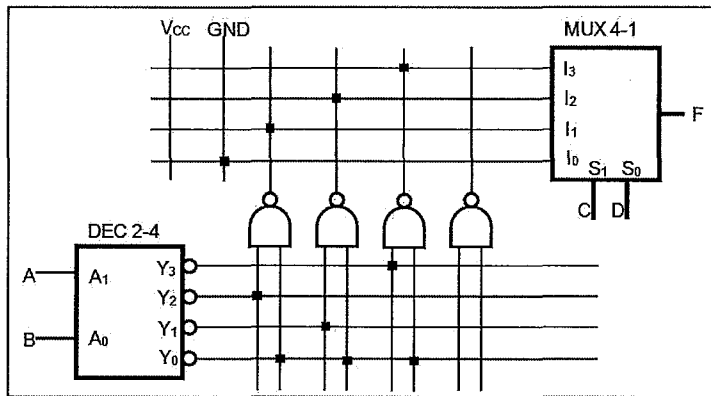
FUNDAMENTOS DE COMPUTADORES

Ejercicios U2: Circuitos Combinacionales

U2_18. Dada la función lógica $F(A,B,C,D) = \sum m(1,2,3,6,9,15)$, impleméntela-utilizando EXCLUSIVAMENTE los dispositivos de la figura adjunta, marcando con un punto o una cruz los cables que están conectados.

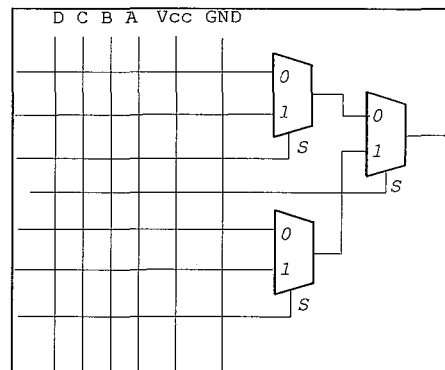
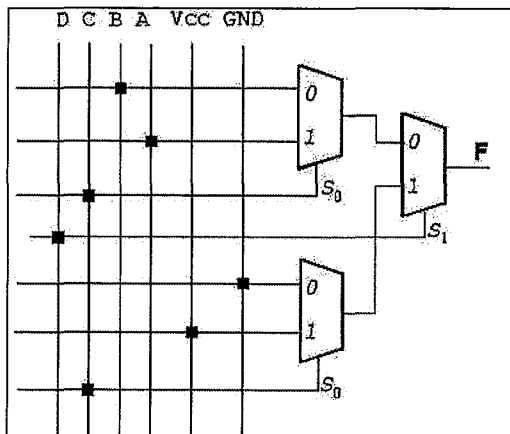


Solución:



U2_19. Los multiplexores 2-1 de la figura tienen una señal de control S y dos entradas (S=0 selecciona la entrada como 0). Se quiere implementar la función lógica $F(D, C, B, A) = \prod M(0, 1, 4, 6, 8, 9, 10, 11)$ completando las conexiones en la figura. La variable D es la más significativa. Indique con una x los cables que deben quedar unidos.

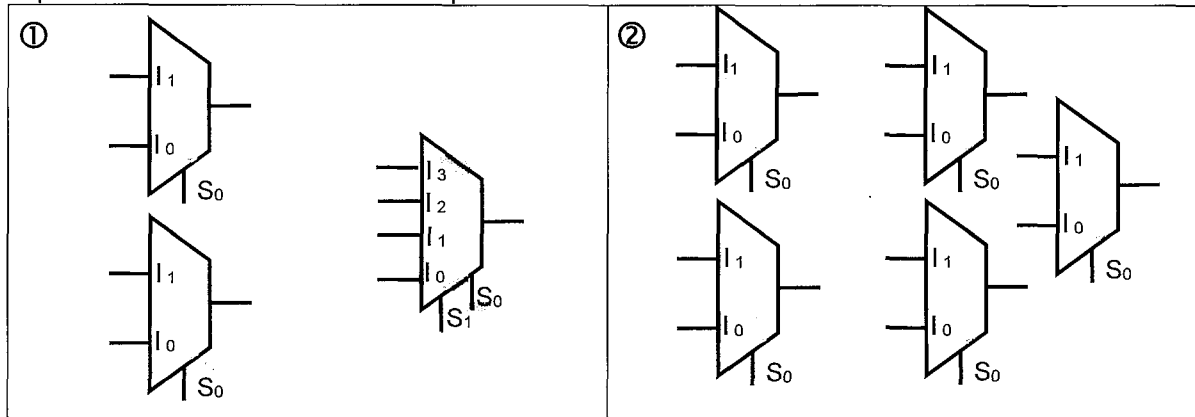
Solución:



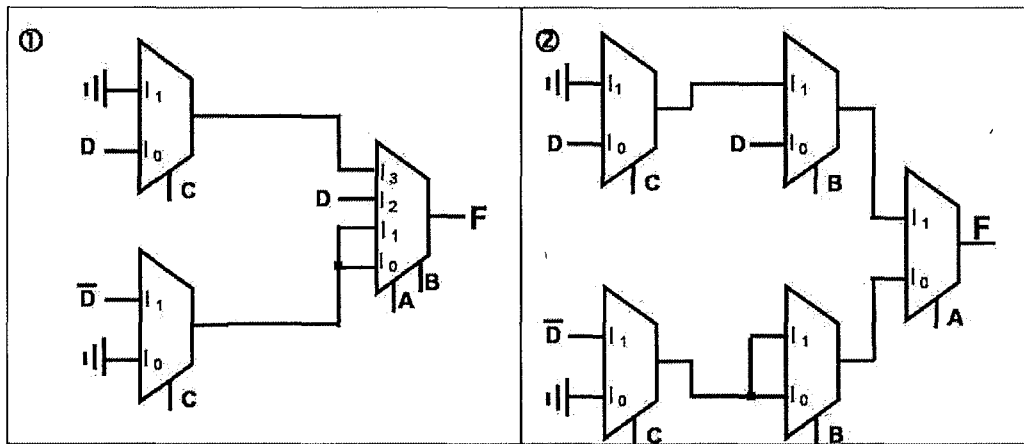
FUNDAMENTOS DE COMPUTADORES

Ejercicios U2: Circuitos Combinacionales

U2_20. Se pide implementar la función $F(A,B,C,D) = \sum m(2,6,9,11,13)$, utilizando exclusivamente, todos los multiplexores de cada uno de los dos esquemas mostrados.



Solución:



U2_21. En la siguiente tabla se muestran los datos X e Y de dos bits (X_1X_0 e Y_1Y_0) en complemento a dos.

- Escriba en una la tabla la suma de dichos datos ($S_2S_1S_0$). Tenga en cuenta que, como los números vienen dados en complemento a dos, el resultado también estará en complemento a dos.
- Expresé en maxterms la función S_2 . Expresé también S_2 en la forma más simplificada posible como producto de sumas.

Solución:

a)

X_1	X_0	Y_1	Y_0	S_2	S_1	S_0	X_1	X_0	Y_1	Y_0	S_2	S_1	S_0'
0	0	0	0	0	0	0	1	0	0	0	1	1	0
0	0	0	1	0	0	1	1	0	0	1	1	1	1
0	0	1	0	1	1	0	1	0	1	0	1	0	0
0	0	1	1	1	1	1	1	0	1	1	1	0	1
0	1	0	0	0	0	1	1	1	0	0	1	1	1
0	1	0	1	0	1	0	1	1	0	1	0	0	0
0	1	1	0	1	1	1	1	1	1	0	1	0	1
0	1	1	1	0	0	0	1	1	1	1	1	1	0

$$c) S_2 = \prod M(0,1,4,5,7,13) = (X_1 + X_0 + Y_1 + Y_0) (X_1 + X_0 + Y_1 + \overline{Y_0}) (X_1 + \overline{X_0} + Y_1 + Y_0) \\ (X_1 + \overline{X_0} + Y_1 + \overline{Y_0}) (X_1 + \overline{X_0} + \overline{Y_1} + \overline{Y_0}) (\overline{X_1} + \overline{X_0} + Y_1 + \overline{Y_0})$$

$$S_2 = (X_1 + Y_1) (X_1 + \overline{X_0} + \overline{Y_0}) (\overline{X_0} + Y_1 + \overline{Y_0})$$

FUNDAMENTOS DE COMPUTADORES

Ejercicios U2: Circuitos Combinacionales

U2_22. Para el llenado de un depósito de agua se cuenta con dos electroválvulas F1 y F2 que suministran un caudal de 50 y 10 litros/minuto respectivamente. Para ello se tendrán en cuenta los siguientes criterios:

- i. Cuando la cantidad de agua existente en el depósito se encuentre entre el 0 y el 60% de la capacidad total, se deberá llenar el depósito a razón de 60 litros/minuto.
- ii. Si el nivel de agua se encuentra entre el 60 y el 90% la velocidad de llenado será de 50 litros/minuto.
- iii. Si el nivel se encuentra entre el 90 y el 100% se procederá a terminar de llenar el depósito con un caudal de 10 litros/minuto.
- iv. Si el nivel ha llegado a su punto máximo, es decir, al 100% se deben cerrar ambas electroválvulas.

Se dispone de 3 sensores (S1, S2, y S3) que permiten determinar el nivel del depósito en cada momento, de manera que:

1. En el sensor S1 aparece un '1' cuando hemos llegado al 100% de la capacidad del depósito.
2. Aparecerá un '1' en el sensor S2 si la cantidad de agua que existe en el depósito supera el 90%.
3. Y por último, el sensor S3 nos indica mediante un '1' si el nivel se encuentra por encima del 60%.

Se pide:

- a. La tabla de verdad del sistema.
- b. Implemente el control del actuador F1 utilizando un decodificador 3-8 con las salidas activas en bajo y la puerta lógica más simple que pueda necesitar.
- c. Implemente el control del actuador F2 utilizando un multiplexor 4-1, con el mínimo número de puertas adicionales.

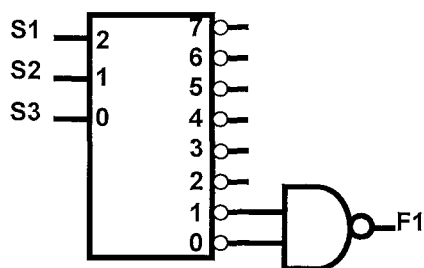
Nota1: Se considera que una electroválvula está abierta, es decir, permite el paso del agua, cuando recibe un '1'; en caso contrario se encuentra cerrada.

Nota2: Para aquellas combinaciones de los sensores que no puedan darse, la salida de los actuadores (F1 y F2) serán consideradas como "0".

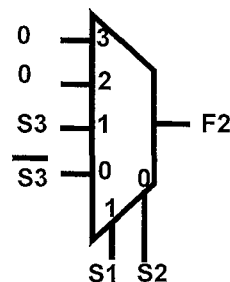
SOLUCION: a)

S1	S2	S3	F1	F2
0	0	0	1	1
0	0	1	1	0
0	1	0	0	0
0	1	1	0	1
1	0	0	0	0
1	0	1	0	0
1	1	0	0	0
1	1	1	0	0

b)



c)

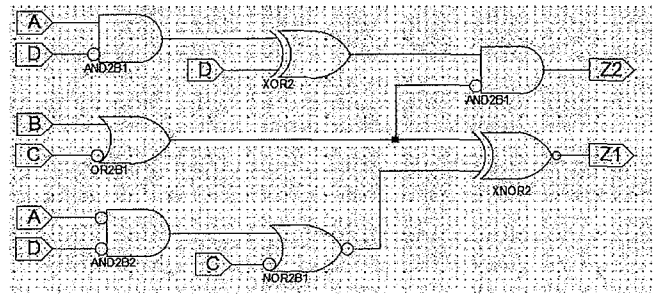


FUNDAMENTOS DE COMPUTADORES

Ejercicios U2: Circuitos Combinacionales

U2_23. Dado el circuito de la figura se pide:

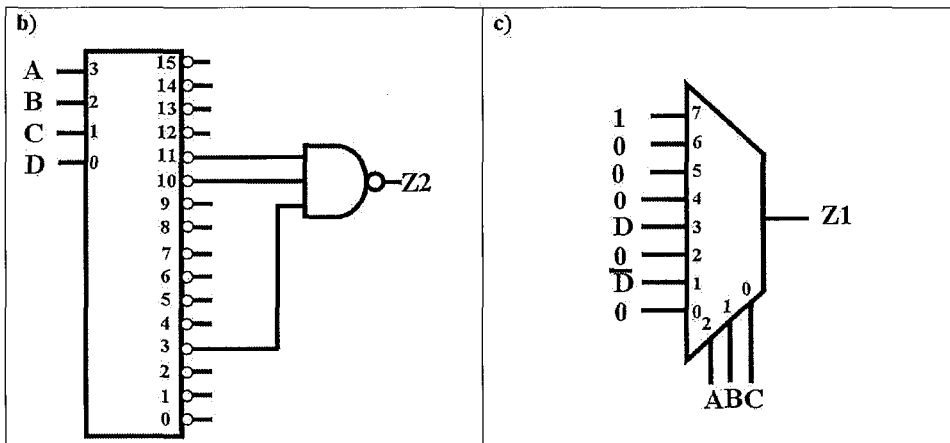
- Escriba la tabla de verdad del sistema.
- Implemente la función Z2 utilizando un decodificador 4-16 con las salidas activas en bajo y la puerta lógica más simple que pueda necesitar.
- Implemente la función Z1 utilizando un multiplexor 8-1, con el mínimo número de puertas adicionales. Utilice las variables A, B y C como variables de control, tomando A como la más significativa.



Nota: Señale el orden de las entradas de los circuitos y las entradas y salidas, que en cada caso se conectan.

SOLUCIÓN: a)

Nº	A	B	C	D	Z2	Z1	Nº	A	B	C	D	Z2	Z1
0	0	0	0	0	0	0	8	1	0	0	0	0	0
1	0	0	0	1	0	0	9	1	0	0	1	0	0
2	0	0	1	0	0	1	10	1	0	1	0	1	0
3	0	0	1	1	1	0	11	1	0	1	1	1	0
4	0	1	0	0	0	0	12	1	1	0	0	0	0
5	0	1	0	1	0	0	13	1	1	0	1	0	0
6	0	1	1	0	0	0	14	1	1	1	0	0	1
7	0	1	1	1	0	1	15	1	1	1	1	0	1



FUNDAMENTOS DE COMPUTADORES

Ejercicios U2: Circuitos Combinacionales

U2_24. Dada la función de 4 variables $F(A,B,C,D) = \prod M(0,5,7,9,10,12,14,15)$, se pide:

- Escriba la tabla de verdad del sistema.
- Implemente la función utilizando el mínimo número de puertas y un multiplexor 8-1. Utilice en el control del multiplexor las variables más significativas.
- Implemente la función utilizando el mínimo número de puertas y un multiplexor 4-1. Utilice en el control del multiplexor las variables más significativas.

NOTA: En todos los circuitos se debe especificar el orden de prioridad de las entradas y en todas ellas se debe señalar la variable de entrada a la que se asocia.

Solución: a)

A	B	C	D	F	A	B	C	D	F
0	0	0	0	0	1	0	0	0	1
0	0	0	1	1	1	0	0	1	0
0	0	1	0	1	1	0	1	0	0
0	0	1	1	1	1	0	1	1	1
0	1	0	0	1	1	1	0	0	0
0	1	0	1	0	1	1	0	1	1
0	1	1	0	1	1	1	1	0	0
0	1	1	1	0	1	1	1	1	0

b) Con un MUX 8-1

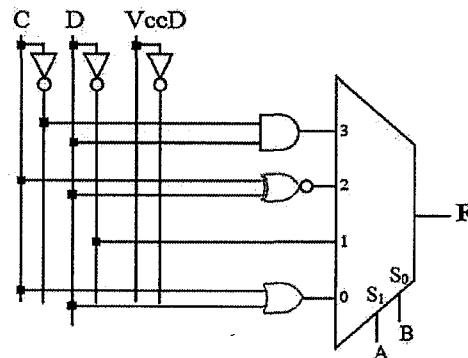
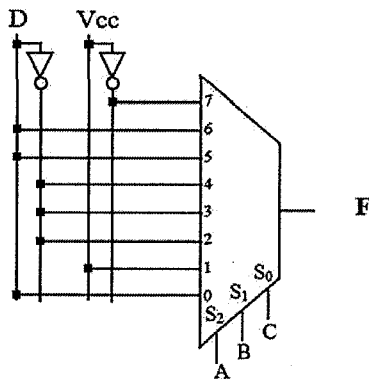
$$I_0 = D; \quad I_1 = 1; \quad I_2 = \overline{D}; \quad I_3 = \overline{D}$$

$$I_4 = \overline{D}; \quad I_5 = D; \quad I_6 = D; \quad I_7 = 0$$

c) Con un MUX 4-1

$$I_0 = (C+D); \quad I_1 = \overline{D}$$

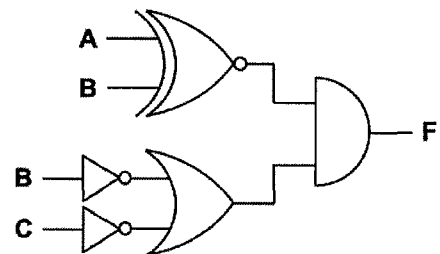
$$I_2 = \overline{(C \oplus D)}; \quad I_3 = \overline{C} \cdot D$$



U2_25. Dado el circuito de la figura, se pide:

- Escriba la tabla de verdad del sistema.
- Implemente la función utilizando un decodificador con salidas activas a nivel alto y el mínimo número de puertas del menor tamaño posible. Utilice A como variable más significativa.
- Implemente la función utilizando un decodificador con salidas activas a nivel bajo y el mínimo número de puertas del menor tamaño posible. Utilice A como variable más significativa.

NOTA: En todos los circuitos se debe especificar el orden de prioridad de las entradas y en todas ellas se debe señalar la variable de entrada a la que se asocia.



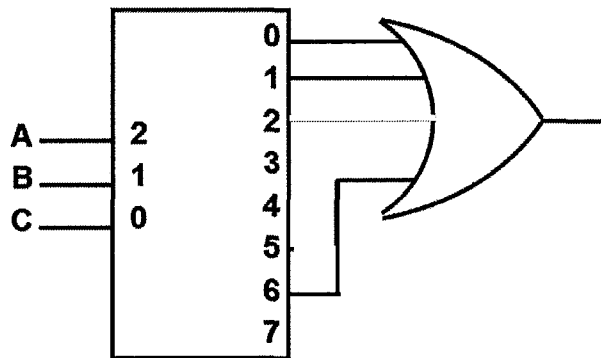
FUNDAMENTOS DE COMPUTADORES

Ejercicios U2: Circuitos Combinacionales

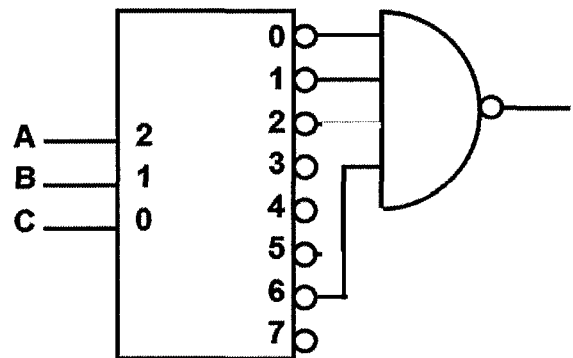
Solución: a)

A	B	C	F
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

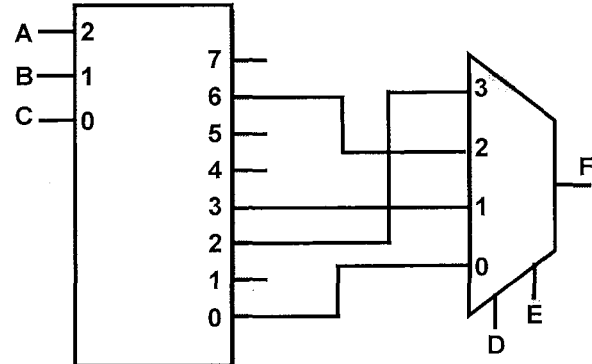
b)



c)



U2_26. En el circuito de la figura se representa un decodificador 3-8 conectado a un multiplexor 4-1. Se pide la forma canónica de la función de 5 variables $F(A,B,C,D,E)$, dada como producto de maxterms.



Solución:

Los términos seleccionados en el decodificador son:

$$(\overline{A} \cdot \overline{B} \cdot \overline{C}), (\overline{A} \cdot B \cdot C), (\overline{A} \cdot B \cdot \overline{C}) \text{ y } (\overline{A} \cdot \overline{B} \cdot \overline{C})$$

Estos cuatro términos actúan como entradas en el multiplexor, entradas que son seleccionadas por las cuatro combinaciones de las variables de control:

$$F(A,B,C,D,E) = (\overline{A} \cdot \overline{B} \cdot \overline{C})(D \cdot E) + (\overline{A} \cdot B \cdot \overline{C})(D \cdot \overline{E}) + (\overline{A} \cdot B \cdot C)(\overline{D} \cdot E) + (\overline{A} \cdot \overline{B} \cdot \overline{C})(\overline{D} \cdot \overline{E}) = \Sigma m(11, 26, 13, 0)$$

$$F(A,B,C,D,E) =$$

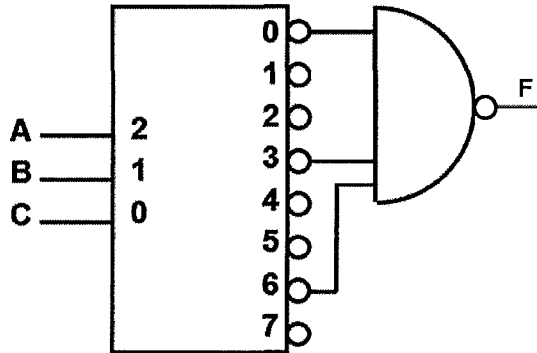
$$= \Pi(1,2,3,4,5,6,7,8,9,10,12,14,15,16,17,18,19,20,21,22,23,24,25,27,28,29,30,31)$$

FUNDAMENTOS DE COMPUTADORES

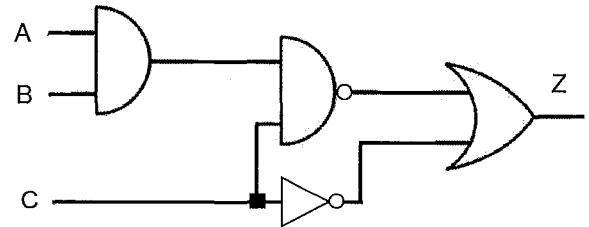
Ejercicios U2: Circuitos Combinacionales

U2_27. Dada la forma canónica de la función $F(A,B,C) = \sum m(0,3,6)$, función con 3 variables y donde A se considera la variable de mayor peso, se quiere implementar dicha función F utilizando un decodificador 3-8 con salidas activas en bajo y el menor de número de puertas lógicas y del tipo más simple que sea posible. Se pide realizar el diseño del circuito dibujando el decodificador y las puertas utilizadas, señalando en cada caso las entradas y salidas que se utilicen en el mismo.

Solución:



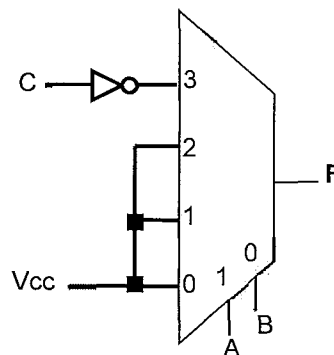
U2_28. Dado el circuito de la figura adjunta, donde se representa la función $Z(A,B,C)$, se quiere implementar dicha función Z utilizando un multiplexor 4-1 y el menor de número de puertas lógicas posible. Se pide realizar el diseño, justificando brevemente el diseño, dibujando el multiplexor y las puertas utilizadas, señalando en cada caso las entradas y salidas que se utilicen en el mismo. Utilizar A y B como variables de control, tomando A como la variable de mayor peso.



Solución:

$$Z = \overline{A.B.C} + \overline{C} = (\overline{A} + \overline{B} + \overline{C})$$

AB	C	
	0	1
00	1	1
01	1	1
11	1	0
10	1	1



FUNDAMENTOS DE COMPUTADORES

Ejercicios U2: Circuitos Combinacionales

U2_29. Dada la función de 4 variables $F(A,B,C,D) = AB + AC\overline{D} + BCD$, se pide:

- Obtener la expresión de F en su forma canónica como producto de sumas.
- Implementar dicha función utilizando un multiplexor 8:1 y el menor número de puertas posible.

Solución.

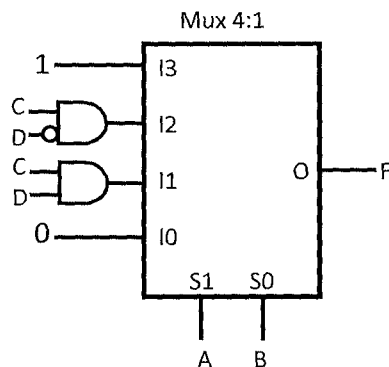
- Por facilidad, dado que la función se da como suma de productos, obtenemos la expresión canónica como suma de productos y de ahí obtenemos la expresión como producto de sumas (se puede hacer de otras maneras):

$$F = AB + AC\overline{D} + BCD = AB(\overline{C}\overline{D} + C\overline{D} + \overline{C}D + CD) + AC\overline{D}(B + \overline{B}) + BCD(A + \overline{A})$$

Operando se obtiene $F(A,B,C,D) = \sum m(7,10,12,13,14,15)$, por lo tanto, expresado como producto de sumas:

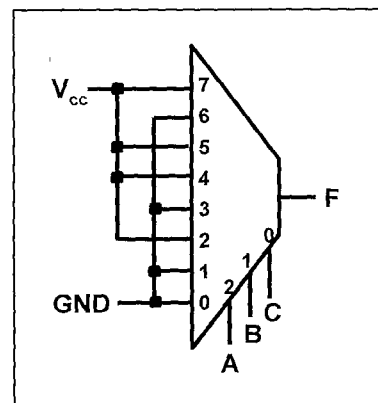
$$F = \prod M(0,1,2,3,4,5,6,8,9,11)$$

- Utilizando un multiplexor 4:1, la implementación queda:



U2_30. Dado el circuito de la figura que implementa una función lógica de tres variables, $F(A,B,C)$, mediante un multiplexor 8-1, se pide:

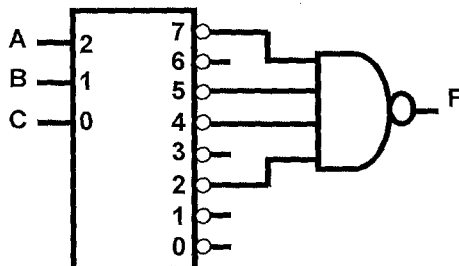
- Utilizando el mínimo número de puertas, implementar la misma función por medio de un decodificador 3-8 con las salidas activas en bajo.
- Utilizando el mínimo número de puertas necesario, implementar la misma función por medio de un multiplexor 16-1.
- Utilizando el mínimo número de puertas necesario, implementar la misma función por medio de un multiplexor 4-1.



Solución

$$F(A,B,C) = \sum (2,4,5,7)$$

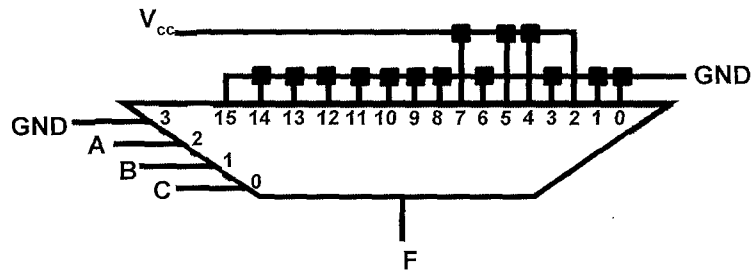
-



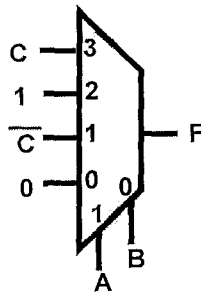
FUNDAMENTOS DE COMPUTADORES

Ejercicios U2: Circuitos Combinacionales

- b) Se muestra una de las posibles soluciones, que corresponde a conectar el bit más significativo del multiplexor a "0"



c)

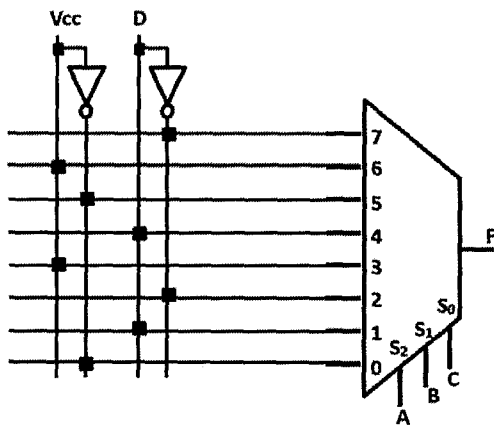


U2_31. Dada la función de 4 variables $F(A, B, C, D) = \sum m(3, 4, 6, 7, 9, 12, 13, 14)$, donde A es la variable más significativa, se pide:

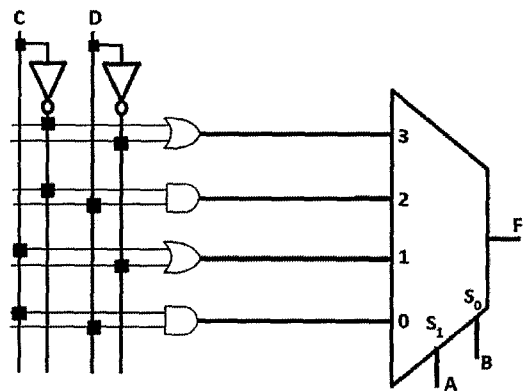
- Implementar dicha función utilizando un multiplexor 8:1 y el menor número de puertas posible.
- Implementar dicha función utilizando un multiplexor 4:1 y el menor número de puertas posible.

Solución

a)



b)



FUNDAMENTOS DE COMPUTADORES

Ejercicios U2: Circuitos Combinacionales

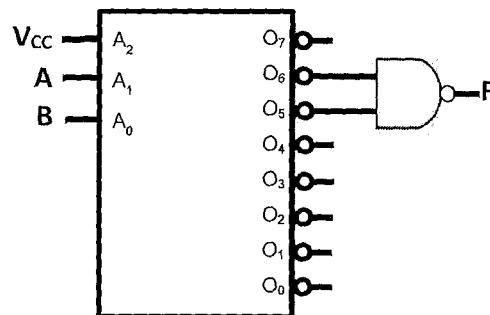
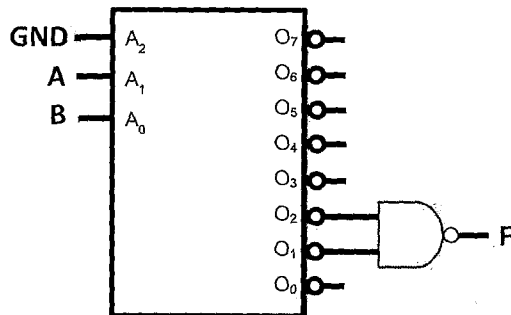
U2_32. Dada la función de 2 variables $F(A, B) = A \overline{B} + \overline{A} B$. Se pide:

- a. Implementar dicha función utilizando un decodificador 3-8 como el de la figura, en el que las salidas son activas en bajo. Utilizar las puertas lógicas adicionales que sean necesarias, se valora la utilización del menor número de puertas con el menor número de entradas que sea necesario.

NOTA: En la resolución del ejercicio, todas las entradas del decodificador deben estar conectadas a alguna señal o valor. Utilizar los nombres Vcc y GND para representar las señales de alimentación y Tierra respectivamente.

Solución

- Otra solución también válida sería:



U2_33. Se pretende diseñar un circuito combinacional, cuya entrada ($E_3E_2E_1E_0$) sea un número de 4 bits y su salida ($S_2S_1S_0$) sea el número de unos presentes en la entrada. Se pide:

- a) La tabla de verdad del circuito.
b) Las ecuaciones de las funciones de salida, de la siguiente forma:
i. S_0 en una de sus formas canónicas.
ii. S_1 en su máxima simplificación como producto de sumas.
iii. S_2 en su máxima simplificación como suma de productos.
c) Implemente (diseñe el circuito) las funciones de salida de la siguiente forma.
i. S_2 con puertas lógicas.
ii. S_1 con un multiplexor 4:1 y el menor número de puertas lógicas posible.
iii. S_0 con un multiplexor 8:1 y el menor número de puertas lógicas posible.

En este tercer apartado, se valorará la utilización del menor número de puertas con el menor número de entradas que sean necesarias.

a)

Nº	E_3	E_2	E_1	E_0	S_2	S_1	S_0
0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	1
2	0	0	1	0	0	0	1
3	0	0	1	1	0	1	0
4	0	1	0	0	0	0	1
5	0	1	0	1	0	1	0
6	0	1	1	0	0	1	0
7	0	1	1	1	0	1	1
8	1	0	0	0	0	0	1
9	1	0	0	1	0	1	0
10	1	0	1	0	0	1	0
11	1	0	1	1	0	1	1
12	1	1	0	0	0	1	0
13	1	1	0	1	0	1	1
14	1	1	1	0	0	1	1
15	1	1	1	1	1	0	0

b)

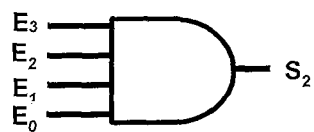
- i. $S_0 = \prod M(0, 3, 5, 6, 9, 10, 12, 15)$ ó $S_0 = \sum m(1, 2, 4, 7, 8, 11, 13, 14)$
ii. $S_1 = (\overline{E_3} + \overline{E_2} + \overline{E_1} + \overline{E_0}) \cdot (E_3 + E_1 + E_0) \cdot (E_3 + E_2 + E_1) \cdot (E_2 + E_1 + E_0) \cdot (E_3 + E_2 + E_0)$
iii. $S_2 = (E_3 \cdot E_2 \cdot E_1 \cdot E_0)$

FUNDAMENTOS DE COMPUTADORES

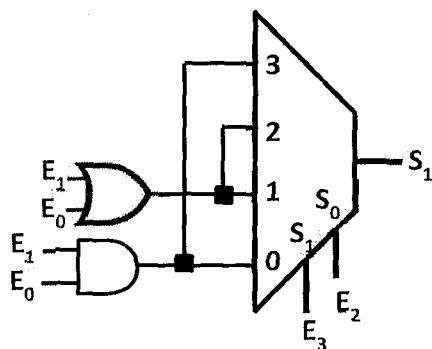
Ejercicios U2: Circuitos Combinacionales

c)

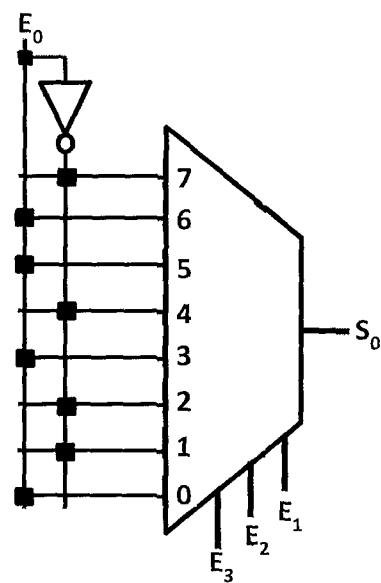
i.



ii.



iii.



TEMA 2. - CIRCUITOS COMBINACIONALES

CIRCUITOS COMBINACIONALES BÁSICOS

- DECODIFICADOR ($n-2^n$): n entradas y 2^n salidas (sólo una activa).
- CODIFICADOR (2^n-n): n entradas (una o varias activas) y $\log_2 n$ salidas
- MULTIPLEXOR ($n-1$): n entradas, 1 salidas y $\log_2 n$ señales de control
- DEMULTIPLEXOR ($1-n$): 1 entrada, n salidas y $\log_2 n$ señales de control
- CONVERSOR DE CÓDIGO ($n-m$): n entradas y m salidas, sin relación entre ellas.
- OTROS → Comparadores
→ Semisumadores y sumadores

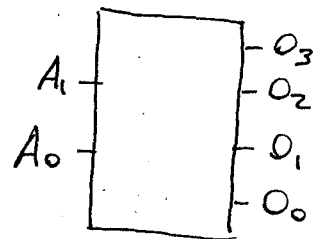
DECODIFICADOR → "fábrica de minterms"

- Circuito comb. con n entradas y 2^n salidas.
- Activa una única línea de salida.

TABLA DE VERDAD

A_1	A_0	O_3	O_2	O_1	O_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

$$\begin{aligned} O_0 &= \bar{A}_1 \cdot \bar{A}_0 \\ O_1 &= \bar{A}_1 \cdot A_0 \\ O_2 &= A_1 \cdot \bar{A}_0 \\ O_3 &= A_1 \cdot A_0 \end{aligned}$$



- Habilitación { - Enable activado: el decodificador funciona
- Enable desactivado: Ninguna salida activa. Circuito "inhabilitado"

E	A_1	A_0	O_3	O_2	O_1	O_0
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	0	0	0
0	1	1	0	0	0	0
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0

$$\begin{aligned} O_0 &= E \cdot \bar{A}_1 \cdot \bar{A}_0 \\ O_1 &= E \cdot \bar{A}_1 \cdot A_0 \\ O_2 &= E \cdot A_1 \cdot \bar{A}_0 \\ O_3 &= E \cdot A_1 \cdot A_0 \end{aligned}$$

CODIFICADOR

- Circuito comb. con 2^n entradas y n salidas.
(n entradas y $\log_2 n$ salidas).

- CODIFICADOR ELEMENTAL: para única línea de entrada activa, codifica a la salida un código que la identifica (número de la entrada).
- CODIFICADOR DE PRIORIDAD: dadas varias líneas de entrada activas, codifica a la salida un código (número de la entrada), que identifica a la más prioritaria.

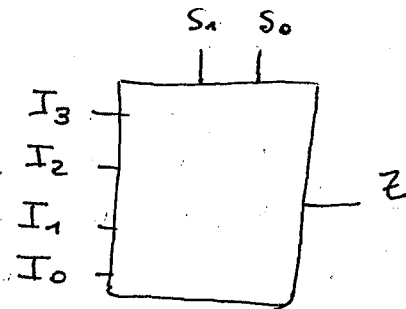
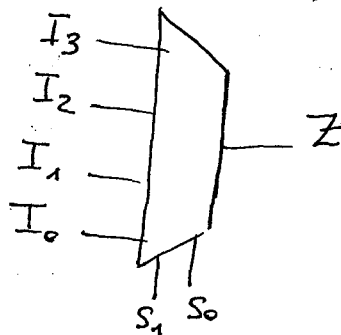
E	I_7	I_6	I_5	I_4	I_3	I_2	I_1	I_0	A_2	A_1	A_0
0	x	x	x	x	x	x	x	x	0	0	0
1	1	x	x	x	x	x	x	x	1	1	1
1	0	1	x	x	x	x	x	x	1	1	0
1	0	0	1	x	x	x	x	x	1	0	1
1	0	0	0	1	x	x	x	x	1	0	0
1	0	0	0	0	1	x	x	x	0	1	1
1	0	0	0	0	0	1	x	x	0	1	0
1	0	0	0	0	0	0	1	x	0	0	1
1	0	0	0	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0

MULTIPLEXOR

- Circuito comb. con n líneas de control que seleccionan una de la 2^n líneas de entrada y la transmiten a la salida.

S_1	S_0	Z
0	0	I_0
0	1	I_1
1	0	I_2
1	1	I_3

$$Z = I_3 S_1 S_0 + I_2 S_1 \bar{S}_0 + I_1 \bar{S}_1 S_0 + \bar{S}_1 \bar{S}_0 I_0$$



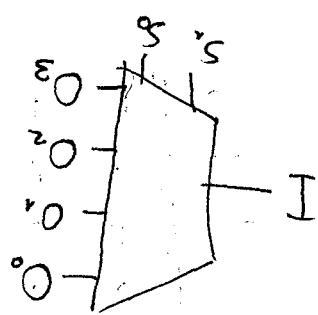
REDUCTOR

circuito comb. con n líneas de control, transmite la información de su única línea de entrada por cualquiera de sus 2^n líneas de salida.

* Es lo mismo que un decodificador con enable, siendo la línea de datos equivalente al enable.

S_1	S_0	O_3	O_2	O_1	O_0
1	1	1	0	0	0
1	0	0	0	0	0
0	1	0	0	0	0
0	0	0	0	0	0

$$\begin{aligned} O_0 &= \overline{S_1} \cdot \overline{S_0} \cdot I \\ O_1 &= \overline{S_1} \cdot S_0 \cdot I \\ O_2 &= S_1 \cdot \overline{S_0} \cdot I \\ O_3 &= S_1 \cdot S_0 \cdot I \end{aligned}$$



CONVERSION DE CODIGO

Dada una palabra de n bits a la entrada se convierte o traduce a otra palabra de m bits a la salida.

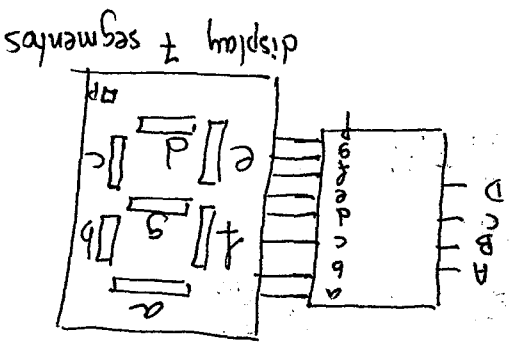
No existe una relación entre el número de líneas de entrada y salida.

• Ambas palabras representan la misma información en distintos códigos.

• Conversor BCD a 7 segmentos

Acepta código BCD (0...9) en sus 4 entradas y proporciona 7 salidas capaces de excitar un display de 7 segmentos que indican el dígito decimal de la entrada.

A	B	C	D	a	b	c	d	e	f	g	p
0	0	0	0	0	1	1	1	1	0	0	0
1	0	0	1	0	1	1	0	1	0	0	0
2	0	0	1	1	0	1	0	1	0	0	0
3	0	0	1	1	1	0	1	0	0	0	0
4	0	1	0	0	1	1	1	0	1	0	0
5	0	1	0	1	0	1	1	0	1	0	0
6	0	1	1	0	0	1	1	0	1	0	0
7	0	1	1	1	0	0	1	1	0	0	0
8	1	0	0	0	1	1	1	1	1	0	0
9	1	0	0	1	1	1	1	1	1	0	0
10	1	1	0	0	1	1	0	1	1	0	0
11	1	1	0	1	0	1	0	1	1	0	0
12	1	1	1	0	0	1	0	1	1	0	0
13	1	1	1	1	0	0	1	1	1	0	0
14	1	1	1	1	1	0	1	1	1	0	0
15	1	1	1	1	1	1	1	1	1	1	0

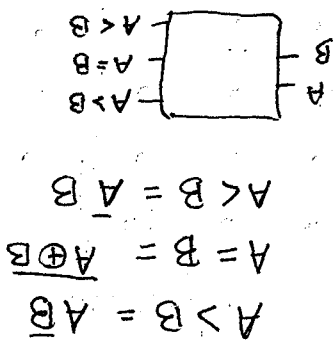


COMPARADOR DE BITS

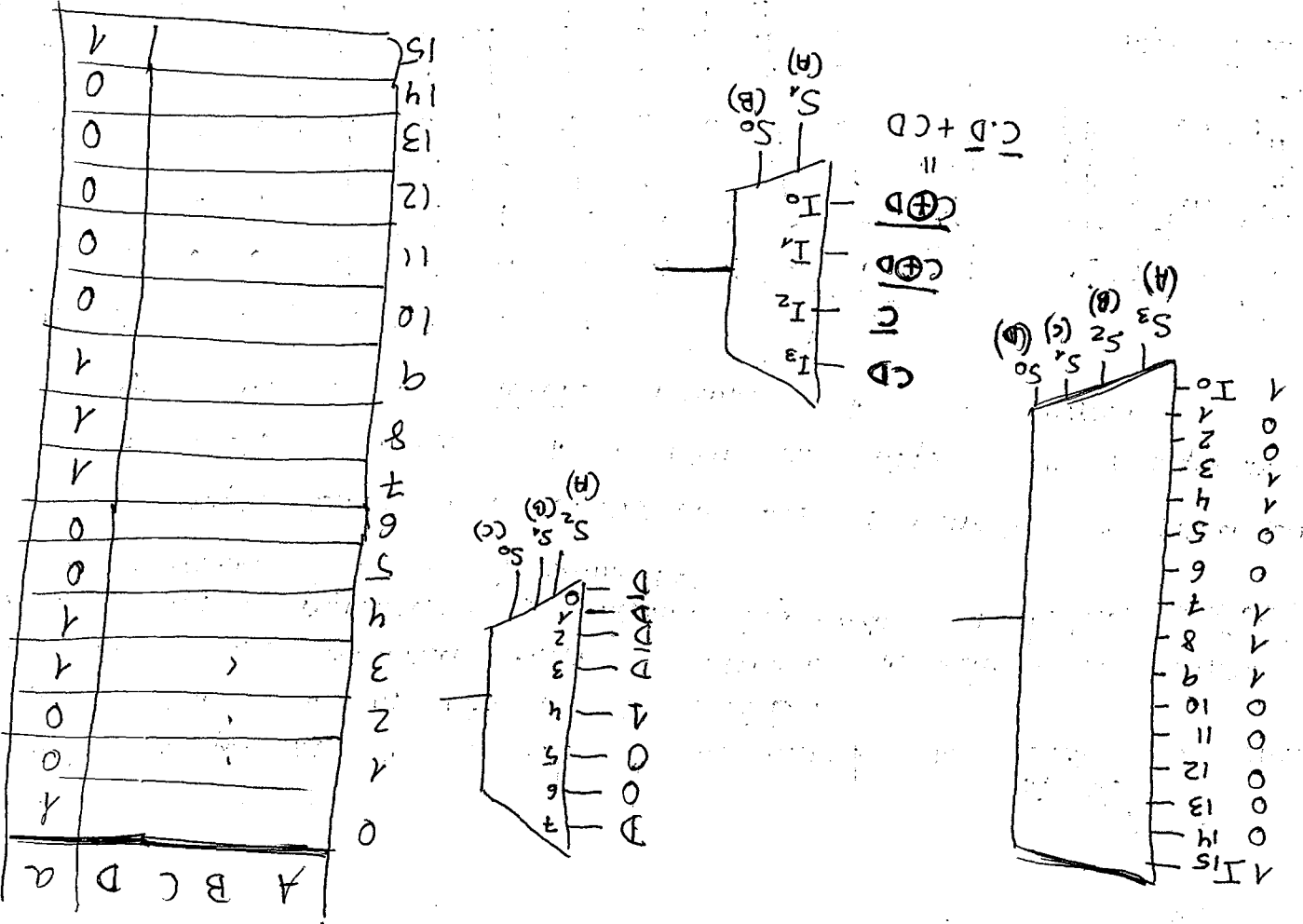
Circuito comb. con 2 entradas y 3 salidas que se utiliza para comparar bits.

COMPARADOR DE 2 BITS

A	B	A > B	A = B	A < B
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0



IMPLEMENTAR CIRCUITOS CON UN MULTIPLEXOR



V2.-1

	X_3	X_2	X_1	Y_2	Y_1
0	0	0	0	0	1
1	0	0	1	0	1
2	0	1	0	0	0
3	0	1	1	0	0
4	1	0	0	0	0
5	1	0	1	1	1
6	1	1	0	1	0
7	1	1	1	1	0

$x_1 \backslash x_2 x_3$	00	01	11	10
Y_2 0	0	0	0	0
1	0	1	1	1

$$A \begin{cases} 0 & 1 & x \\ 1 & 0 & 0 \end{cases} \rightarrow \begin{matrix} Y_2 & Y_1 \\ 0 & 0 \end{matrix}$$

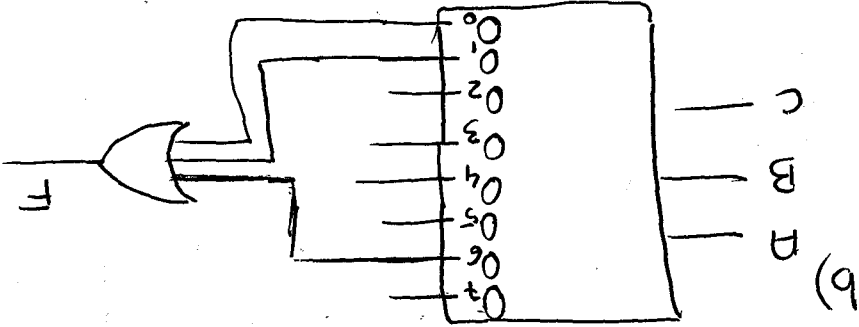
$$B \quad 11x \rightarrow 10$$

$$C \quad 00x \rightarrow 01$$

$$D \quad 101 \rightarrow 11$$

$x_1 \backslash x_2 x_3$	00	01	11	10
Y_1 0	1	1	0	0
1	0	1	0	0

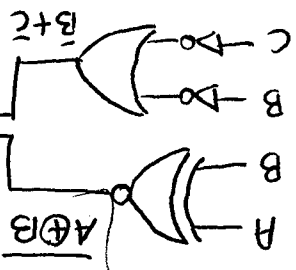
A	B	C	F
1	1	1	1
1	1	0	0
1	0	1	0
1	0	0	0
0	1	1	0
0	1	0	0
0	0	1	1
0	0	0	1



$$F = \Sigma_m(0, 1, 6)$$

$$F = \Pi M(2, 3, 4, 5, 6)$$

$$F = \overline{AB} + \overline{A}BC + ABC = (\overline{AB} + AB)(\overline{B} + C) = (\overline{A} + A)(\overline{B} + C) = (\overline{A}A + \overline{A}B + A\overline{B} + AB) = \overline{A}B + AB + \overline{A}C + AC = \overline{A}B + AB + C$$



$$A \oplus B = \overline{AB} + \overline{A}B = (\overline{A} + A)\overline{B} = \overline{A} + A\overline{B} = \overline{A} + \overline{A}B + AB = \overline{A} + B$$

12.-26 cuidado que estao desordenados: $\overline{A}BC\overline{D}E + \overline{A}BCDE + ABC\overline{D}E + ABCDE$

$$F = \overline{D}E\overline{A}BC + \overline{D}EABC + D\overline{E}A\overline{B}C + DE\overline{A}BC \Rightarrow$$

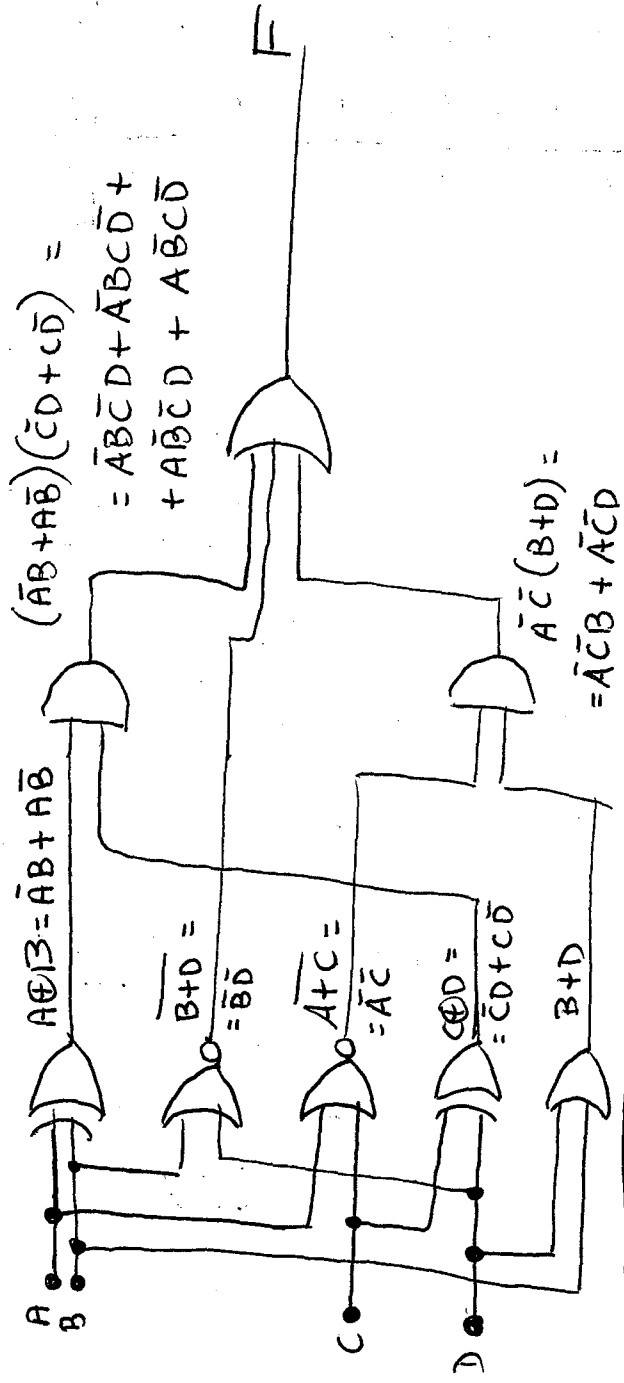
$$F = \Sigma_m(0, 11, 13, 26)$$

$$F = \Pi M(1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 12, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 27, 28, 29, 30, 31)$$

$$2^n \Rightarrow 2^5 = 32$$

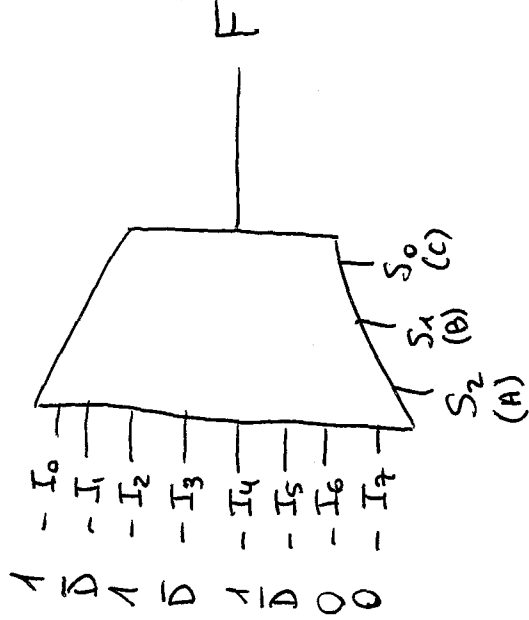
cuidado que se empieza en 0.

$$\overbrace{0-31}^{32}$$



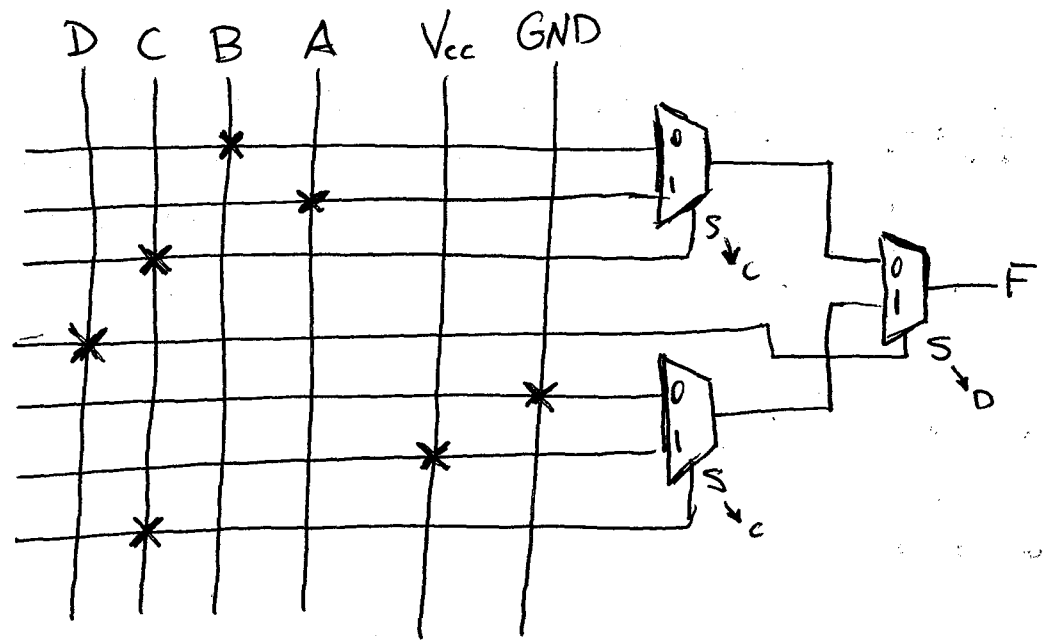
$$F = \bar{A}\bar{B}\bar{C}D + \bar{A}B\bar{C}\bar{D} + A\bar{B}C\bar{D} + \bar{B}\bar{D} + \bar{A}\bar{C}B + \bar{A}\bar{C}D$$

	A	B	C	D	F
0	0	0	0	0	1
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	0
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	0



V2-19

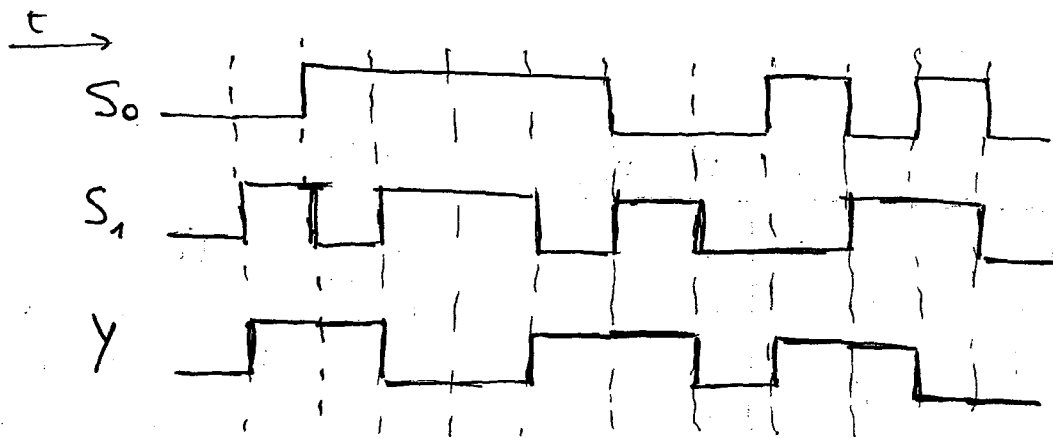
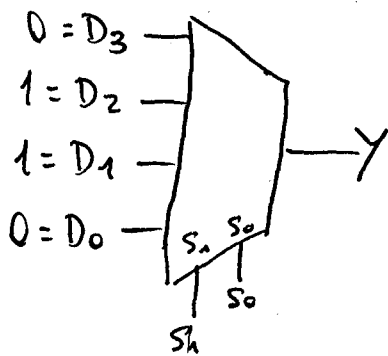
	D	C	B	A	F
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	1
13	1	1	0	1	1
14	1	1	1	0	1
15	1	1	1	1	1



V2-9

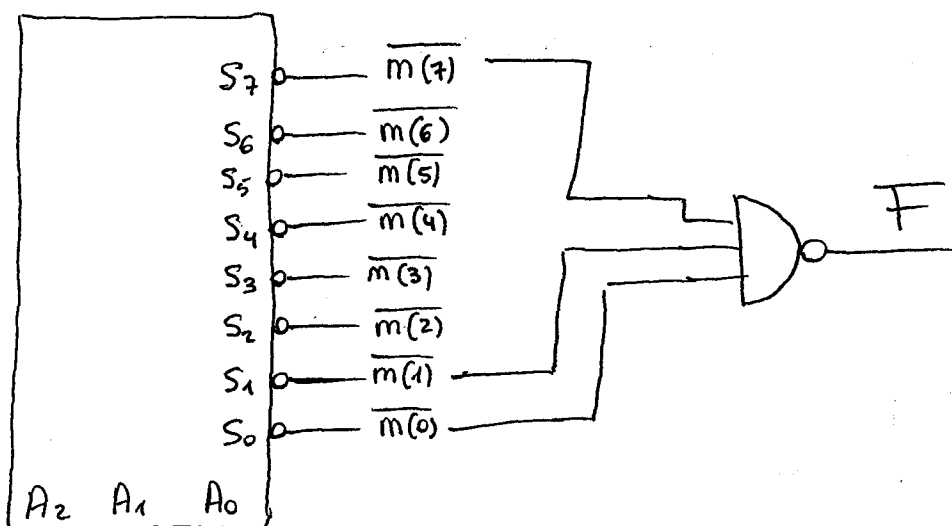
$$\Sigma m(2, 3, 5, 6, 9, 10, 13, 14, 15)$$

V2.-5



V2.-14

$$F(A, B, C) = (A \oplus \bar{B})(C + \bar{B}) \Rightarrow F = \sum m(0, 1, 7)$$



U2. 21

	D	C	B	A	F ₀	F ₁
0	0	0	0	0	1	0
1	0	0	0	1	0	1
2	0	0	1	0	0	0
3	0	0	1	1	1	1
4	0	1	0	0	0	0
5	0	1	0	1	1	1
6	0	1	1	0	1	0
7	0	1	1	1	0	1
8	1	0	0	0	0	1
9	1	0	0	1	1	1
10	1	0	1	0	1	0
11	1	0	1	1	0	0
12	1	1	0	0	1	1
13	1	1	0	1	0	1
14	1	1	1	0	0	0
15	1	1	1	1	1	0

→ no nos lo piden

$$F_1(D, C, B, A) = \sum m(1, 3, 5, 7, 8, 9, 12, 13)$$

F_0

DC \ BA	00	01	11	10
00	1	0	1	0
01	0	1	0	1
11	1	0	1	0
10	0	1	0	1

TABLERO DE AJEDREZ { XOR XNOR

En este caso es XNOR:

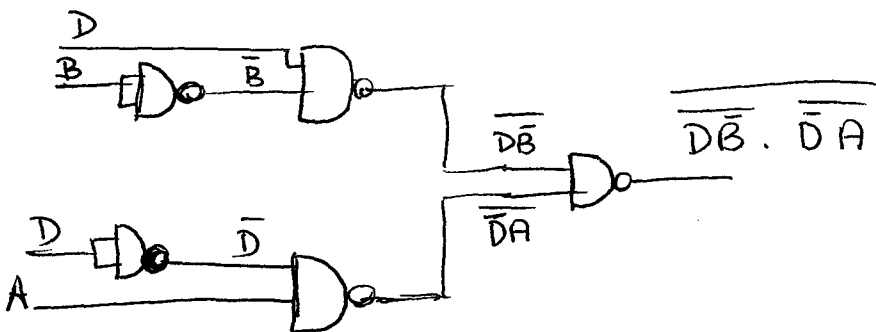
$$F_0 = \overline{D \oplus C \oplus B \oplus A}$$

Usamos Karnaugh para F_1 :

$$F_1 = \overline{DB} + \overline{DA}$$

Pasamos a puertas NAND F_1

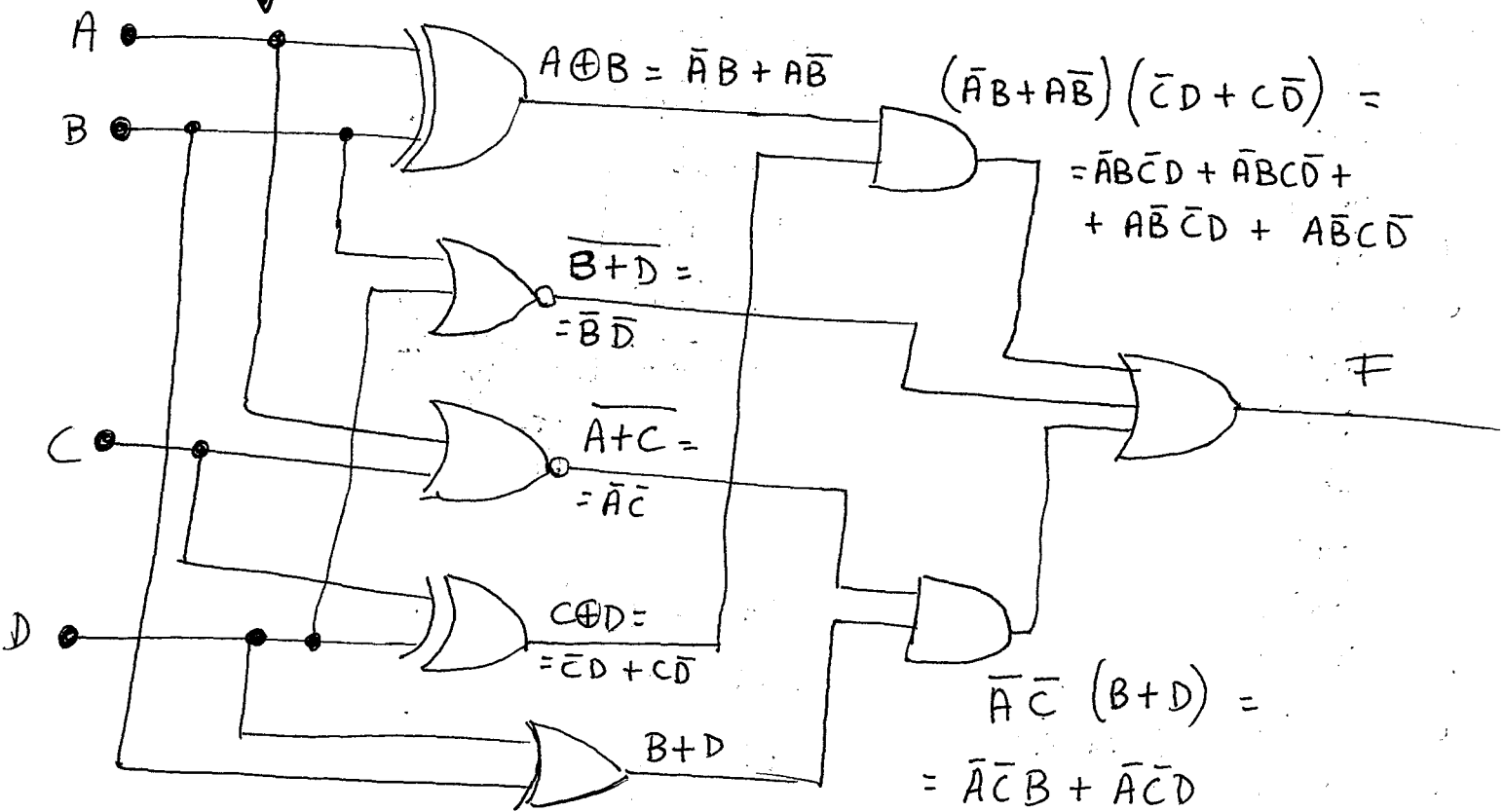
$$F_1 = \overline{DB} + \overline{DA} = \overline{\overline{DB} \cdot \overline{DA}}$$



INDICA DE VERDAD U2.-9

	A	B	C	D	F
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	1
14	1	1	1	0	1
15	1	1	1	1	1

U2.-10



$$F = \bar{A}\bar{B}\bar{C}D + \bar{A}BCD + A\bar{B}\bar{C}D + A\bar{B}C\bar{D} + \bar{B}\bar{D} + \bar{A}\bar{C}B + \bar{A}\bar{C}D$$

U2.-5

S_1	S_0	D_3	D_2	D_1	D_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

a)

$$D_3 = D_0 = 0$$

cuando

$$S_1 = 0 \text{ y } S_0 = 1$$

o cuando

$$S_1 = 1 \text{ y } S_0 = 0$$

$$D_3 = D_0 = 0 \text{ cuando}$$

$$\bar{S}_1 S_0 + S_1 \bar{S}_0 = S_1 \oplus S_0$$

~~Donde~~

D_1 y D_2 no pueden ser los dos ambos a la vez 1.

U2.-9

$$\Sigma_m(2, 3, 5, 6, 9, 10, 13, 14, 15)$$

