

FUNDAMENTOS DE COMPUTADORES
EJERCICIOS U6: Representación digital de los números

U6_1. Realizar las siguientes operaciones en binario natural (verificar las respuestas en decimal):

1. $1100110_2 + 1001011_2$	2. $1011_2 - 0101_2$
3. $11_2 + 11_2$	4. $1000_2 - 101_2$
5. $100_2 + 10_2$	6. $1100_2 - 1000_2$
7. $111_2 + 1_2$	8. $1110001_2 \times 111_2$
9. $110_2 + 100_2$	10. $101010_2 \times 1001_2$
11. $1100_2 + 1000_2$	12. $1011_2 \times 101_2$
13. $1010_2 + 1011_2$	14. $1100_2 \times 101_2$
15. $1001_2 + 1011_2$	16. $1011_2 \times 11_2$
17. $1_2 + 1_2 + 1_2 + 1_2 + 1_2$	18. $1001111_2 \times 0110_2$
19. $1_2 + 1_2 + 1_2 + 1_2 + 1_2 + 1_2$	20. $1100_2 : 100_2$
21. $11_2 - 01_2$	22. $101100_2 : 100_2$
23. $11_2 - 10_2$	24. $100100_2 : 11_2$
25. $111_2 - 100_2$	26. $110000_2 : 110_2$
27. $101_2 - 010_2$	

U6_2. Realizar la operación $0001000_2 - 111001_2$ en donde los operandos están en binario natural. Utilice 10 bits en las operaciones.

- Comprobar que en binario natural no se puede realizar la operación
- En complemento a 2

U6_3. Efectuar las siguientes restas en las que los operandos están en binario natural, dando los resultados binario y C-2 con 10 bits (verificar las respuestas en decimal):

- $10000000 - 110111$
- $00111111 - 00011100$
- $00011100 - 00111111$
- $100001 - 10000$

U6_4. Efectuar las siguientes restas, dando los resultados en C-2 con 10 bits

- $20_{10} - 30_{10}$
- $51_{10} - 64_{10}$
- $12_{10} - 19_{10}$

U6_5. Representar los siguientes números en signo-magnitud y C-2 utilizando 7 bits:

- $+14_{10}$
- -15_{10}

U6_6. Dados los siguientes números y sus representaciones, indicar el equivalente en decimal:

1. 000011_2 , (C2)	2. 1001001 , (SM)
3. 1100101_2 , (C2)	

U6_7. Realizar las siguientes operaciones teniendo en cuenta que todos los números son enteros en la representación en complemento a 2 con 12 bits. Dar el resultado tanto en la representación en complemento a 2 con 12 bits como su equivalente en decimal.

1. $7D0 + 3E8$	2. $A24 - 5DC$
3. $496 + 0EB$	4. $0AF - 7D0$
5. $3E8 + 418$	6. $4B0 - 258$
7. $B3C + 216$	8. $D44 + 2BC$

U6_8. Codificar en BCD:

1. 235_{10}	2. 956_{10}
3. 35_{10}	4. 45785_{10}
5. 98_{10}	6. 826_{10}
7. 170_{10}	8. 1807_{10}
9. 2469_{10}	10. 2905_{10}

U6_9. Decodificar los siguientes números representados en BCD:

FUNDAMENTOS DE COMPUTADORES
EJERCICIOS U6: Representación digital de los números

1. 0001 0000 0000 0011 0100	2. 0001 0011 0101 0111
3. 1001 1100 0010	

U6_10. Realizar las siguientes sumas en BCD:

1. 10011000 + 00110101	2. 1001 + 1001
3. 100110010011 + 010101101000	4. 00110111 + 01000110
5. 00100011 + 00010101	6. 010101100001 + 011100001000
7. 10000110 + 00010011	8. 01010001 + 01011000
9. 01100111 + 01010011	10. 10011000 + 10010111

U6_11. Decodificar el siguiente texto en ASCII:

59 6F 75 20 68 61 76 65 20 73 75 63 63 65 65 64 65 64 2E

U6_12. Codificar el siguiente texto en ASCII (la comilla simple no pertenece al mensaje): 'Feliz Año'

U6_13. Completar los siguientes números añadiendo un bit de paridad siguiendo el criterio de paridad par:

Paridad par		Paridad impar
a) 1001001 ₂		a) 0110001 ₂
b) 000010101 ₂		b) 0111110 ₂
c) 10111101 ₂		c) 10111000 ₂

U6_14. Se pretende transmitir el texto "Hola" en código ASCII (básico con 7 bits) con VRC, LRC y paridad cruzada, utilizando paridad par. Construir los códigos hexadecimales (por columnas) que realmente se transmitirán (los datos se dispondrán en una matriz 7x4, añadiendo la fila de paridades como primera fila y la columna de paridades como última columna).

U6_15. Un circuito lógico tiene 5 entradas y una salida. Cuatro de las entradas A, B, C, y D representan un dígito decimal en BCD y la quinta entrada, E, es de control. Cuando el control está en '0' lógico, la salida vale '0' si el número decimal es par y vale '1' si es impar. Cuando el control está a '1' lógico, la salida vale '0' cuando el número es múltiplo de 3 y vale '1' en el resto de los casos. Se pide diseñar el circuito. NOTA: Se considera que el cero es un múltiplo de 3.

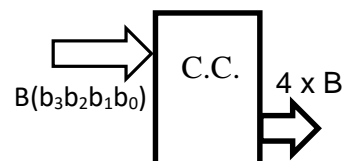
U6_16. Un circuito lógico acepta como entradas dos números enteros de 2 bits $A = A_1A_0$ y $B = B_1B_0$ y suministra una salida de 4 bits $P = P_3P_2P_1P_0$ que es el producto numérico de A y B. Se pide diseñar y dibujar el circuito correspondiente.

U6_17. a) Mostrar en una tabla con 4 entradas (X_1X_0 e Y_1Y_0) que representan a dos números binarios X e Y de 2 bits en complemento a dos, el resultado de la suma $X+Y$, también en complemento a 2. Utilice el menor número de bits de salida que necesite. b) Expresar en maxterms la función par el bit de signo del resultado. c) Expresar también esta misma función como producto de sumas en la forma más simplificada posible.

U6_18. Se pretende diseñar un circuito que multiplique dos números de 3 bits cada uno, codificados en complemento a 2. $A(A_2A_1A_0) \times B(B_2B_1B_0) = R(R_5R_4R_3R_2R_1R_0)$ Se pide:

- a) Obtener la expresión de la función R_5 como la mínima suma de productos. Dibujar el circuito resultante.
b) Obtener la expresión de la función R_0 como el mínimo producto de sumas. Dibujar el circuito resultante.

U6_19. Diseñar un circuito combinacional cuya salida sea el valor de multiplicar por 4 un número en binario natural de 4 bits. Se quiere que la solución sea un diseño que utilice el menor número de puertas lógicas posibles y con el menor número de entradas.



U6_20. Sabiendo que X e Y son números en complemento a 2, se quiere diseñar un circuito que acepte como entrada un número X de 4 bits: $X(X_3X_2X_1X_0)$, y cuya salida $Y(Y_4Y_3Y_2Y_1Y_0)$ satisfaga la siguiente ecuación:

FUNDAMENTOS DE COMPUTADORES
EJERCICIOS U6: Representación digital de los números

$Y = +15$	si	$X > +4$
$Y = 2 \cdot X$	si	$+4 \geq X \geq -4$
$Y = -15$	si	$X < -4$

Se pide:

- Realizar la tabla de verdad
- Obtener la expresión de la función Y_2 como la mínima suma de productos. Dibujar el circuito resultante.
- Obtener la expresión de la función Y_1 como el mínimo producto de sumas. Dibujar el circuito resultante.

U6_21. Se pretende diseñar un circuito cuyas dos entradas, $A(A_1A_0)$ y $B(B_1B_0)$, sean dos números en complemento a 2, y cuya salida $S(S_3S_2S_1S_0)$ sea la suma de A y B , también en complemento a 2. Esto es, $S=A+B$. Se pide:

- Escribir la tabla de verdad.
- Obtener la expresión de la función S_2 como la mínima suma de productos.
- Obtener la expresión de la función S_0 como el mínimo producto de sumas.
- Obtener la expresión de la función S_3 como producto completo de Maxterms.

U6_22. Un circuito lógico tiene 5 entradas y una salida. Cuatro de las entradas A , B , C , y D representan un dígito decimal en BCD y la quinta entrada, E , es de control. Cuando el control está en '0' lógico, la salida vale '0' si el número decimal es par y vale '1' si es impar. Cuando el control está a '1' lógico, la salida vale '0' cuando el número es múltiplo de 3 y vale '1' en el resto de los casos. Se pide diseñar el circuito. NOTA: Se considera que el cero es un múltiplo de 3.

U6_23. Un circuito lógico acepta como entradas dos números enteros de 2 bits $A = A_1A_0$ y $B = B_1B_0$ y suministra una salida de 4 bits $P = P_3P_2P_1P_0$ que es el producto numérico de A y B . Se pide diseñar y dibujar el circuito correspondiente.

U6_24. a) Mostrar en una tabla con 4 entradas (X_1X_0 e Y_1Y_0) que representan a dos números binarios X e Y de 2 bits en complemento a dos, el resultado de la suma $X+Y$, también en complemento a 2. Utilice el menor número de bits de salida que necesite. b) Expresar en maxterms la función par el bit de signo del resultado. c) Expresar también esta misma función como producto de sumas en la forma más simplificada posible.

U6_25. Dado el número real negativo escrito en decimal: $A = -5142,25$, se pide representar A en los siguientes formatos:

- En un formato signo-magnitud en coma fija para 16 bits, con 2 bits para la parte fraccionaria.
- En un formato signo-magnitud en coma fija para 32 bits, con 4 bits para la parte fraccionaria.
- En un formato en complemento a dos para 16 bits, con 2 bits para la parte fraccionaria.
- En un formato en complemento a dos para 32 bits, con 4 bits para la parte fraccionaria.

U6_26. Dado el número real negativo, escrito en decimal: $A = -2.040,125$, se pide representar A en los siguientes formatos:

- En complemento a dos para 16 bits, con 4 bits para la parte fraccionaria.
- En complemento a dos para 32 bits, con 8 bits para la parte fraccionaria. Es obligatorio dar el resultado en Hexadecimal.

U6_27. Se pretende diseñar un circuito cuyas dos entradas, $A(A_1A_0)$ y $B(B_1B_0)$, sean dos números en complemento a 2, y cuya salida $S(S_3S_2S_1S_0)$ sea la suma de A y B , también en complemento a 2. Esto es, $S=A+B$. Se pide:

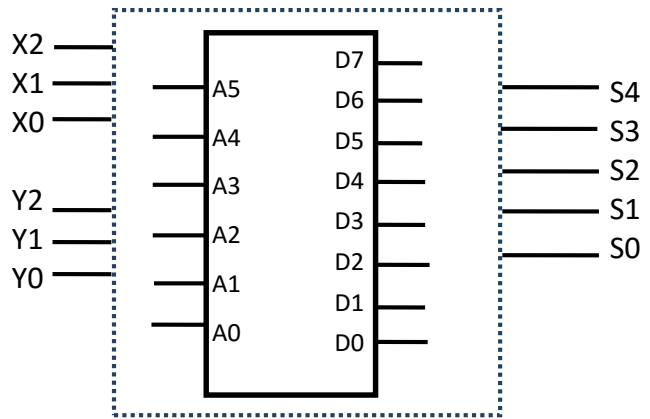
- Completar la tabla de verdad adjunta
- Obtener la expresión de la función S_2 como la mínima suma de productos.
- Obtener la expresión de la función S_0 como el mínimo producto de sumas.
- Obtener la expresión de la función S_3 como producto completo de Maxterms

U6_28. Se pretende diseñar un circuito multiplicador de dos números de 3 bits X e Y , codificados en signo-magnitud. Para simplificar su implementación, se ha utilizado una memoria de 64×8 (64 posiciones de 8 bits de datos cada una de ellas). Se pide:

FUNDAMENTOS DE COMPUTADORES

EJERCICIOS U6: Representación digital de los números

- a. Indicar las conexiones de las variables de entrada (X_2 , X_1 , X_0 , Y_2 , Y_1 e Y_0) y las funciones de salida (S_4 , S_3 , S_2 , S_1 y S_0) con la memoria.
- b. Completar el contenido de las siguientes posiciones de memoria para que realice la función pedida: 0x00, 0x01, 0x02, 0x03, 0x15, 0x1A, 0x24, 0x25, 0x27, 0x29, 0x2C, 0x2D, 0x32, 0x38, 0x3B y 0x3F.



U6_29. Se pide diseñar un circuito secuencial de MEALY que sirva como detector de paridad para un sistema que recibe en serie y sincronamente con la señal del reloj, paquetes de cuatro bits por una única línea de entrada. Al recibir el cuarto bit de cada bloque, la salida del circuito Z , tomará el valor 1 sólo si el número total de unos recibidos en el bloque es un número par y 0 en caso contrario. Tras la recepción del cuarto bit de cada bloque, el sistema debe estar listo para recibir y analizar sin ningún retardo los cuatro bits correspondientes del siguiente bloque. Realice el diagrama de estados mínimo, la tabla de transición y utilizando FF tipo-D, las ecuaciones de excitación (estado) y salida. Suponga que recibir 4 ceros es paridad par.

U6_30. Un circuito secuencial tiene dos entradas (X_1 , X_0) y dos salidas (Z_1 , Z_0). Las entradas representan un número binario de dos bits, $N = X_1X_0$. Si el valor actual de N es mayor que el valor anterior, entonces $Z_1 = 1$. Si el valor actual de N es menor que el valor anterior, entonces $Z_0 = 1$. Si el valor actual de N es igual que el valor anterior, las dos salidas permanecen a 0. Cuando se recibe el primer par de entradas, tras una señal asíncrona de Reset, no hay ningún valor anterior de N , así que no es posible determinar si el valor de N actual es mayor o menor que el valor anterior, por lo que ambas salidas deben ser 0. Se pide diseñar una máquina de estado de Mealy para el circuito.

U6_31. Se quiere diseñar un circuito secuencial que funcione como un sumador serie completo de n bits. Partiendo de una señal de Reset asíncrono que inicializa toda la lógica secuencial a "0", el circuito recibe en serie (sincrónamente con el reloj) por sus dos entradas y empezando por los menos significativos los bits de los dos operandos A_i y B_i . El circuito debe suministrar por sus dos salidas tanto el bit de la suma S_i como el de acarreo C_{i+1} . Se supone que la suma continúa indefinidamente hasta que se recibe un nuevo Reset por la entrada asíncrona, momento en el que la introducción de nuevos operandos se entiende como el comienzo de una nueva suma. Se pide:

- a) Diseñe el diagrama de estados del circuito en su versión Moore, utilizando los estados necesarios de los diagramas adjuntos, añadiendo más si fuera necesario o dejando en blanco los que no se necesiten.
- b) Utilizando flip-flops tipo T, indique el número de biestables necesarios. Realice la tabla de asignación de estados, la tabla de transición entre estados, la función para la excitación de los biestables y la tabla de salida. Utilice las plantillas facilitadas eliminando, si las hubiere, las filas o columnas innecesarias o añadiendo las que considere necesarias.
- c) Exprese en su forma más simplificada como suma de productos las ecuaciones de salida.

U6_32. Diseñe un circuito secuencial de Mealy que calcule, dependiendo del valor de una entrada " S " el complemento a 1 ($S = 0$) o el complemento a 2 ($S = 1$) de un número de 3 bits que se va introduciendo en serie por una entrada " X " comenzando por el bit menos significativo. El bit más significativo del complemento correspondiente aparecerá en la salida al tercer ciclo de reloj. Una vez que se ha empezado a hacer un tipo de complemento (a 1 o a 2) no se cambiará el cálculo aunque varíe la entrada " S ".

Realice únicamente el diagrama de estados utilizando los estados necesarios del diagrama adjunto, añadiendo más si fuera necesario o dejando en blanco los que no se necesiten.

FUNDAMENTOS DE COMPUTADORES
EJERCICIOS U6: Representación digital de los números

U6_33. Se pide el diseño de una máquina de estados finita, FSM de Moore, que detecte si un número entero desconocido es múltiplo de cuatro. Cuando lo detecte, la FSM debe poner la única salida $Z = '1'$, en caso contrario $Z = '0'$. Después de una señal asíncrona de Reset, el número en binario de n bits, empezando por el bit de menos peso, llega al sistema secuencial bit a bit, con cada flanco ascendente del reloj. Una nueva señal de Reset señala el final de número actual y el comienzo del siguiente.

Nota: El número cero es múltiplo de cuatro.

U6_34. En la siguiente tabla se muestran los datos X e Y de dos bits (X_1X_0 e Y_1Y_0) en complemento a dos.

- a)** Escriba en una la tabla la suma de dichos datos ($S_2S_1S_0$). Tenga en cuenta que, como los números vienen dados en complemento a dos, el resultado también estará en complemento a dos.
- b)** Expresé en maxterms la función S_2 . Expresé también S_2 en la forma más simplificada posible como producto de sumas.