

## Hardware de una Personal Computer Manejo de la E/S básica

Alejandro Furfaro

6 de mayo de 2020

## 1 La Personal Computer

- Porqué algunas cosas son como son
- PIT: Programable Interval Timer
- El teclado
- Video Monocromo
- El RTC

# Contenido

## 1 La Personal Computer

- Porqué algunas cosas son como son
- PIT: Programable Interval Timer
- El teclado
- Video Monocromo
- El RTC

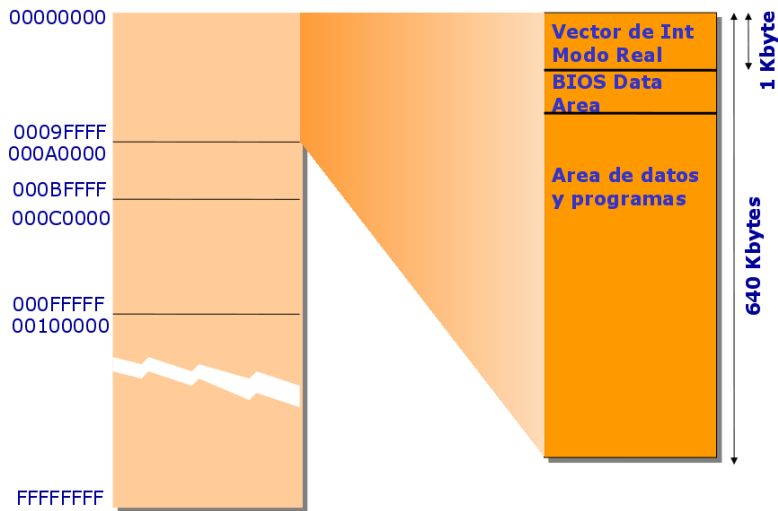
# Compatibilidad... ¿ángel o demonio?

Las PC's actuales deben guardar comatibilidad con la primera

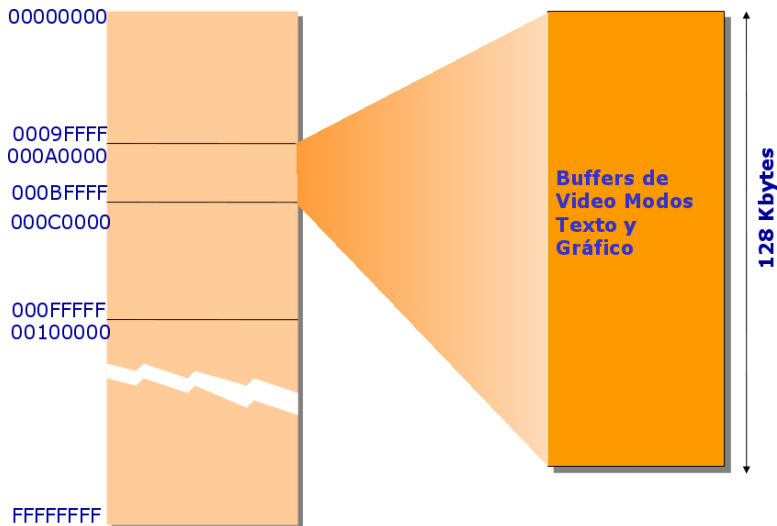


Esto nos lleva a tener un primer Mega de la memoria fragmentado entre RAM y ROM y direcciones de E/S que debemos siempre respetar. El hardware no siempre quedo prolijo, pero los programas no necesitan cambiarse cuando se renueva un equipo.

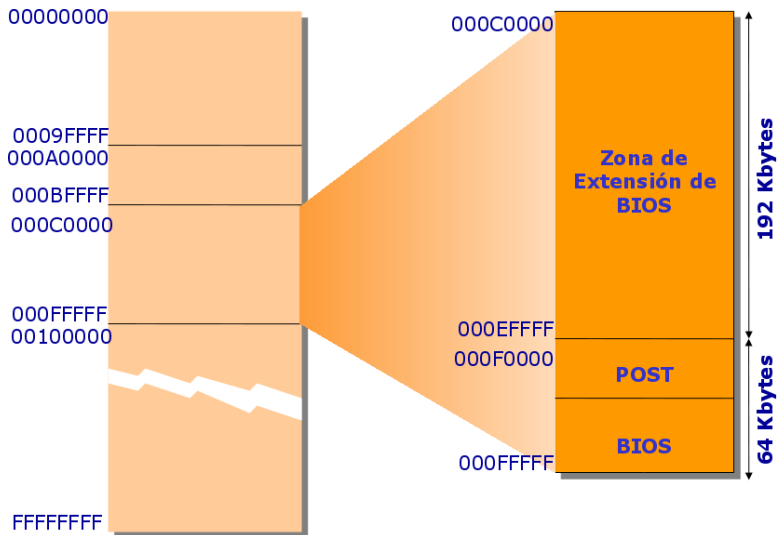
# La memoria



# La memoria



# La memoria

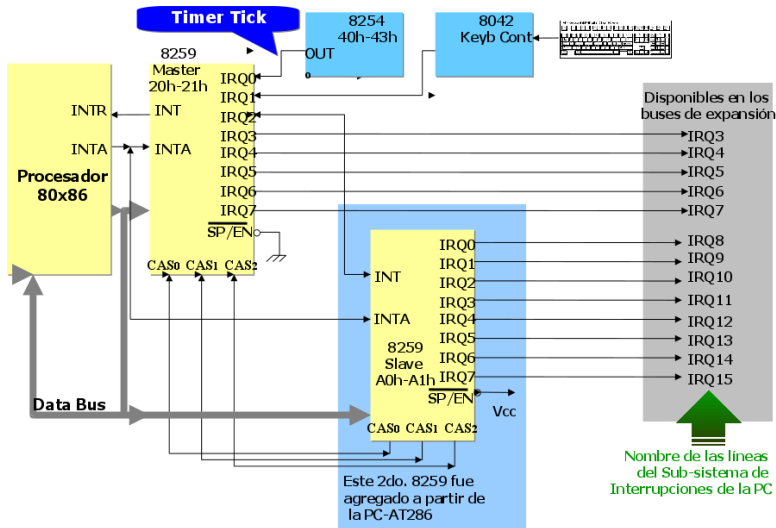


# Direcciones asignadas de Entrada / Salida

Port	Port Assignments	Port	Port Assignments
000-00F	DMA Controller #1	2E2-2E3	Data Acquisition Adapter (AT)
020-02F	Master Programmable Interrupt Controller (PIC)	2E8-2EF	Serial Port COM4
040-05F	Programmable Interval Timer (PIT)	2F0-2F7	Reservado
060-06F	Keyboard Controller	2F8-2FF	Serial Port COM2
070-071	Real Time Clock	300-31F	Prototype Adapter
080-083	DMA Page Register	320-32F	Disponible
0A0-0AF	PIC #2	330-33F	Reserved for XT/370
0C0-0CF	DMA Controller #2	340-35F	Disponible
0E0-0EF	Reservado	360-36F	Network
0F0-0FF	Math coprocessor	370-377	Floppy Disk Controller
110-16F	Disponible	378-37F	Parallel Port 2
170-17F	Hard Drive 1 (AT en adelante)	380-38F	SDLC Adapter
180-1EF	AVAILABLE	390-39F	Cluster Adapter
1F0-1FF	Hard Drive 0 (AT en adelante)	3A0-3AF	Reservado
200-20F	Game Adapter	3B0-3BF	Monochrome Adapter
210-217	Expansion Card Ports	3BC-3BF	Parallel Port 1
220-26F	Disponible	3C0-3CF	EGA/VGA
278-27F	Parallel Port 3	3D0-3DF	Color Graphics Adapter
280-2A1	Disponible	3E0-3EF	Serial Port COM3
2A2-2A3	Clock	3F0-3F7	Floppy Disk Controller
2B0-2DF	EGA/Video	3F8-3FF	Serial Port COM1



# PIC's en la PC



# IRQ's en la PC

IRQ	Tipo	Descripción
IRQ0	08h	Timer tick (T=55 mseg.)
IRQ1	09h	Teclado
IRQ2	0Ah	INT desde 8259A esclavo
IRQ8	70h	Servicio de reloj en tiempo real.
IRQ9	71h	Redireccionamiento por soft. a IRQ2
IRQ10	72h	Reservada
IRQ11	73h	Reservada
IRQ12	74h	Reservada.
IRQ13	75h	Coprocesador numérico.
IRQ14	76h	Controlador de disco rígido.
IRQ15	77h	Reservada.
IRQ3	0Bh	COM2
IRQ4	0Ch	COM1
IRQ5	0Dh	LPT2
IRQ6	0Eh	Controlador de disco flexible (Floppy)
IRQ7	0Fh	LPT1

# Contenido

## 1 La Personal Computer

- Porqué algunas cosas son como son
- PIT: Programable Interval Timer
- El teclado
- Video Monocromo
- El RTC

8253 / 8254

## 8253 / 8254

- **Timer 0:** Dirección 0x40. Base de tiempos del sistema. A su entrada CLK0 se conecta un cristal de 1,193,180 MHz.

## 8253 / 8254

- **Timer 0:** Dirección 0x40. Base de tiempos del sistema. A su entrada CLK0 se conecta un cristal de 1,193,180 MHz.
- Se programa para generar por  $OUT_0$  un pulso cada 55 mseg.

## 8253 / 8254

- **Timer 0:** Dirección 0x40. Base de tiempos del sistema. A su entrada CLK0 se conecta un cristal de 1,193,180 MHz.
- Se programa para generar por  $OUT_0$  un pulso cada 55 mseg.
- Este pin se conecta a la línea  $IRQ_0$  del PIC 8259: así se genera una interrupción a dicho intervalo.

## 8253 / 8254

- **Timer 0:** Dirección 0x40. Base de tiempos del sistema. A su entrada CLK0 se conecta un cristal de 1,193,180 MHz.
- Se programa para generar por  $OUT_0$  un pulso cada 55 mseg.
- Este pin se conecta a la línea  $IRQ_0$  del PIC 8259: así se genera una interrupción a dicho intervalo.
- La frecuencia es 18,2 interrupciones por segundo. Ridículo. Se lo reprograma para aproximar a 1 mseg. Imposible lograr 1 mseg exacto por la frecuencia del cristal.



## 8253 / 8254

- **Timer 0:** Dirección 0x40. Base de tiempos del sistema. A su entrada CLK0 se conecta un cristal de 1,193,180 MHz.
- Se programa para generar por  $OUT_0$  un pulso cada 55 mseg.
- Este pin se conecta a la línea  $IRQ_0$  del PIC 8259: así se genera una interrupción a dicho intervalo.
- La frecuencia es 18,2 interrupciones por segundo. Ridículo. Se lo reprograma para aproximar a 1 mseg. Imposible lograr 1 mseg exacto por la frecuencia del cristal.
- Bochs no lo emula adecuadamente

8253 / 8254

## 8253 / 8254

- **Timer 1:** Dirección 0x41. Se programa del mismo modo que **Timer 0** pero se lo utiliza para activar el sistema de refresco de memoria DRAM.

## 8253 / 8254

- **Timer 1:** Dirección 0x41. Se programa del mismo modo que **Timer 0** pero se lo utiliza para activar el sistema de refresco de memoria DRAM.
- Para ello,  $OUT_1$  va conectado a la entrada  $DREQ_0$  del 8237. A partir del modelo AT 286 se utilizará un hardware dedicado al refresco de memoria.

## 8253 / 8254

- **Timer 1:** Dirección 0x41. Se programa del mismo modo que **Timer 0** pero se lo utiliza para activar el sistema de refresco de memoria DRAM.
- Para ello,  $OUT_1$  va conectado a la entrada  $DREQ_0$  del 8237. A partir del modelo AT 286 se utilizará un hardware dedicado al refresco de memoria.
- **Timer 2:** Dirección 0x42. Se programa para generar a su salida una señal cuadrada de 50 % de duty cycle y  $OUT_2$  se conecta al parlante del sistema.

## 8253 / 8254

- **Timer 1:** Dirección 0x41. Se programa del mismo modo que **Timer 0** pero se lo utiliza para activar el sistema de refresco de memoria DRAM.
- Para ello,  $OUT_1$  va conectado a la entrada  $DREQ_0$  del 8237. A partir del modelo AT 286 se utilizará un hardware dedicado al refresco de memoria.
- **Timer 2:** Dirección 0x42. Se programa para generar a su salida una señal cuadrada de 50 % de duty cycle y  $OUT_2$  se conecta al parlante del sistema.
- **Registro de comando y status.** Dirección 43h.

# Contenido

## 1 La Personal Computer

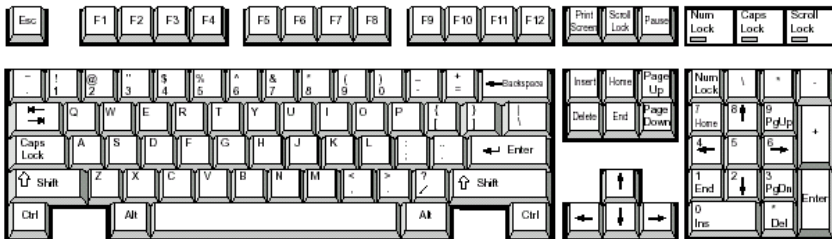
- Porqué algunas cosas son como son
- PIT: Programable Interval Timer
- El teclado
- Video Monocromo
- El RTC

# Teclado: Layout

Original PC/XT - Keyboard with 83 keys



AT - Keyboard (MF-II) with 101 or 102 keys





# Subsistema de Teclado

# Subsistema de Teclado

- 1 Un Microcontrolador se encarga del barrido de la matriz de teclas con la implementación del control de anti rebote.

# Subsistema de Teclado

- 1 Un Microcontrolador se encarga del barrido de la matriz de teclas con la implementación del control de anti rebote.
- 2 Una vez detectada la pulsación o liberación de una tecla se transmite por línea serie a la PC el código de la misma.

# Subsistema de Teclado

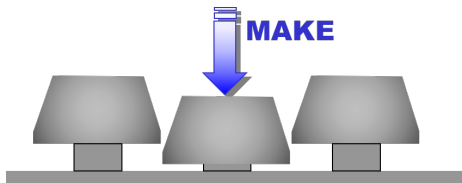
- 1 Un Microcontrolador se encarga del barrido de la matriz de teclas con la implementación del control de anti rebote.
- 2 Una vez detectada la pulsación o liberación de una tecla se transmite por línea serie a la PC el código de la misma.
- 3 Cada tecla se identifica con un código de acuerdo con su posición dentro del layout del teclado. En el caso de la tecla ESC por ejemplo su código es 1.

# Subsistema de Teclado

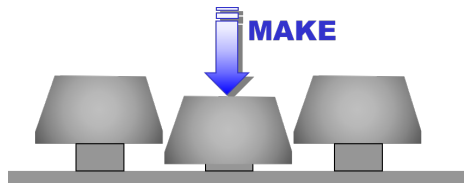
- 1 Un Microcontrolador se encarga del barrido de la matriz de teclas con la implementación del control de anti rebote.
- 2 Una vez detectada la pulsación o liberación de una tecla se transmite por línea serie a la PC el código de la misma.
- 3 Cada tecla se identifica con un código de acuerdo con su posición dentro del layout del teclado. En el caso de la tecla ESC por ejemplo su código es 1.
- 4 Este valor se denomina SCAN CODE (o código de rastreo en algunas traducciones)

# Subsistema de Teclado

# Subsistema de Teclado



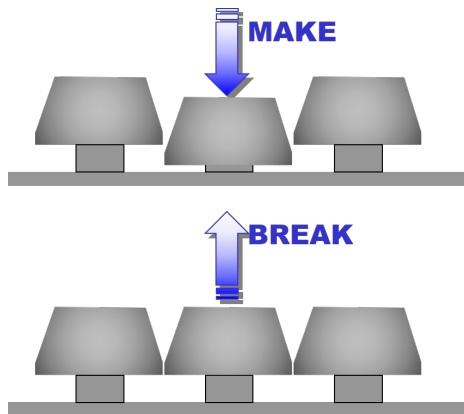
# Subsistema de Teclado



- El **SCAN CODE** se transmite cada vez que se pulsa una tecla acción conocida como **MAKE**, razón por la cual se denomina **MAKE CODE**.

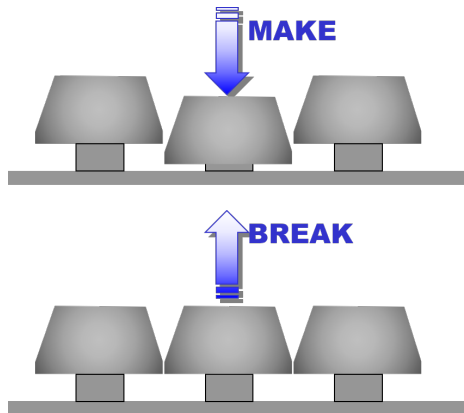


# Subsistema de Teclado



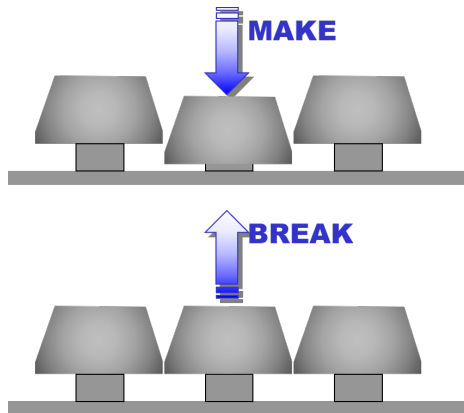
- El **SCAN CODE** se transmite cada vez que se pulsa una tecla acción conocida como **MAKE**, razón por la cual se denomina **MAKE CODE**.

# Subsistema de Teclado



- El **SCAN CODE** se transmite cada vez que se pulsa una tecla acción conocida como **MAKE**, razón por la cual se denomina **MAKE CODE**.
- Cuando se libera la tecla pulsada (acción conocida como **BREAK**), se vuelve a transmitir el **SCAN CODE** de la tecla a la PC.

# Subsistema de Teclado



- El **SCAN CODE** se transmite cada vez que se pulsa una tecla acción conocida como **MAKE**, razón por la cual se denomina **MAKE CODE**.
- Cuando se libera la tecla pulsada (acción conocida como **BREAK**), se vuelve a transmitir el **SCAN CODE** de la tecla a la PC.

- El hardware del Motherboard recibe por una interfaz serie tanto el **MAKE CODE** como el **BREAK CODE**, y genera una interrupción por  $IRQ_1$  en cada caso.

# Subsistema de Teclado

# Subsistema de Teclado

- La PC detecta tanto la pulsación como la liberación de cada tecla. De otro modo no se podría por ejemplo actuar ante CTRL+ALT+DEL.

# Subsistema de Teclado

- La PC detecta tanto la pulsación como la liberación de cada tecla. De otro modo no se podría por ejemplo actuar ante CTRL+ALT+DEL.
- Para diferenciar la acción de **BREAK** de un **MAKE** el código que se transmite es el mismo **SCAN CODE** pero con el MSB en 1. Este código se denomina **BREAK CODE**.

# Subsistema de Teclado

- La PC detecta tanto la pulsación como la liberación de cada tecla. De otro modo no se podría por ejemplo actuar ante CTRL+ALT+DEL.
- Para diferenciar la acción de **BREAK** de un **MAKE** el código que se transmite es el mismo **SCAN CODE** pero con el MSB en 1. Este código se denomina **BREAK CODE**.
- A partir de la AT 286, se incluye en el motherboard un microcontrolador 8042 que se encarga de recibir el **MAKE CODE** o el **BREAK CODE**.

# Subsistema de Teclado

- La PC detecta tanto la pulsación como la liberación de cada tecla. De otro modo no se podría por ejemplo actuar ante CTRL+ALT+DEL.
- Para diferenciar la acción de **BREAK** de un **MAKE** el código que se transmite es el mismo **SCAN CODE** pero con el MSB en 1. Este código se denomina **BREAK CODE**.
- A partir de la AT 286, se incluye en el motherboard un microcontrolador 8042 que se encarga de recibir el **MAKE CODE** o el **BREAK CODE**.
- Es un miembro especial de la ancestral familia de microcontroladores MCS-51 de Intel, denominado Universal Peripheral Interface.



# Subsistema de Teclado en el Motherboard

# Subsistema de Teclado en el Motherboard

- El controlador 8042, dispone de una interfaz para que sus propios ports integrados sean accesibles desde el exterior por otro microprocesador.

# Subsistema de Teclado en el Motherboard

- El controlador 8042, dispone de una interfaz para que sus propios ports integrados sean accesibles desde el exterior por otro microprocesador.
- Una vez leído de su port serie el código transmitido desde el teclado, el 8042 chequea la paridad del dato leído, traduce los **SCAN CODE** y los deja disponible en un port interno que visto desde el exterior se accede en la dirección 60h del mapa de E/S de la PC.

# Subsistema de Teclado en el Motherboard

- El controlador 8042, dispone de una interfaz para que sus propios ports integrados sean accesibles desde el exterior por otro microprocesador.
- Una vez leído de su port serie el código transmitido desde el teclado, el 8042 chequea la paridad del dato leído, traduce los **SCAN CODE** y los deja disponible en un port interno que visto desde el exterior se accede en la dirección 60h del mapa de E/S de la PC.
- Mediante este mecanismo de doble acceso, el procesador x86 lee un port del 8042 del motherboard, en el que el microcontrolador 8042 escribió los datos recibidos desde el teclado por una interfaz serie.

# Registros accesibles al Procesador x86

# Registros accesibles al Procesador x86

- Registro de status (Read) o comandos (Write). Se accede en la dirección 64h de E/S de la PC.

# Registros accesibles al Procesador x86

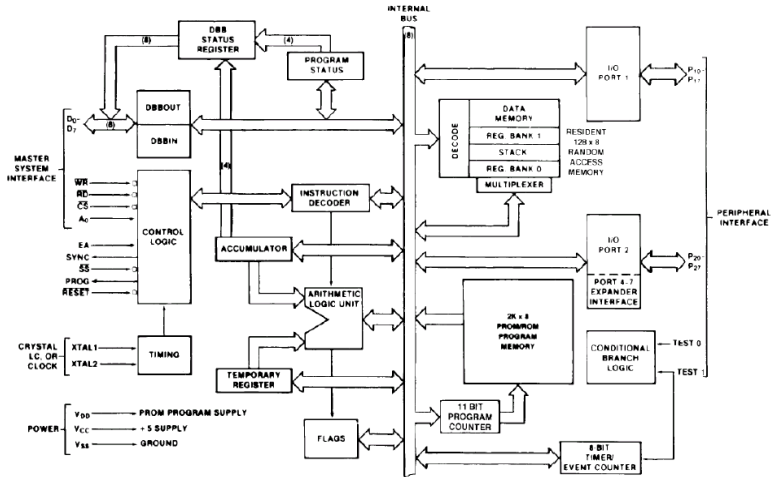
- Registro de status (Read) o comandos (Write). Se accede en la dirección 64h de E/S de la PC.
- Output Buffer (Read only), para leer el código de la tecla pulsada o liberada. Se accede en la dirección 60h de E/S

# Registros accesibles al Procesador x86

- Registro de status (Read) o comandos (Write). Se accede en la dirección 64h de E/S de la PC.
- Output Buffer (Read only), para leer el código de la tecla pulsada o liberada. Se accede en la dirección 60h de E/S
- Input Buffer (Write only). En la dirección 64h se escribe un comando al controlador (Command Register, visto anteriormente). En la dirección 60h se escribe un dato, que será enviado al teclado.



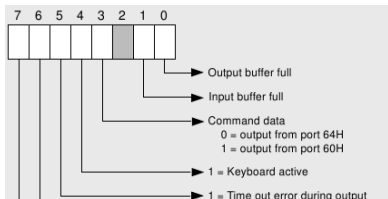
# El teclado usa un controlador Dedicado



# Registro de Estados

## Direcciones de E/S del Controlador de Teclado

- El Controlador de teclado presenta dos puertos accesibles al programador: 0x60 y 0x64
- Cuando leemos el 0x60, leemos el scan code presente en el buffer de entrada.
- Cuando leemos el 0x64, leemos el status register
- Para escribirle un comando se escribe el mismo en el port 0x60, y el dato que acompaña al comando se escribe en el port 0x64



# Contenido

## 1 La Personal Computer

- Porqué algunas cosas son como son
- PIT: Programable Interval Timer
- El teclado
- **Video Monocromo**
- El RTC

# Estructura

# Estructura

- Se trata de un sistema de control de video, podríamos decir, milenario considerado la asombrosa evolución de esta tecnología.

# Estructura

- Se trata de un sistema de control de video, podríamos decir, milenario considerado la asombrosa evolución de esta tecnología.
- Se basa en un sincronizador de barrido alguna lógica adicional y dos memorias: Una ROM en donde están los dibujos de cada caracter y una RAM en la que se escriben los ASCII que se requiere presentar.

# Estructura

- Se trata de un sistema de control de video, podríamos decir, milenario considerado la asombrosa evolución de esta tecnología.
- Se basa en un sincronizador de barrido alguna lógica adicional y dos memorias: Una ROM en donde están los dibujos de cada caracter y una RAM en la que se escriben los ASCII que se requiere presentar.
- La única parte accesible a los programadores es la RAM, conocida desde el inicio como RAM de Video.

# Estructura

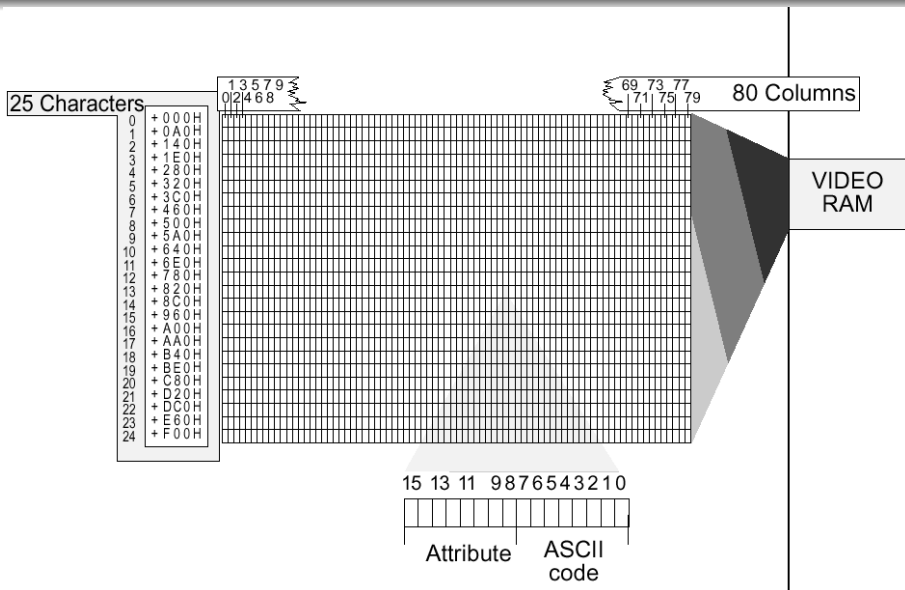
- Se trata de un sistema de control de video, podríamos decir, milenario considerado la asombrosa evolución de esta tecnología.
- Se basa en un sincronizador de barrido alguna lógica adicional y dos memorias: Una ROM en donde están los dibujos de cada caracter y una RAM en la que se escriben los ASCII que se requiere presentar.
- La única parte accesible a los programadores es la RAM, conocida desde el inicio como RAM de Video.
- En el mapa de memoria de la PC esta RAM comienza en la dirección física 0x00B0000



# Estructura

- Se trata de un sistema de control de video, podríamos decir, milenario considerado la asombrosa evolución de esta tecnología.
- Se basa en un sincronizador de barrido alguna lógica adicional y dos memorias: Una ROM en donde están los dibujos de cada caracter y una RAM en la que se escriben los ASCII que se requiere presentar.
- La única parte accesible a los programadores es la RAM, conocida desde el inicio como RAM de Video.
- En el mapa de memoria de la PC esta RAM comienza en la dirección física 0x000B0000
- Rápidamente aparecieron alternativas de video color y se remapeó la dirección de la RAM de Video de estas tarjetas en la dirección 0x000B8000, a fin de garantizar la coexistencia de ambos sistemas de video en el mismo equipo (situación muy frecuente durante una década en la que no se lograba mejorar la muy buena resolución de las tarjetas monocromo)

# Diagrama de un controlador de video monocromo



# Diagrama de un controlador de video monocromo

7	6	5	4	3	2	1	0
<b>B</b>	<b>Background</b>			<b>I</b>	<b>Foreground</b>		

Background	Foreground	Atributo
000	000	No se escribe
000	001	Subrayado
000	111	Normal
111	000	Inverso

# Contenido

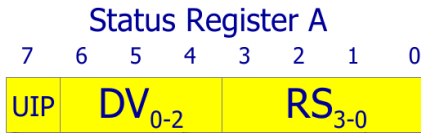
## 1 La Personal Computer

- Porqué algunas cosas son como son
- PIT: Programable Interval Timer
- El teclado
- Video Monocromo
- El RTC

# Los Registros Internos

Registros del MC 146818			
00	Segundos	10	Byte de tipo de drive de disquete (A y B)
01	Segundos de alarma	11	Reservado
02	Minutos	12	Byte de tipo de hard disk (C y D)
03	Minutos de alarma	13	Reservado
04	Horas	14	Byte de equipo
05	Horas de alarma	15	Byte bajo de memoria base
06	Día de la semana	16	Byte alto de memoria base
07	Fecha del Mes	17	Byte bajo de expansión de memoria
08	Mes	18	Byte alto de expansión de memoria
09	Año	19-2D	Reservado
0A	Status Register A	2E-2F	Checksum del CMOS (registros 10h a 2Fh)
0B	Status Register B	30	Byte bajo de expansión de memoria
0C	Status Register C	31	Byte alto de expansión de memoria
0D	Status Register D	32	Byte de siglo de fecha
0E	Byte de estados de diagnóstico	33	Flag de información (seteado durante power on)
0F	Byte de estado de Shutdown	34-3F	Reservado

# Status Register A



RS<sub>3-0</sub>: Rate Selection bits.

Seleccionan el divisor de frecuencia de salida. El sistema inicializa este valor en 0110.

Esto selecciona una señal cuadrada de salida de 1024 Hz, o lo que es igual un período de 0,976562 mseg.

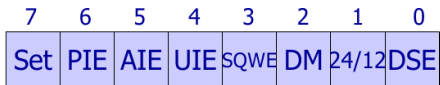
Update in progress.

- ☐ 1: Indica ciclo de actualización del reloj en proceso.
- ☐ 0: Indica fecha y hora listas para su lectura

DV<sub>2-0</sub>:

Divisor de 22 etapas que permite setear la frecuencia de la base de tiempos del sistema. El power on self test lo coloca en 010 de modo de establecer 32,768 Khz.

# Status Register B (nibble alto)



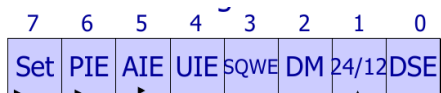
**Update-Ended Interrupt Enable.** Habilita (activo alto) el envío de interrupción cada vez que actualiza fecha y hora.

**Alarm Interrupt Enable.** Activo alto. Habilita el envío de una interrupción en la fecha y hora de alarma programada.

**Periodic Interrupt Enable.** Activo alto. Habilita el envío de una señal de interrupción a períodos establecidos en los bits  $RS_{3-0}$  del Status Register A.

0: Se actualiza el reloj a razón de una cuenta por segundo. 1: Se detiene la actualización permitiendo inicializar los 14 registros sin interrupción hasta que vuelva a ponerse en '0'.

# Status Register B (nibble bajo)



**Daylight Saving Enable.** El POST lo inicializa en 0, indicando que no está habilitado

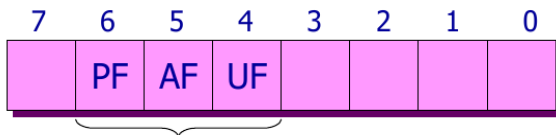
0: Modo 12 hs. 1: Modo 24hs. (El POST lo inicializa de este modo)

**Date Mode.** 0: Fecha y hora se actualizan en BCD (El POST lo inicializa de este modo). 1: Fecha y hora se actualizan en Binario.

**Square Wave Enable.** Activo alto. Habilita la generación de una onda cuadrada a intervalos establecidos en el Status Register A.



# Status Registers C y D



Bits Read only, que reflejan el estado de los bits PIE, AIE, y UIE del Status Register B

## Valid RAM and Time.

Indica con un 0 que el sistema no tiene alimentación suficiente (batería de Litio baja)

