

Projektni Zadatak 2021/2

Arhitekture i algoritmi DSP-a 2

Autor: Aleksa Heler

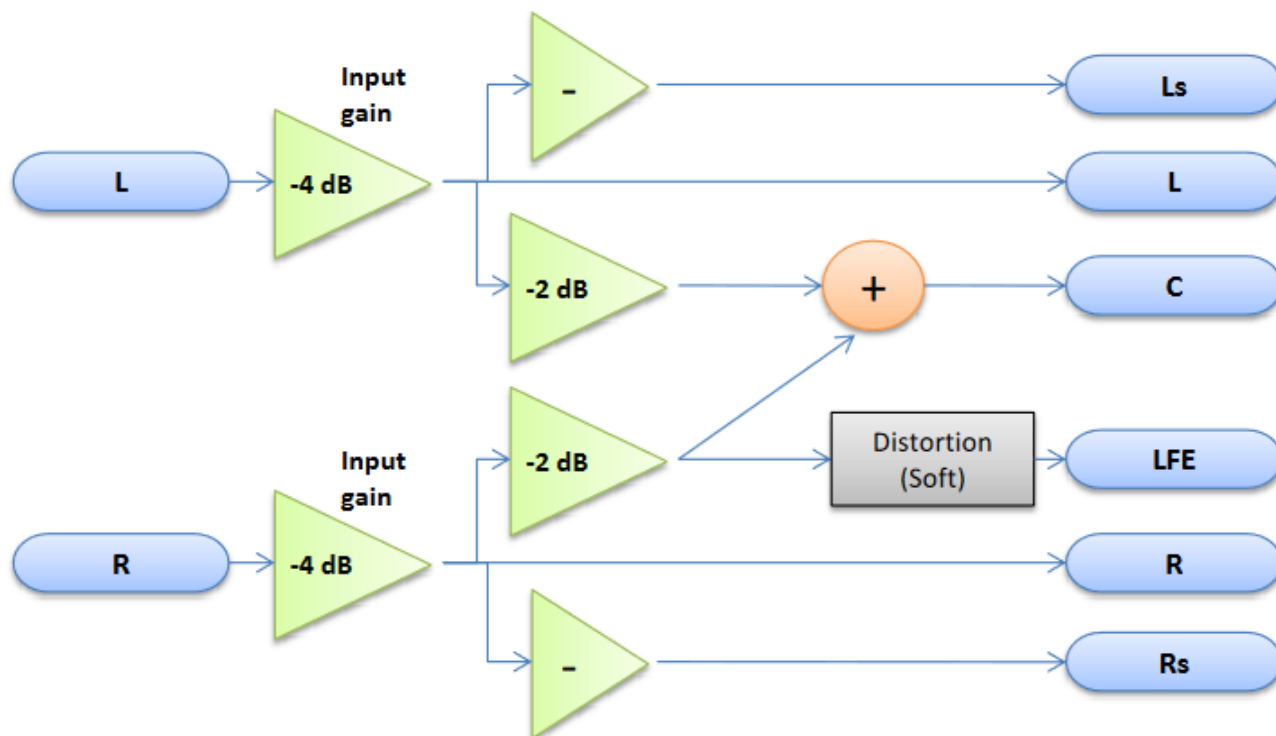
Fakultet tehničkih nauka, Novembar 2021.

Sadržaj

Opis zadatka.....	3
Opis realizacije.....	4
Model 0.....	4
Model 1.....	4
Model 2.....	4
Model 3.....	4
Simulator.....	4
Ispitivanje i verifikacija.....	5

Opis zadatka

Realizovati kombinovanje kanala na osnovu date šeme i tabele. Za implementaciju koristiti razvojno okruženje Cirrus Logic IDE (CLIDE).



control	Enable	Input gain	Output Mode
values	On/Off	From 0 to -∞ dB	2_2_0, 2_2_1, 3_2_0, 3_2_1
default value	On	-4 dB	2_2_0

Opis realizacije

Model 0

Prvi korak je realizovati referentni C kod u aritmetici pokretnog zareza (*floating point*). Obrada se vrši po blokovima. Jedan blok predstavlja 16 odbiraka signala. Na ulaz dolazi 2 kanala (L, R), a izlaz predstavlja do 6 kanala (L, R, C, LFE, Ls, Rs). Omogućiti prosleđivanje naziva ulaznih i izlaznih datoteka kao i vrednosti kontrola (*gain, output mode*) preko parametara komandne linije.

Model 1

Model 2

Optimizacija distorzije

Model 3

Simulator

Ispitivanje i verifikacija