

### Treće provera znanja u laboratoriji

Dat je projekat u arhivi Primer\_Transaction\_full\_TB\_NOV.zip koji se realizuje osnovno ispitivanje memorijskog integrisanog kola. Postojeći TB ispituje dati DUT po pitanju upisa i čitanja po jedne reči iz memorije, kako je već u okviru DUT-a definisano.

- Postojeći DUT ima mogućnost upisa jedne reči i čitanja jedne reči na nivou dizajna. Potrebno je uz ovaj vid čitanja i pisanja proširiti DUT sa dodatnim signalima koji će omogućiti upis dve reči u memoriju i čitanje dve reči u memoriju.

Zahtevano treba realizovati nad postojećim modulom device (design.sv)

Potrebno je dodati dva input signala i to:

write\_dual\_en

read\_dual\_en

tehnika upisa dvostruke reči podrazumeva tokom rastuće ivice takta, ukoliko je signal write\_dual\_en visok, preuzima se prva reč sa porta data\_wr i smešta u internu memoriju `memory_array [address ] <= data_wr` zatim na sledeću ivicu takta sa istog porta naredna reč ide u narednu lokaciju, naime `memory_array [address+1 ] <= data_wr ;`

tehnika čitanja dvostruke reči podrazumeva tokom rastuće ivice takta, ukoliko je signal read\_dual\_en visok, preuzima se prva reč sa tražene adrese address iz interne memorije i postavlja se na port data\_rd `data_rd <= memory_array [address ];` zatim na sledeću ivicu takta sa istog porta naredna adresa se isčitava i postavlja na port data\_rd, naime

- Napisati novi test koji verifikuje navedenu funkcionalnost write\_dual i read\_dual. Pseudosločajno generisati 10 operacija ovakvog upisa i 10 operacija ovakvog čitanja. Sa ovim ciljem po potrebi izmeniti sve neophodne blokove u ovoj simulaciji i dizajnu.

Literatura se može koristiti, kao i prethodno rađene vežbe, udžbenik i internet.