

VEŽBA 2

Sekvencijalna mreža u Verilog-u

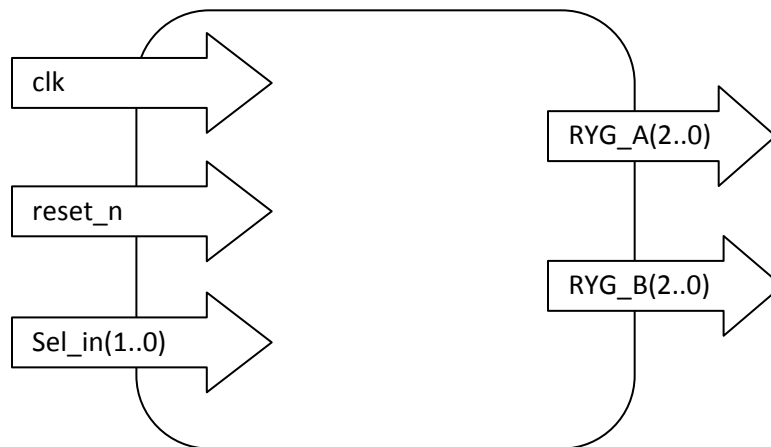
U Verilogu-u realizovati sekvencijalni blok koji realizuje funkciju semafora..

Ulazni i izlazni portovi su označeni na slici, signal takta je **clk**, reset u negativnoj logici je **reset_n**, dok je selektor dužine trajanja zelenog, odnosno crvenog svetla označen kao **Sel_in(1..0)**.

Potrebno je realizovati semafor koji pokriva zamišljenu raskrsnicu na kojoj se ukrštaju ulice A i B.

A	B	Sel=00	Sel=01	Sel=10
Zeleno/RYG_A=001	Crveno/RYG_B=100	30s	40s	20s
Žuto/RYG_A=010	Žuto/RYG_B=010	7s	7s	7s
Crveno/RYG_A=100	Zeleno/RYG_B=001	30s	20s	40s
Žuto/RYG_A=010	Žuto/RYG_B=010	7s	7s	7s

Semafor okrenut ka ulici A pomoću signala RYG_A koji je 3-bitni upravlja crvenim, žutim i zelenim svetlom, istu funkciju za ulicu B realizuje signal RYG_B, kao što definiše gornja tabela. Automat kreirati tako da ima 4 stanja i da vreme trajanja svakog od njih opredeljuje brojač. Signal takta u sistemu je frekvencije 100Hz. U toku reseta sistema na obe ulice semafor mora da signalizira žuto svetlo.



Formirati testbenč u kome se ispituje funkcionalnost, odnosno ispravnost ovakvog semafora.

Pripremljeni okvir projekta u Mentor Questa alatu spakovan je u arhivi Vezba_1_Verilog_sekv.zip

Potrebno je u izvornom semafor.v fajlu implementirati željenu funkcionalnost.

Testbenč je uokviren u fajlu semafor_tb.v. Potrebno je formirati sekvencu pobude koja ispituje funkcionalnost semafora za sva tri režima prioriteta ulica A u odnosu na B (različito trajanje zelenog svetla).