

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Національний аерокосмічний університет ім. М.Є. Жуковського
“Харківський авіаційний інститут”

Кафедра комп’ютерних систем, мереж і кібербезпеки

Лабораторна робота №1

**ОБЩЕЕ ЗНАКОМСТВО С ЯЗЫКОМ ОПИСАНИЯ
АППАРАТУРЫ VHDL. РАЗРАБОТКА ПРОСТЫХ
ПРОЕКТНЫХ РЕШЕНИЙ ЦИФРОВЫХ УСТРОЙСТВ
С ПОМОЩЬЮ ЯЗЫКА ОПИСАНИЯ АППАРАТУРЫ
VHDL**

XAI.503.525A.20B. 123, 1805033

Виконав студент гр. 525a
(№ групи)

Іванський Олександр Сергійович
(П.І.Б.)

12.02.2020
(підпис, дата)

Перевірив викладач
(науковий ступінь, вчене звання, посада)

12.02.2020
(підпис, дата)

Перепелицин А.Є.
(П.І.Б.)

Цель работы – научиться создавать простые проектные решения с помощью языка описания аппаратуры VHDL в среде проектирования Quartus II Web Edition, проводить их отладку в среде ModelSim-Altera. Ознакомиться с общей структурой VHDL описания цифровых устройств. Понятие RTL-уровень представления цифровых проектов. Рассмотреть основные типы данных языка VHDL, архитектурное тело проекта и его декларативную часть.

Задание

В среде проектирования Quartus II Web Edition создать на языке VHDL описание устройства в соответствии с индивидуальным заданием. Отладить разработанное проектное решение в среде ModelSim-Altera. Создать условно-графическое изображение полученного текстового описания (BSF).

$$Y = (!X1 \vee X2 \vee X3) \& !(X4 \oplus X5)$$

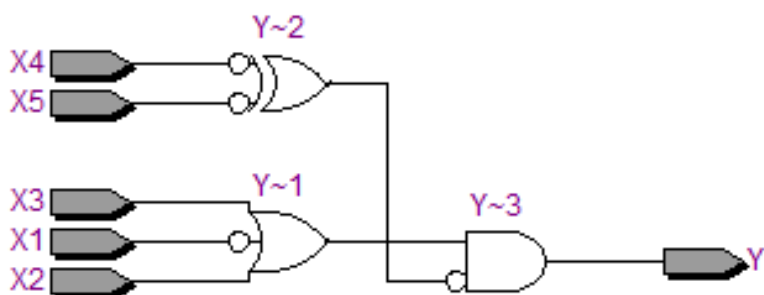
Листинг VHDL кода проекта

```
library ieee;
use ieee.std_logic_1164.all;

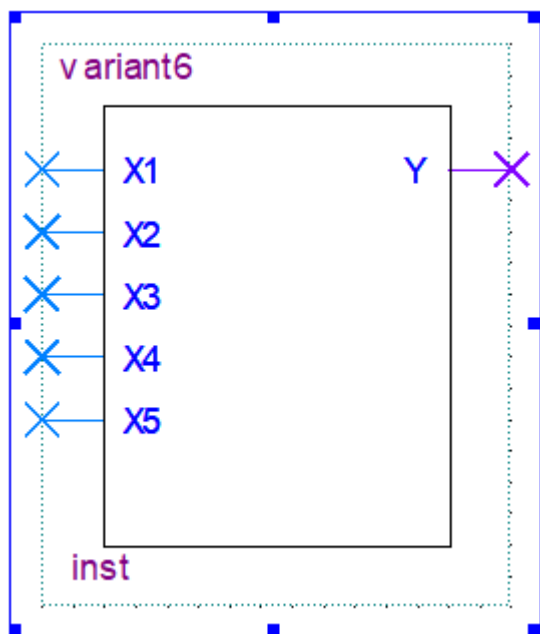
entity variant6 is
    port(
        X1, X2, X3, X4, X5      : in  std_logic;
        Y      : out  std_logic
    );
end entity;

architecture rtl of variant6 is
begin
    Y <= (not(X1) or X2 or X3) and not(not(X4) xor not(X5));
end rtl;
```

RTL-представление проекта



Условно-графическое обозначение элемента (BSF)



Листинг VHDL кода тестирующего модуля (TestBench)

```

library ieee;
use ieee.std_logic_1164.all;
entity tb_variant6 is

end entity;

architecture rtl of tb_variant6 is
  component variant6 is
    port(
      X1, X2, X3, X4, X5      : in  std_logic;
      Y      : out  std_logic
    );
  end component;
  signal X1, X2, X3, X4, X5, Y      : std_logic;
begin
  metochka :variant6 port map(X1, X2, X3, X4, X5, Y);

  process
    begin
    X1 <= '0';
    wait for 50 ps;
    X1 <= '1';
    wait for 50 ps;
    end process;

  process

```

```

begin
X2 <= '0';
wait for 100 ps;
X2 <= '1';
wait for 100 ps;
end process;

```

```

process
begin
X3 <= '0';
wait for 200 ps;
X3 <= '1';
wait for 200 ps;
end process;

```

```

process
begin
X4 <= '0';
wait for 400 ps;
X4 <= '1';
wait for 400 ps;
end process;

```

```

process
begin
X5 <= '0';
wait for 800 ps;
X5 <= '1';
wait for 800 ps;
end process;

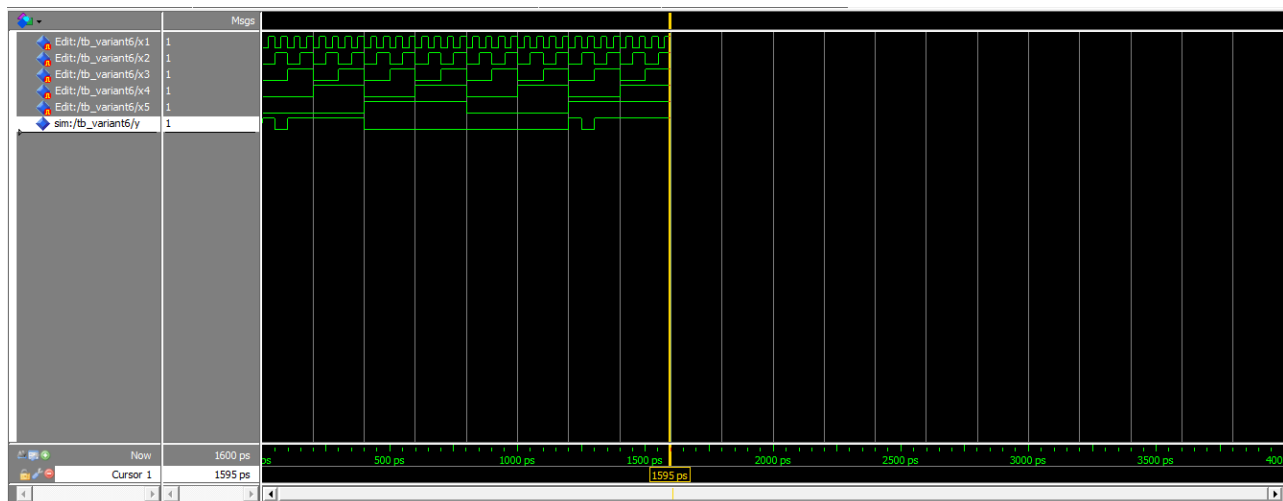
```

```

end rtl;

```

Эпюры напряжений



Выводы: выполняя данную лабораторную работу, я научился создавать простые проектные решения с помощью языка описания аппаратуры VHDL в среде проектирования Quartus II Web Edition, проводить их отладку в среде ModelSim-Altera, ознакомился с общей структурой VHDL описания цифровых устройств.