

Architektury systemów komputerowych

Lista zadań nr 10

Na zajęcia 13 maja 2021

Przed przystąpieniem do rozwiązywania zadań należy zapoznać się z [1, §6.1], [1, §6.2] i [1, §6.3].

UWAGA! W trakcie prezentacji rozwiązań należy zdefiniować i wyjaśnić pojęcia, które zostały oznaczone **wytluszczoną** czcionką.

Zadanie 1. Rozważmy dysk o następujących parametrach: jeden **plater**; jedna **głowica**; 400 tysięcy **ścieżek** na powierzchni; 2500 **sektorów** na ścieżkę; 7200 obrotów na minutę; czas wyszukiwania: 1ms na przeskoczenie o 50 tysięcy ścieżek. Odpowiedz na następujące pytania:

1. Jaki jest średni **czas wyszukiwania** (ang. *seek time*)?
2. Jaki jest średni **czas opóźnienia obrotowego** (ang. *rotational latency*)?
3. Jaki jest **czas transferu** (ang. *transfer time*) sektora?
4. Jaki jest całkowity średni czas obsługi żądania?

Zadanie 2. Rozważmy dysk z poprzedniej epoki o następujących parametrach: 360 obrotów na minutę, 512 bajtów na sektor, 96 sektorów na ścieżkę, 110 ścieżek na powierzchni. Dysk sygnalizuje dostępność danych zgłaszając **przerwanie** na każdy przeczytany bajt, a wykonanie **procedury przerwania** zajmuje $2.5\mu s$. Następnie do systemu dodajemy **kontroler DMA**, więc przerwanie będzie generowane tylko raz po wczytaniu sektora do pamięci. Ile czasu zostanie procesorowi na pozostałe czynności w trakcie czytania n sektorów (a) bez użycia (b) przy użyciu kontrolera DMA? Należy zignorować czas wyszukiwania ścieżki i sektora.

Wskazówka: Przerwania omówiono w [1, §8.1.2]. Przyjrzyjmy się im bliżej na przedmiocie Systemy Operacyjne.

Zadanie 3. 32-bitowa **magistrala** ma **przepustowość** (ang. *throughput*) 10 milionów transferów na sekundę. Do magistrali podpięty jest prosty procesor RISC bez pamięci podręcznej, kontroler dysku twardego z DMA i pamięć operacyjna. Wszystkie instrukcje są 32-bitowe, a ich wykonanie zajmuje dwa **cykle magistrali**. W pierwszym cyklu następuje pobranie instrukcji z pamięci i jej zdekodowanie, a w drugim jej wykonanie. Dla instrukcji wykonujących dostęp do pamięci w drugim cyklu nastąpi odwołanie do pamięci. Dla pozostałych instrukcji w drugim cyklu procesor nie odwołuje się do magistrali.

Moduł DMA kontrolera dysku do transferu danych używa techniki **podkradania cykli** (ang. *cycle stealing*¹). Procesor wykonuje ciąg instrukcji, z których 40% robi dostęp do danych w pamięci. Moduł DMA może transferować dane z dysku z prędkością 5MB/s. Ile instrukcji przetworzy w ciągu sekundy procesor, gdy transfer danych z dysku jest (a) nieaktywny (b) aktywny.

Zastanów się: Co złego mogłoby się stać, gdyby kontroler dysku dostawał wyłącznie cykle magistrali nieużywane przez procesor?

Zadanie 4. Rozważamy umiarkowanie nowoczesny procesor x86-64 (np. **i7-6700**²), o częstotliwości taktowania 2.5GHz, z trzema poziomami **pamięci podręcznej**. Niech funkcja $A(k)$ wyznacza czas, w cyklach procesora, w którym pamięć k -tego poziomu odpowiada na pytanie czy przechowuje dany **blok** pamięci. Niech funkcja $H(k)$ wyznacza prawdopodobieństwo z jakim blok znajduje się na k -tym poziomie **hierarchii pamięci**, pod warunkiem, że nie znajduje się na wcześniejszych poziomach. Dla rozważanego systemu mamy: $A(L1) = 4$, $A(L2) = 12$, $A(L3) = 40$, $A(DRAM) = 200$; $H(L1) = 0.9$, $H(L2) = 0.95$, $H(L3) = 0.98$, $H(DRAM) = 1.0$. Jaki jest (a) średni (b) pesymistyczny czas dostępu do pamięci w nanosekundach?

Pamiętaj! Dostęp do pamięci na poziomie $k + 1$ zachodzi tylko wtedy, gdy chybiłszy w pamięć na poziomie k .

¹https://en.wikipedia.org/wiki/Cycle_stealing

²<https://www.7-cpu.com/cpu/Skylake.html>

Zadanie 5. Przebieg operacji dostępu do **pamięci dynamicznej** przedstawiono zgrubnie w [1, §6.1.1]. Zapoznaj się z [2, §2] po czym odpowiedz na następujące pytania. Co musi się stać przed zleceniem **wyboru wiersza**? Wyjaśnij zasadę działania **wzmacniaczy odczytu** (ang. *sense amplifiers*). Czemu otwarty wiersz musi zostać wczytany do bufora przed zleceniem **wyboru kolumny**? Co musi się wydarzyć w trakcie zamykania wiersza? Czemu pamięć dynamiczna musi być **odświeżana** w przeciwieństwie do **pamięci statycznej**? W jaki sposób przeprowadzane jest odświeżanie całej pamięci?

Wskazówka: Więcej informacji na temat wewnętrznej organizacji pamięci dynamicznych można znaleźć w [3, §8].

Zadanie 6. Na podstawie [2, §2.2] zreferuj protokół komunikacji kontrolera pamięci z modułami **synchronicznej pamięci DRAM**. Posłuż się diagramami czasowymi przebiegu stanów logicznych. Wyjaśnij kroki jakie musi podjąć kontroler by odczytać jedno lub kilka kolejnych słów pamięci. Wyjaśnij źródło występowania opóźnień **bramkowania kolumny** t_{CAS} , **wyboru wiersza** t_{RCD} , **wstępnego ładowania wiersza** t_{RP} i **bramkowania wiersza** t_{RAS} .

Wskazówka: Dokładne omówienie diagramów czasowych można znaleźć w [3, §11.1].

Zadanie 7. Blok pamięci podręcznej procesorów x86-64 ma 64 bajty. Dla uproszczenia przyjmijmy, że w jednym cyklu zegarowym między pamięcią a procesorem można przesłać 64 bity danych. Ile nanosekund, w pesymistycznym przypadku, zajmie sprowadzenie bloku pamięci podręcznej z pamięci DRAM dla poniżej scharakteryzowanych modułów:

- DDR4-1600, $t_{CLK} = 800$ MHz, $t_{CAS} = 10$, $t_{RCD} = 10$, $t_{RP} = 10$, $t_{RAS} = 25$,
- DDR4-2133, $t_{CLK} = 1066.67$ MHz, $t_{CAS} = 15$, $t_{RCD} = 15$, $t_{RP} = 15$, $t_{RAS} = 36$.

Powtórz obliczenia zakładając, że pamięć działa w trybie sekwencyjnym (ang. *burst mode*), tj. podaje na kolejnych zboczach zegara szesnaście 64-bitowych słów bez czekania na polecenie zmiany kolumny.

Zadanie 8. Program czyta sekwencyjnie jednowymiarową tablicę o rozmiarze 4GiB położoną pod adresem podzielonym przez 2^{20} . W komputerze zainstalowano dwa moduły pamięci DDR4-2133 o parametrach: $t_{CAS} = 15$, $t_{RCD} = 15$, $t_{RP} = 15$, $t_{RAS} = 36$, maksymalny rozmiar transferu sekwencyjnego to 16 słów, długość wiersza (ang. *DRAM page size*) wynosi 8KiB. Ile czasu zajmie sprowadzenie danych do procesora? Należy pominąć rozważanie opóźnień wynikających z działania pamięci podręcznej i kontrolera pamięci.

Powtórz obliczenia dla systemu dysponującego pamięcią w konfiguracji dwukanałowej (ang. *dual-channel*).

Literatura

- [1] „Computer Systems: A Programmer’s Perspective”
Randal E. Bryant, David R. O’Hallaron; Pearson; 3rd edition, 2016
- [2] „What Every Programmer Should Know About Memory”³
Ulrich Drepper, November 21, 2007
- [3] „Memory Systems: Cache, DRAM, Disk”
Bruce Jacob, Spencer W. Ng, David T. Wang; Morgan Kaufmann, 2008

³<https://www.akkadia.org/drepper/cpumemory.pdf>