



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА ПРОГРАММНАЯ ИНЖЕНЕРИЯ (ИУ7)

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.04** Программная инженерия

ОТЧЕТ

По лабораторной работе № 7

Название: «Исследование полевых транзисторов»

Дисциплина: Основы электроники

Студент

ИУ7-35Б

(Группа)

А. В. Толмачев

(И.О. Фамилия)

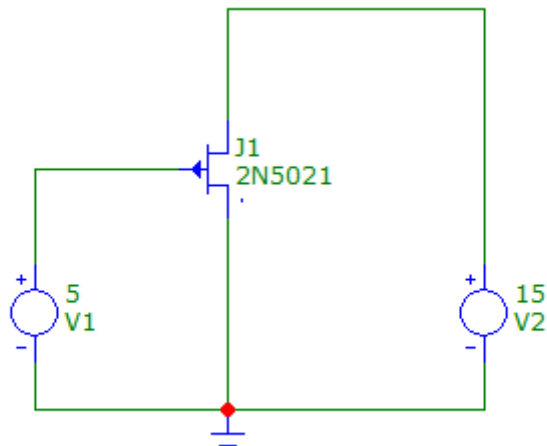
Преподаватель

Оглоблин Дмитрий Игоревич

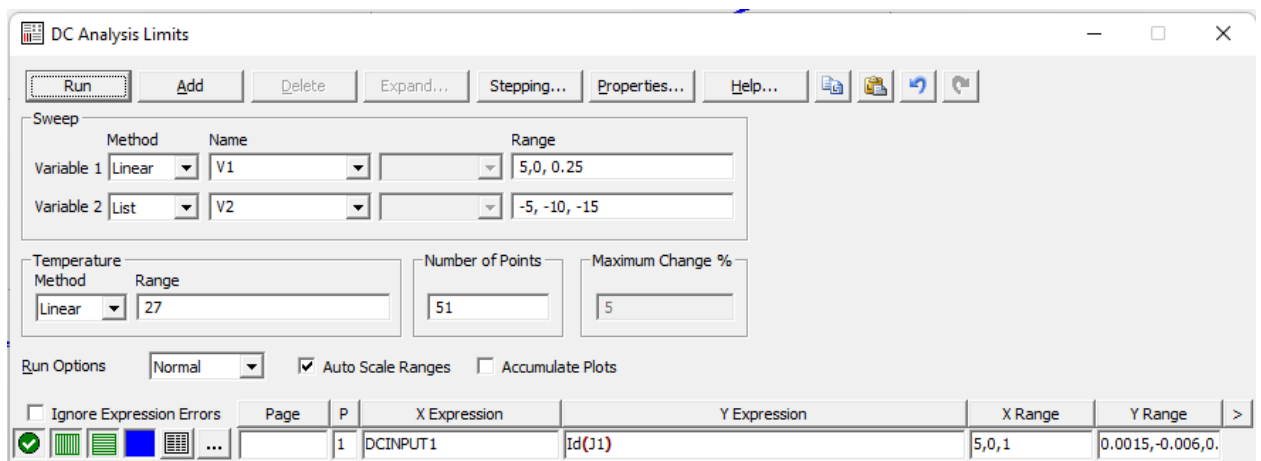
Москва, 2022

Pjfet 2N5021; NMOS IRF530; PMOS IRF9530;

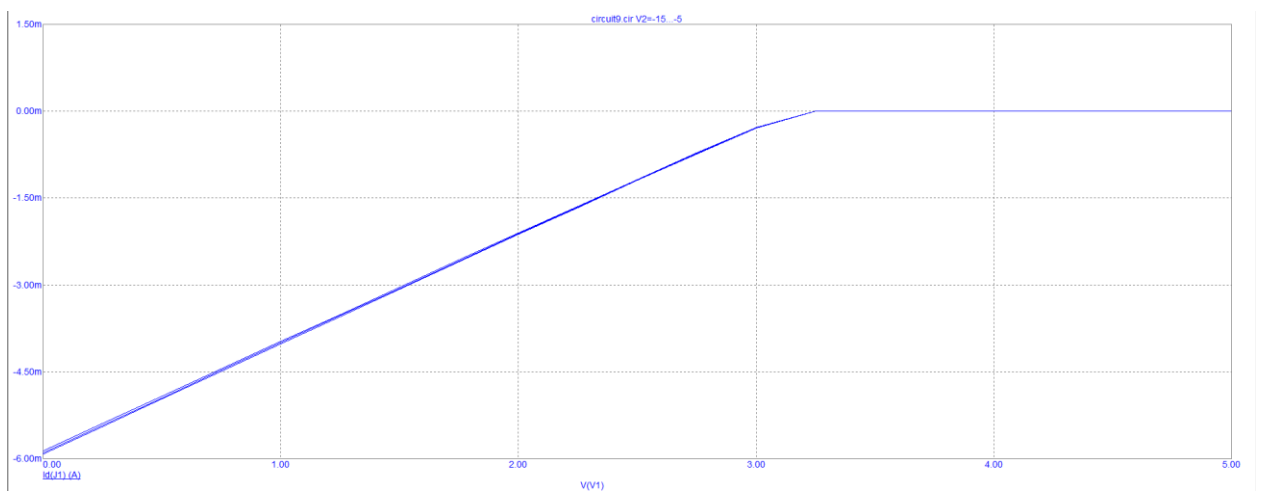
1. Соберем схему



2. Настройки для построения графиков

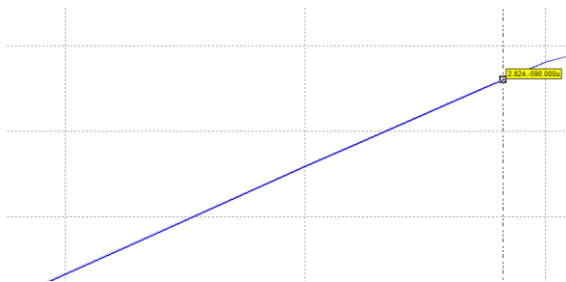
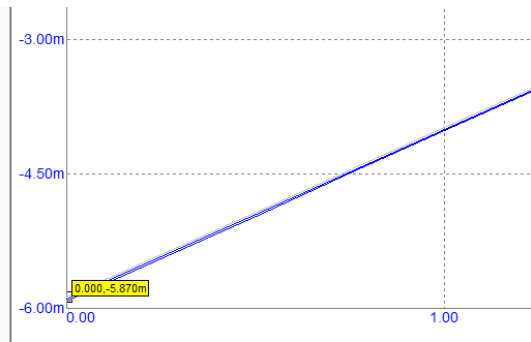


3. Передаточные характеристики PJFET



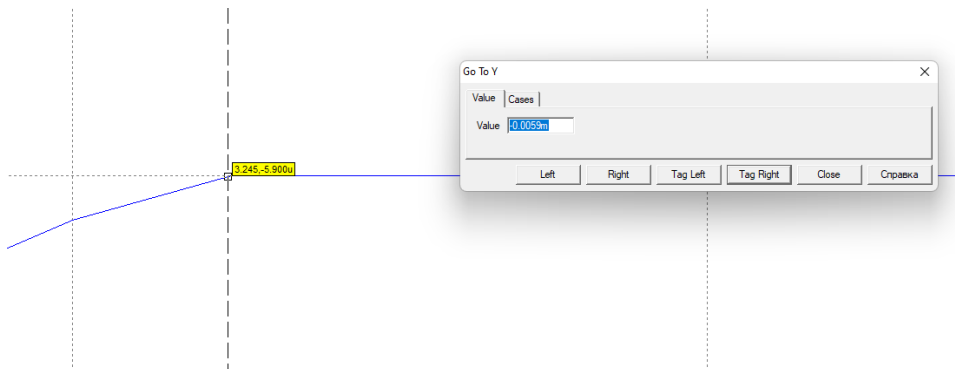
4. Определим напряжение и токи

$I_{ст} = -5.9 \text{ mA}$ – начальный ток стока



$U = 2.84 \text{ V}$ – напряжение затвора, при котором запирается транзистор

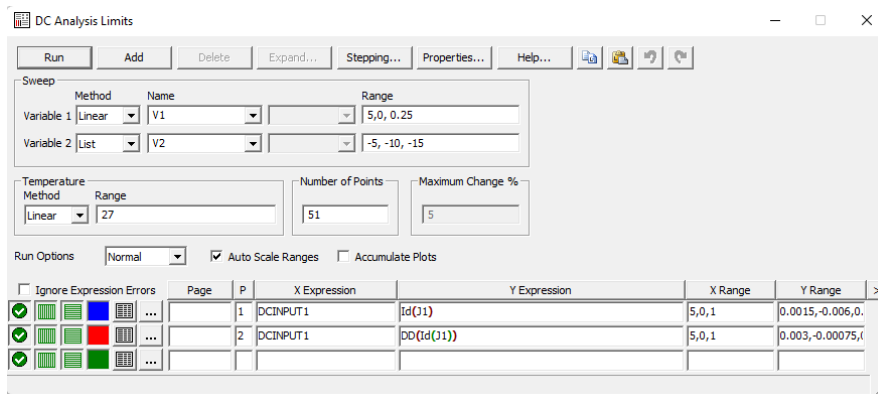
Уотсчки = 3.2В

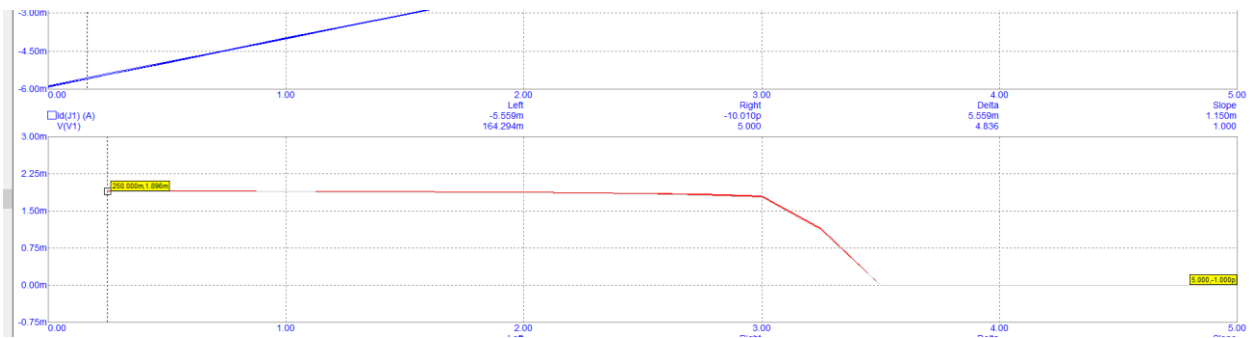


5. Рассчитаем максимальную крутизну по формуле

$$S_{max} = 2 \cdot I_{нач} / U_{отс} = 2 \cdot 5.9 \text{ mA} / 3.2 \text{ V} = 3.7 \text{ mA/V}$$

6. Построим график производной и определим максимальную крутизну по нему





=> $S_{max} = 2 * 1.9 = 3.8 \text{ mA/V}$

7. Определим выходную характеристику

DC Analysis Limits

Run Add Delete Expand... Stepping... Properties... Help...

Sweep

Method	Name	Range
Variable 1 Linear	V2	0, -15, -1
Variable 2 List	V1	0, 1, 2, 3

Temperature Method Range

Linear 27

Number of Points 51

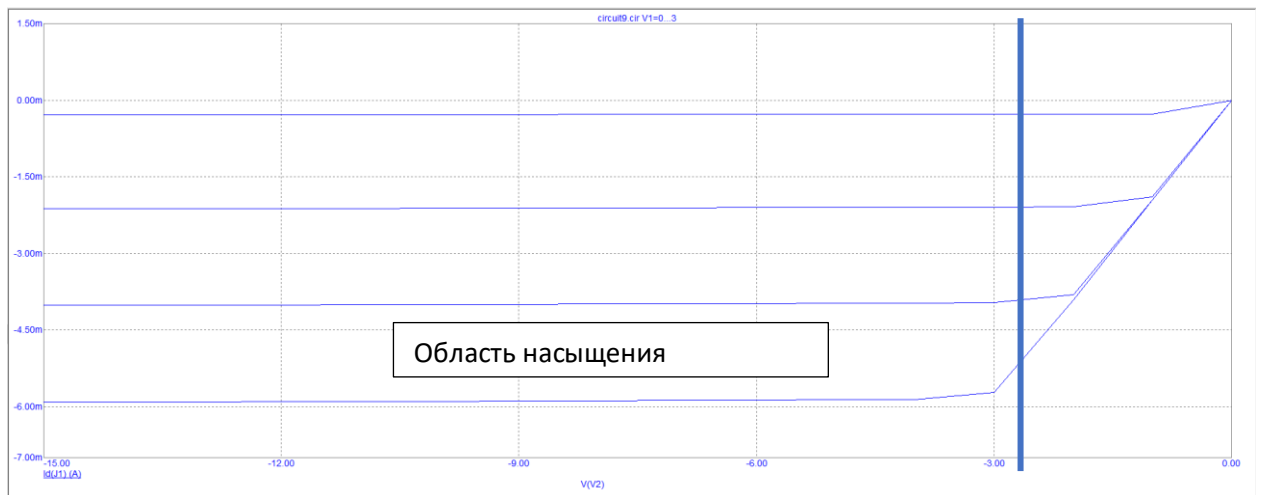
Maximum Change % 5

Run Options Normal ☒ Auto Scale Ranges ☐ Accumulate Plots

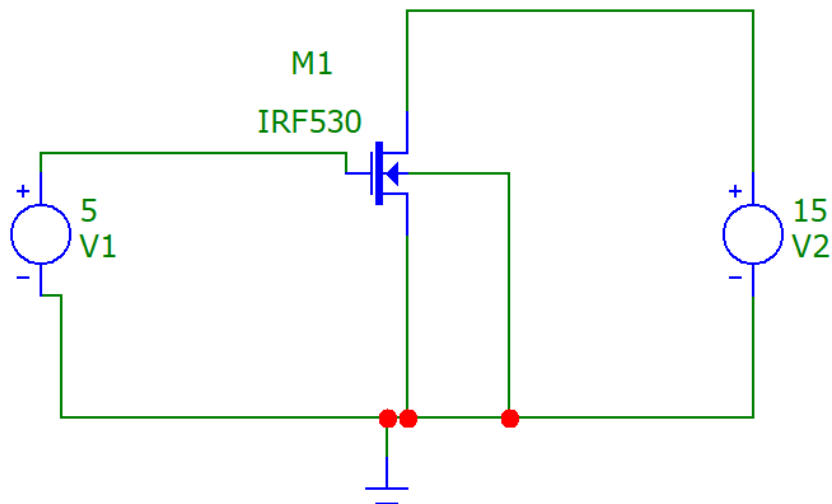
☐ Ignore Expression Errors

Page	P	X Expression	Y Expression	X Range	Y Range
1	1	DCINPUT1	Id(1)	0, -15, 3	0.0015, -0.006, 0.0
				5, 0, 1	0.004, -0.006, 0.0

Runs the analysis.



8. Построение схемы для Nmos



9. Получение передаточных характеристик

DC Analysis Limits

Run Add Delete Expand... Stepping... Properties... Help...

Sweep

Variable	Method	Name	Range
Variable 1	Linear	V1	5, 0, 0.25
Variable 2	List	V2	10, 15

Temperature

Method	Range
Linear	27

Number of Points: 51

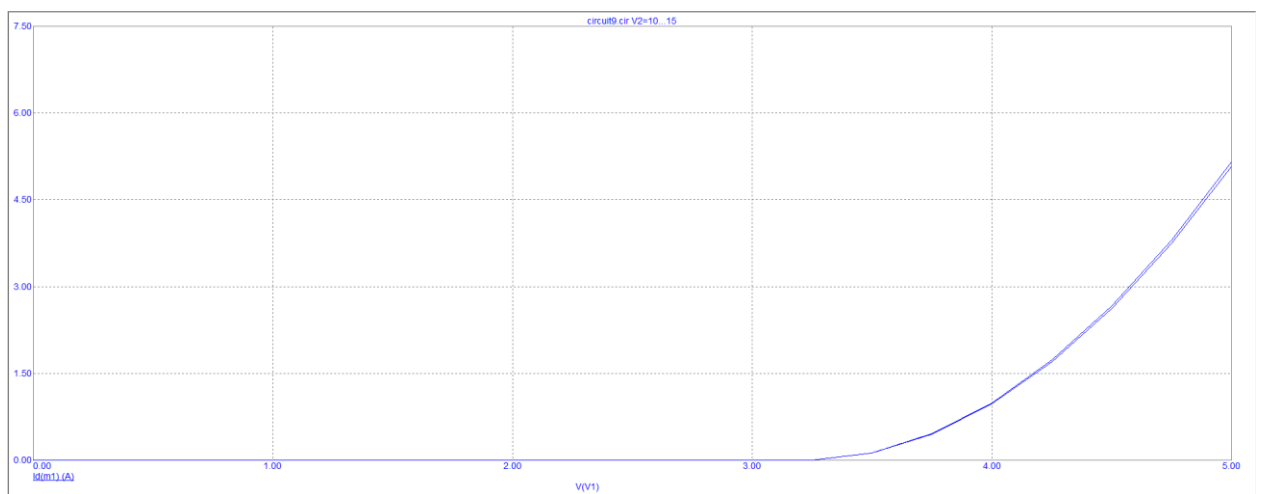
Maximum Change: 5

Run Options: Normal ☒ Auto Scale Ranges ☐ Accumulate Plots

☐ Ignore Expression Errors

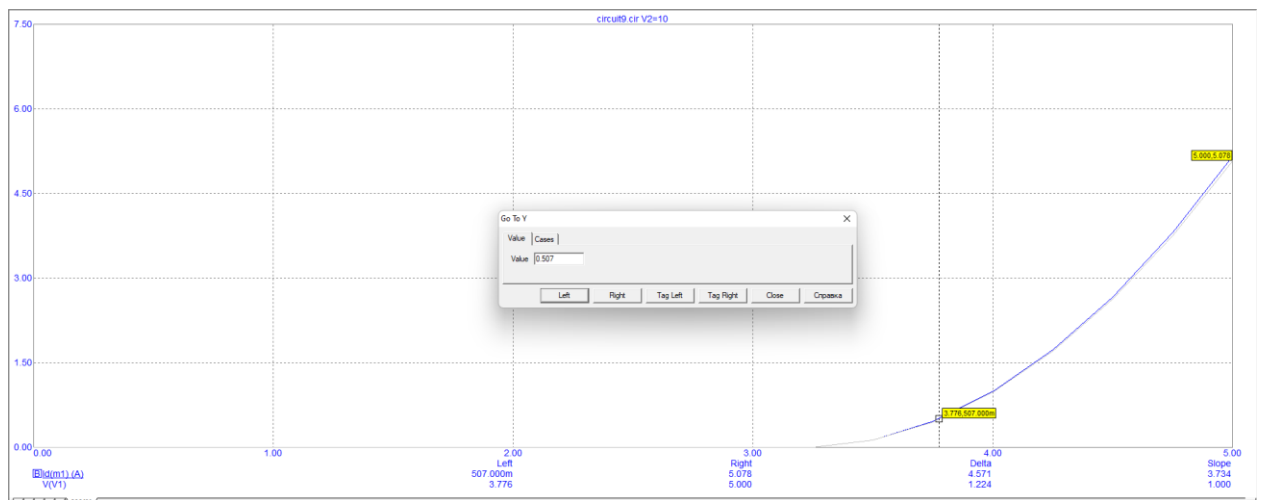
Page	P	X Expression	Y Expression	X Range	Y Range
1	1	DCINPUT1	Id(m1)	5,0,1	7.5,0,1.5

Runs the analysis.

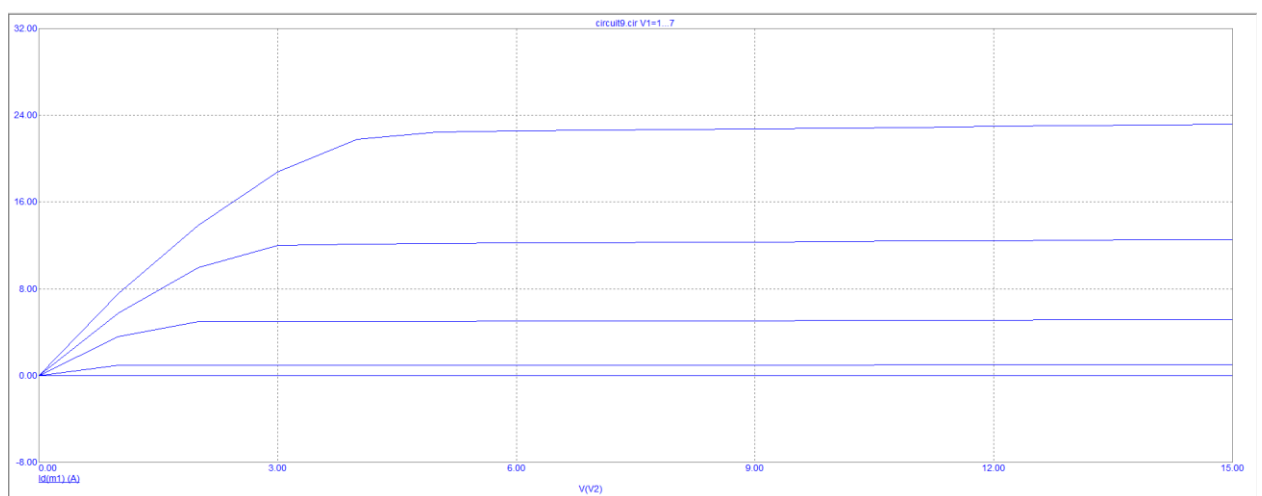
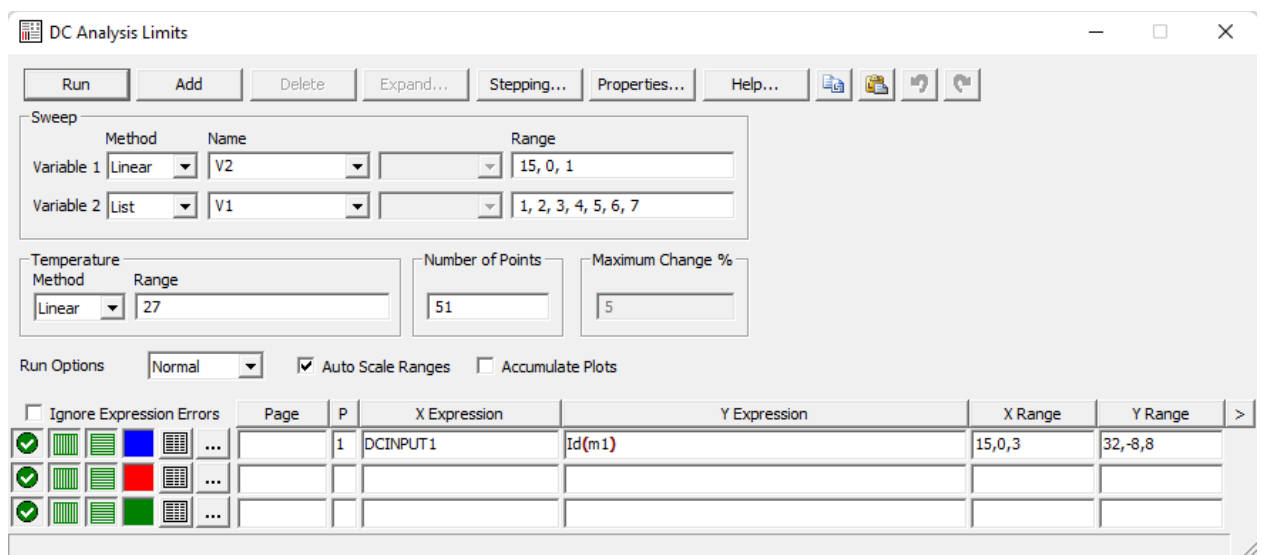


10. Определение напряжения

$U = 3.8\text{В}$ – напряжение открытия Nmos

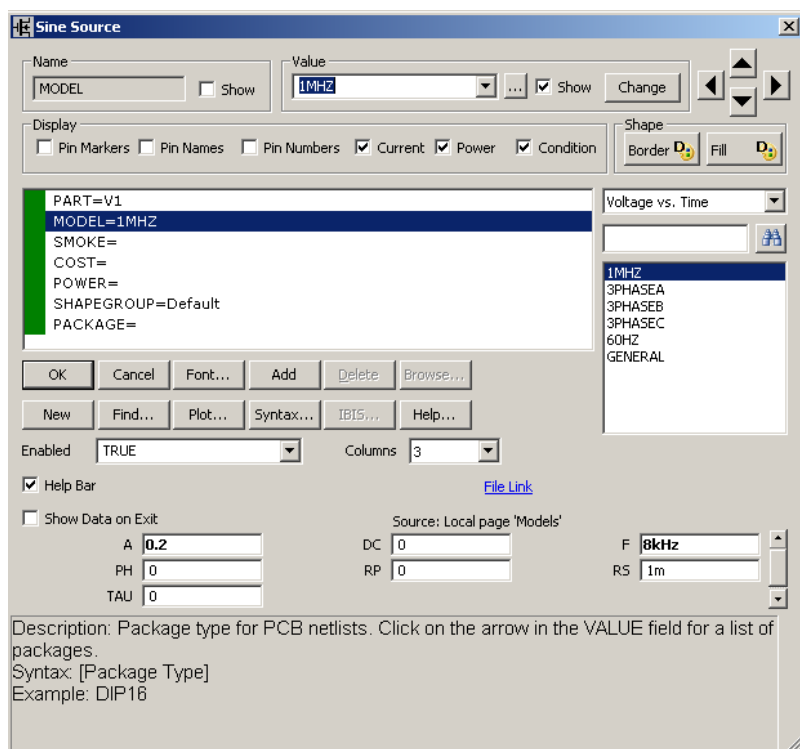
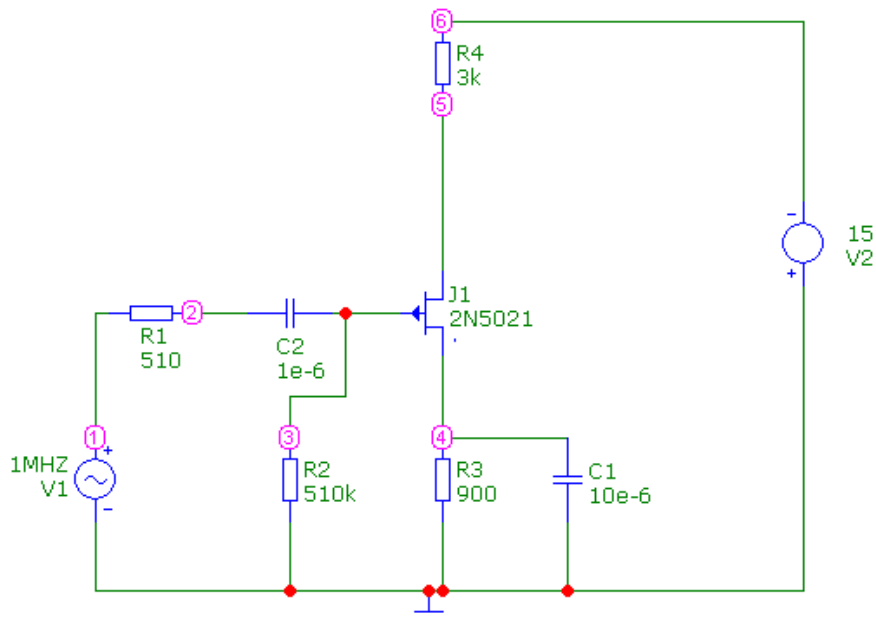


11. Построение выходных характеристик



Jfet как усилитель

(Эту схему собирал в вузе на другой версии microcap, поэтому на скринах внешний вид компонентов немного отличается)



Transient Analysis Limits

Run Add Delete Expand... Stepping... PSS... Properties... Help...

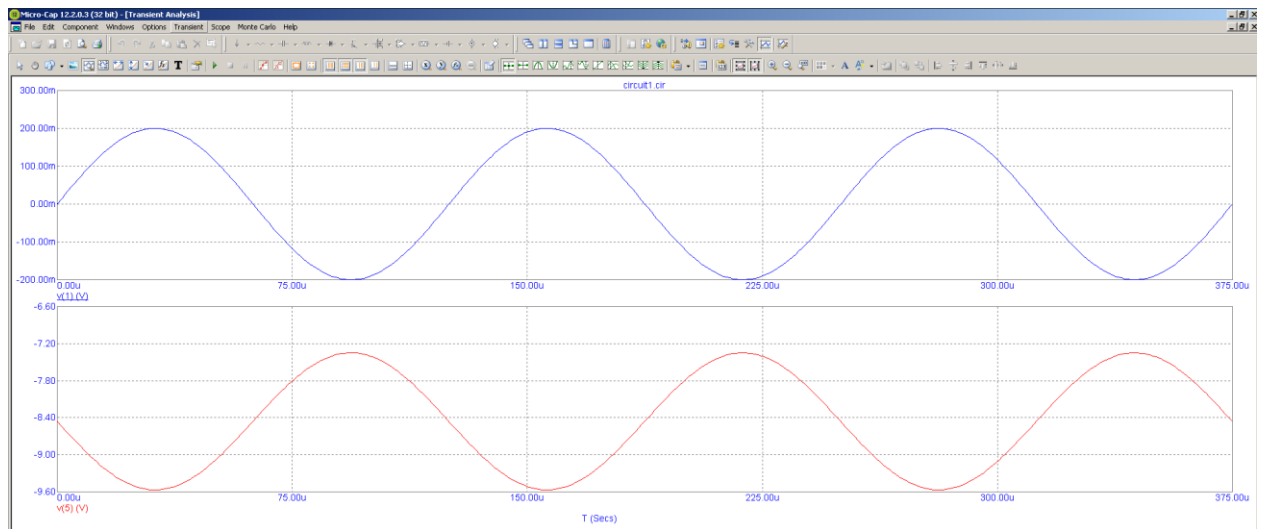
Maximum Run Time: 3/8k
Output Start Time (tstart): 0
Maximum Time Step: 1u
Number of Points: 510
Temperature: Linear
Retrace Runs: 1

Run Options: Normal
State Variables: Zero

☒ Operating Point ☐ Accumulate Plots
☐ Operating Point Only ☐ Fixed Time Step
☒ Auto Scale Ranges ☐ Periodic Steady State

☐ Ignore Expression Errors

Page	P	X Expression	Y Expression	X Range	Y Range
1	1	T	v(1)	0.000375, 0.7.5e	0.3, -0.2, 0.1
2	2	T	v(5)	0.000375, 0.7.5e	-6.6, -9.6, 0.6
				Auto	Auto

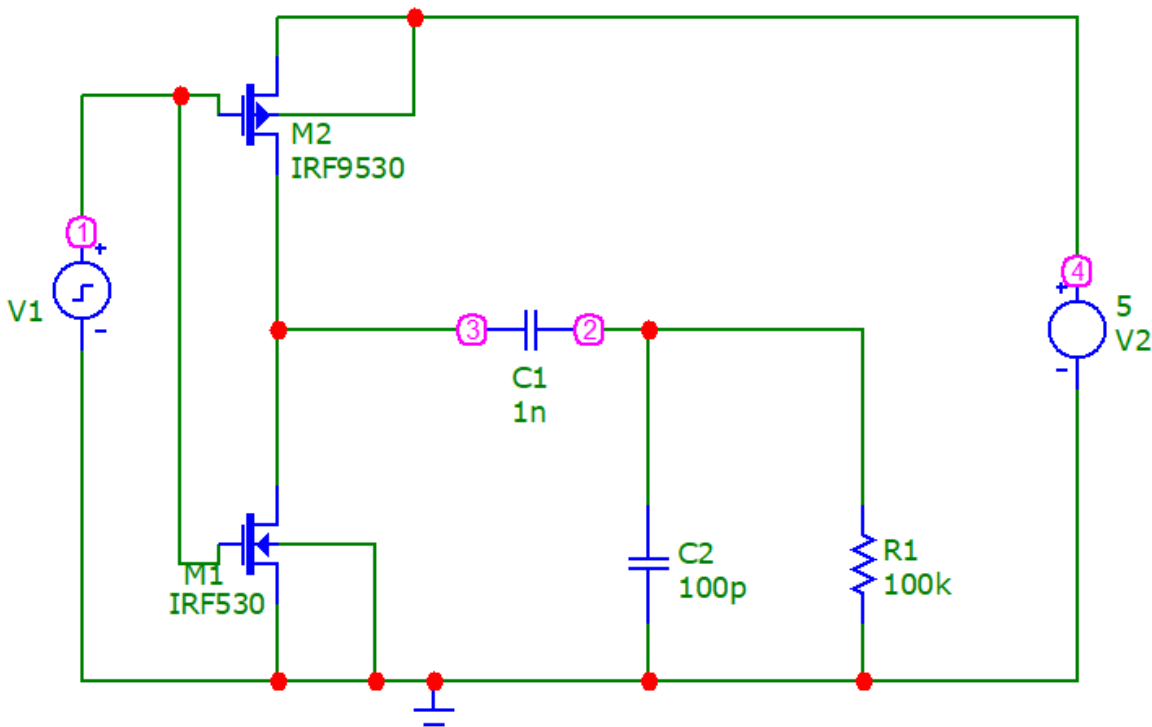


Коэффициент усиления по напряжению: $2.3/0.4 = 5.7$

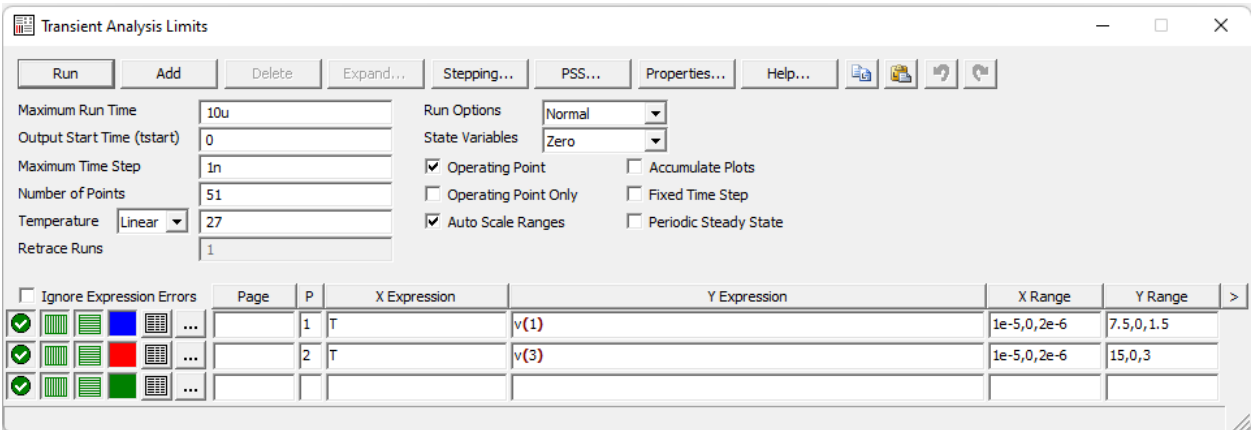
Эксперимент 8

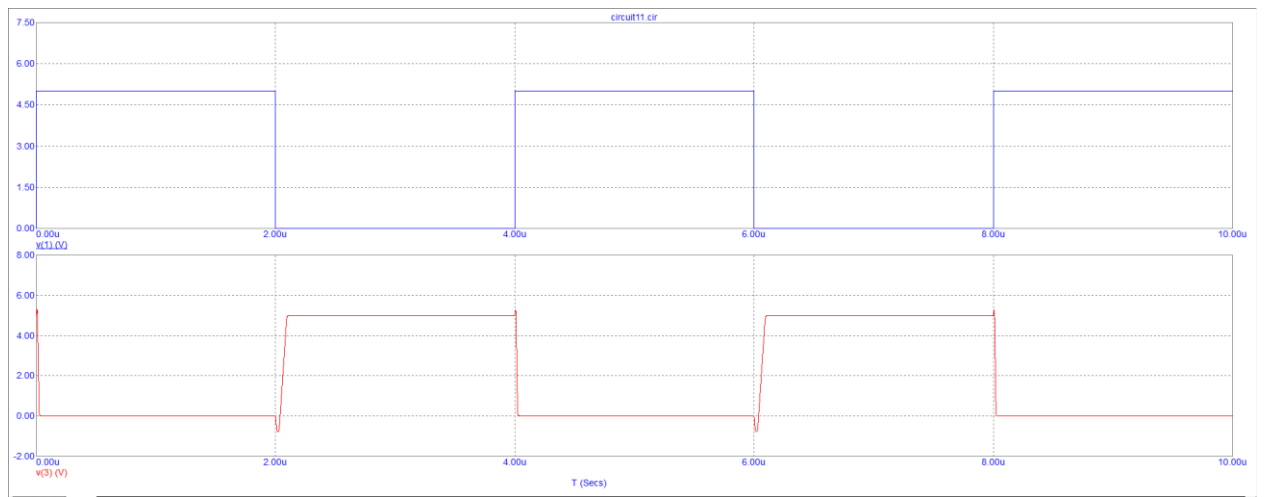
Инвентор на основе КМОП ключа

1. Построение схемы



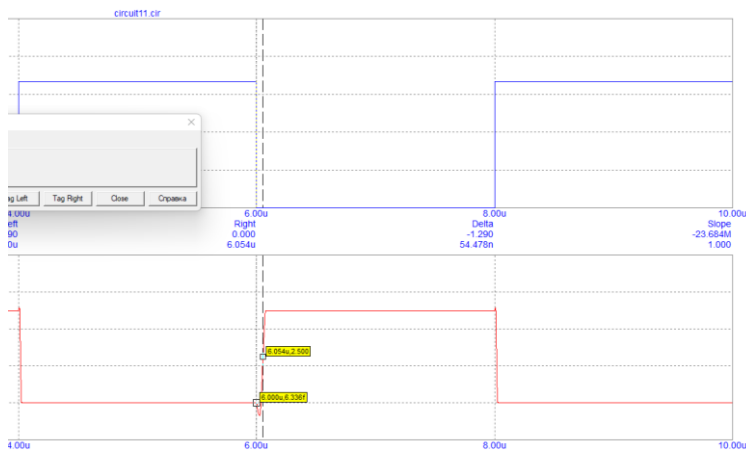
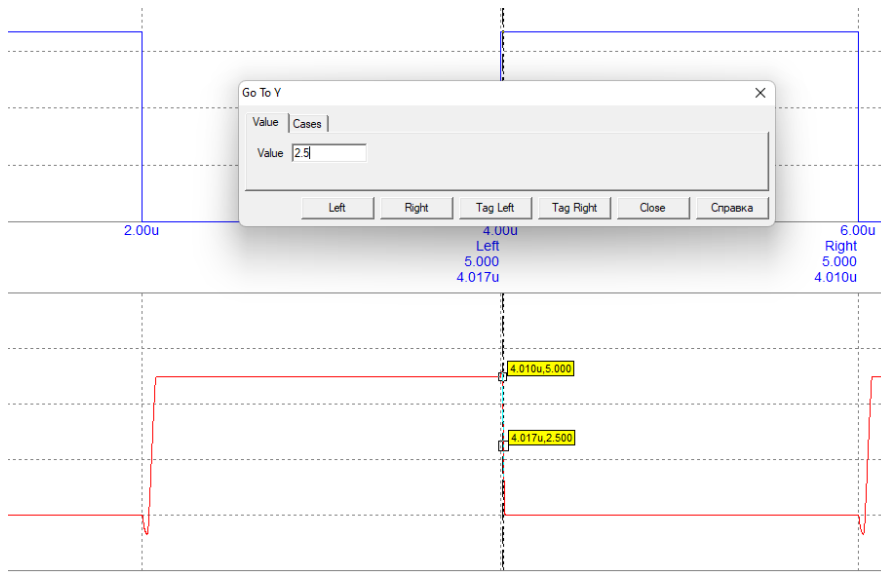
2. Моделирование по времени



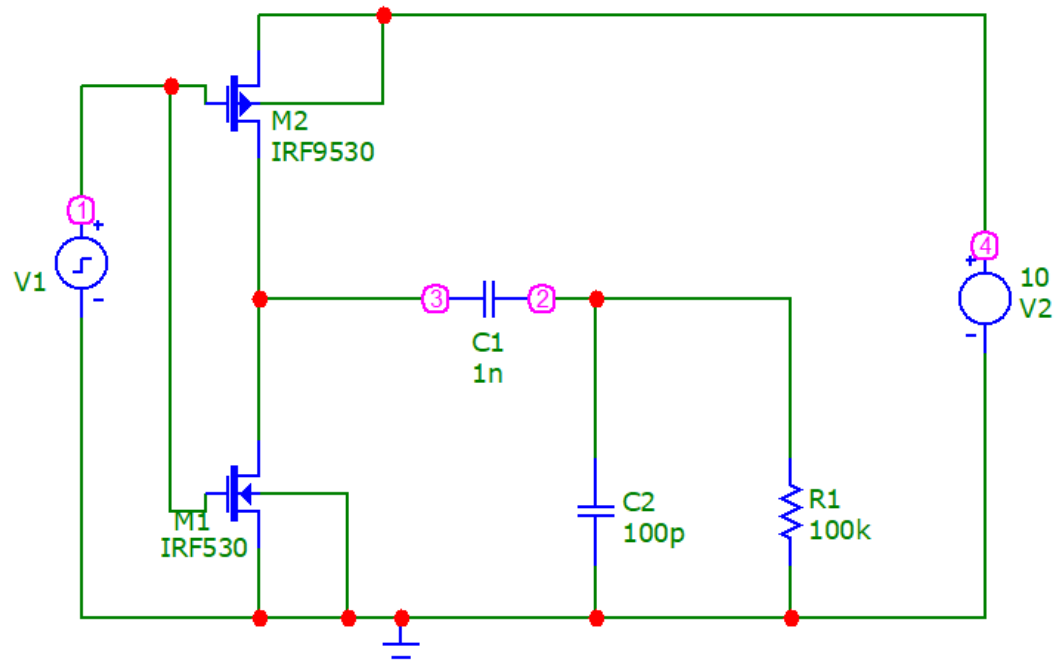


3. Расчет задержки

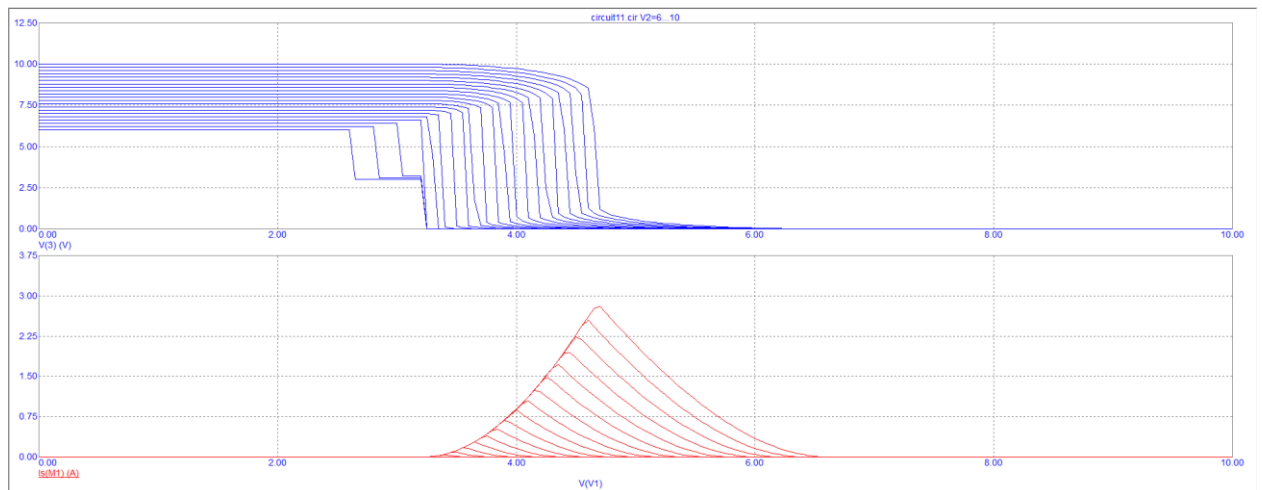
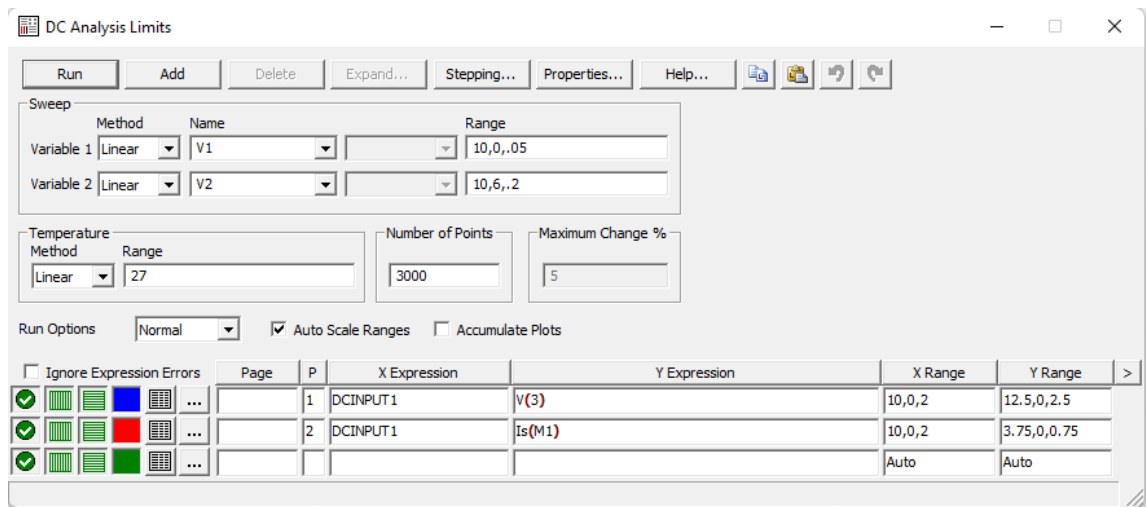
$$t = (7 \text{ нс} + 54 \text{ нс})/2 = 30.5 \text{ нс}$$



4. Изменение схемы

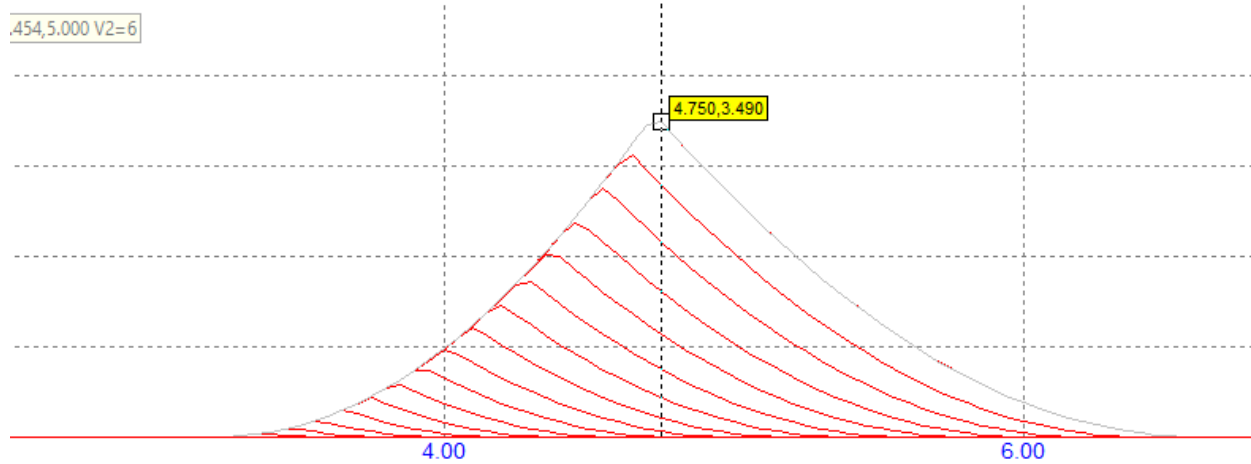


5. Получение передаточной характеристики

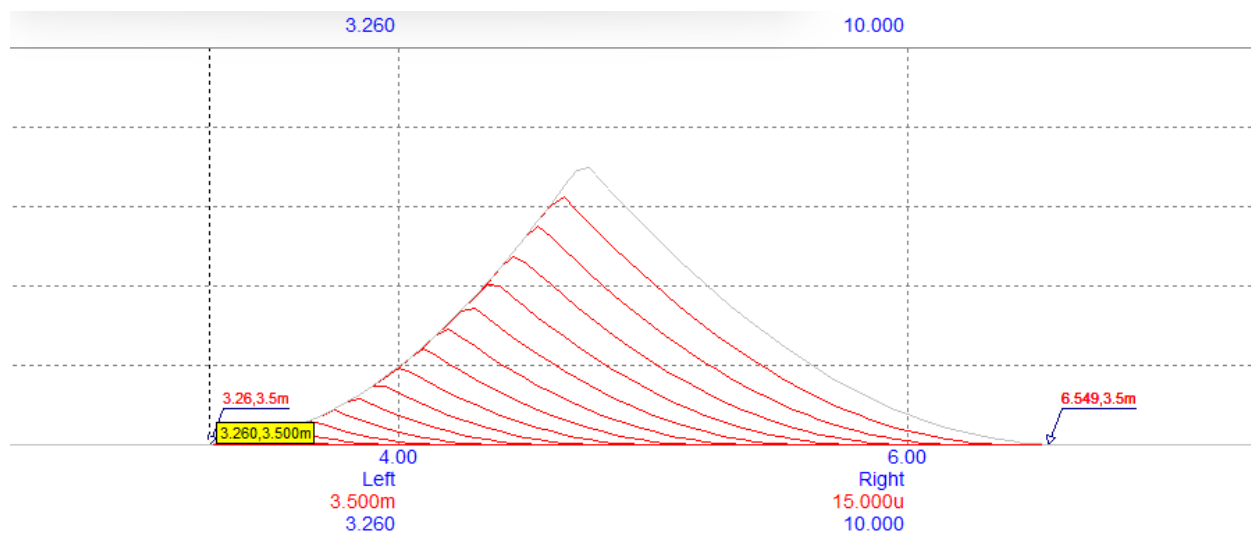


5. Анализ тока и напряжения

Максимальный ток: 3.5A

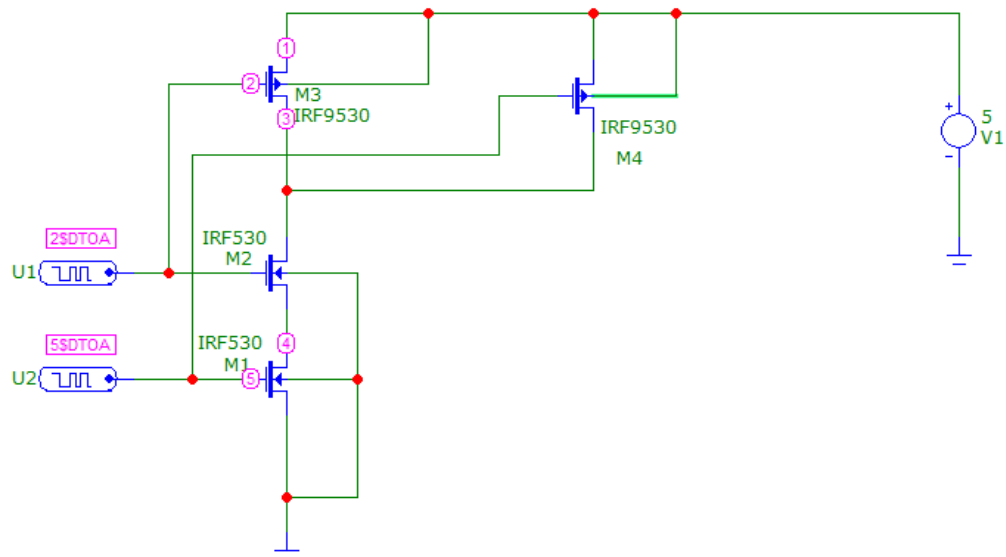


Транзисторы открываются при 3.2В и 6.5В



Транзисторы из задания условно комплементарны, поэтому характеристики отличаются от идеальных

1. Стенд для исследования работы логического элемента 2И-НЕ на полевых транзисторах NMOS и PMOS



2. Анализ по времени

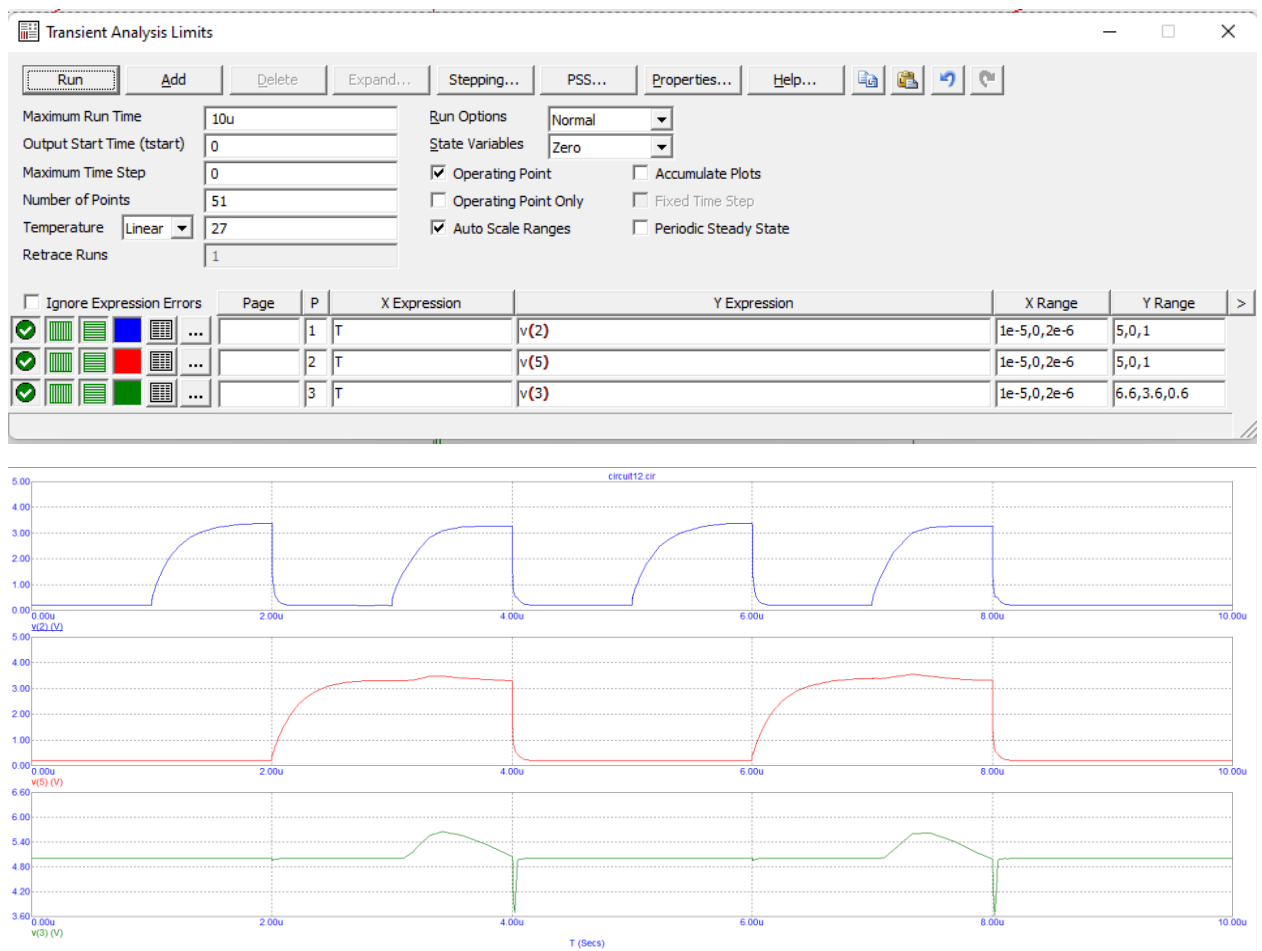
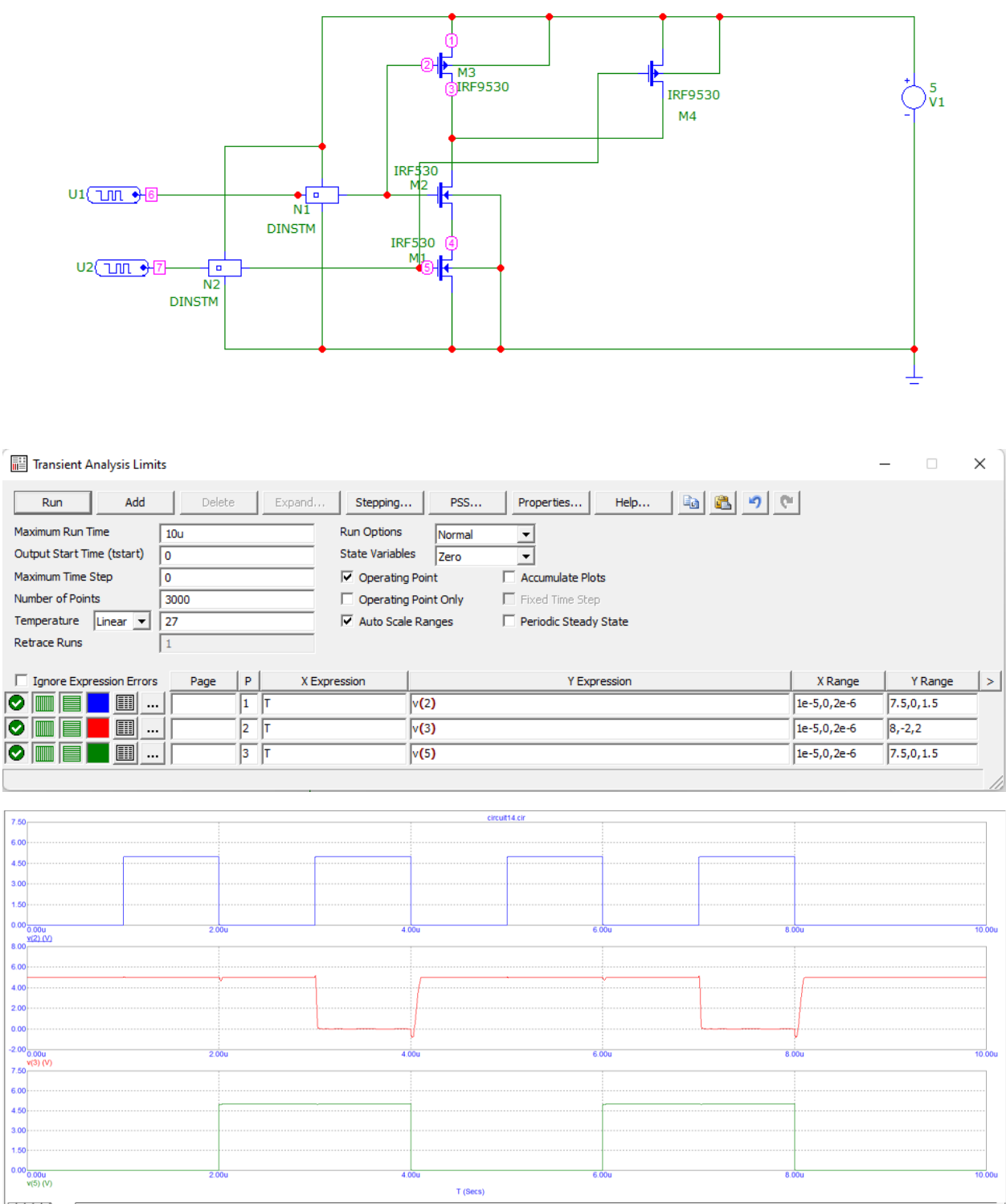


Схема работает неудовлетворительно из-за недостаточного для срабатывания уровня входного сигнала

Для согласования уровней сигнала введем DToA



И-Не

Вход 1	Вход 2	Выход
0	0	1
1	0	1
0	1	1
1	1	0

Эксперимент 9

1. Построение схемы

