

44 Сеть контроллеров FD (FDCAN)

44.1 Введение

Подсистема сети контроллеров (CAN) (см. [рисунок 663](#)) состоит из одного модуля CAN, общей памяти сообщений и блока конфигурации. Базовый адрес каждой из этих частей см. в карте памяти.

Модули (FDCAN) соответствуют стандарту ISO 11898-1: 2015 (спецификация протокола CAN версии 2.0 части A, B) и спецификации протокола CAN FD версии 1.0.

ОЗУ сообщений объемом 0,8 Кбайт на экземпляре FDCAN реализует фильтры, приемные FIFO, передающие FIFO-события и передающие FIFO-буферы.

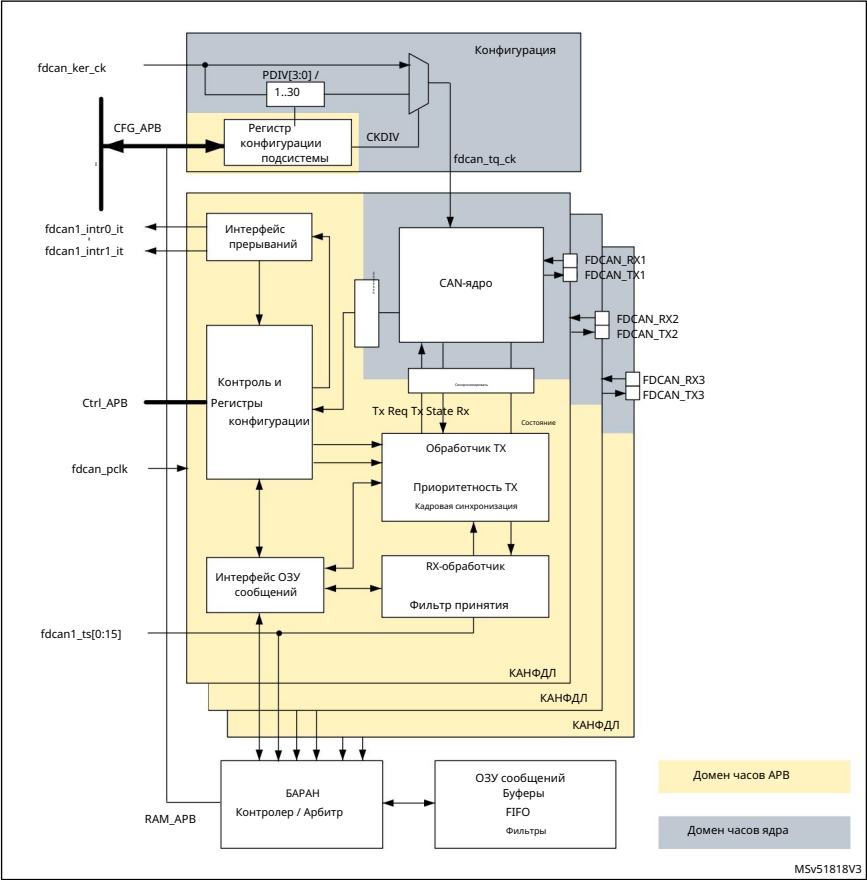
Сигналы и контакты ввода-вывода подсистемы CAN подробно описаны в [таблице 402](#) и на [рисунке 663](#) соответственно.

Таблица 402. Сигналы ввода-вывода подсистемы CAN

Имя	Тип	Описание
fdcan_ker_ck	Цифровой вход	Вход тактового сигнала ядра подсистемы CAN
fdcan_pclk		Вход синхронизации интерфейса APB подсистемы CAN
fdcan_intr0_it	Цифровой выход	Прерывание FDCAN0
fdcan_intr1_it		Прерывание FDCAN1
fdcan_ts[0:15]	-	Внешний вектор временной метки
FDCAN_RX	Цифровой вход	Приемный штифт FDCAN
FDCAN_TX	Цифровой выход	Контакт передачи FDCAN
Интерфейс АПБ	Цифровой вход/выход	Одно приложение с несколькими панелями управления для настройки, управления и доступа к оперативной памяти



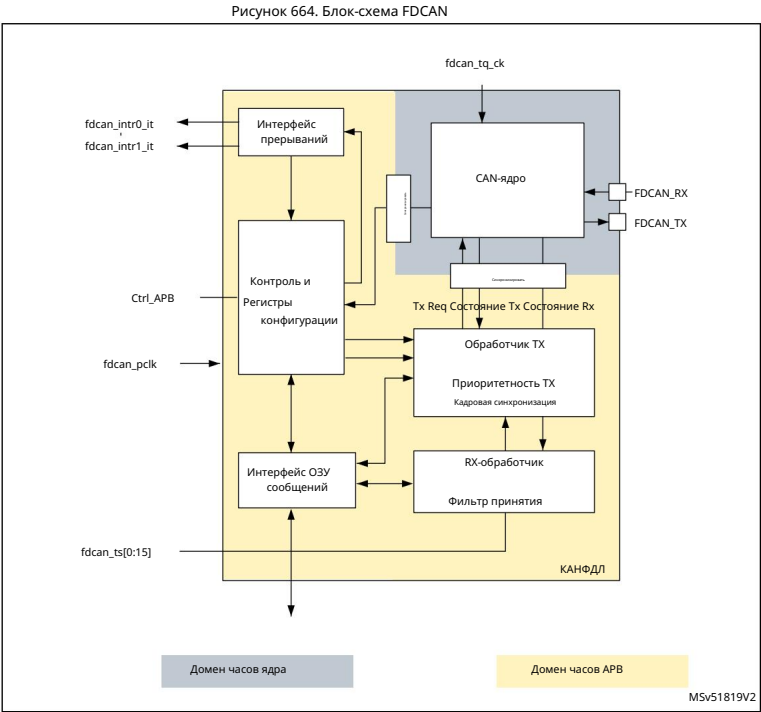
Рисунок 663. Подсистема CAN



44.2 Основные характеристики FDCAN

- Соответствует протоколу CAN версии 2.0 части A, B и ISO 11898-1: 2015 • CAN FD с поддержкой максимум 64 байтов данных • Регистрация ошибок CAN • Поддержка AUTOSAR и J1939 •
- Улучшенная фильтрация приема • Два FIFO приема по три полезных нагрузки каждый (до 64 байт на полезную нагрузку) • Отдельная сигнализация при приеме сообщений с высоким приоритетом • Настраиваемая FIFO передачи/очередь из трех полезных нагрузок (до 64 байт на полезную нагрузку) • FIFO событий передачи
- Программируемый режим тестирования обратной связи • Маскируемые прерывания модуля
- Два домена синхронизации: интерфейс шины APB и тактовая частота ядра ядра CAN
- Поддержка выключения питания

44.3 Описание функций FDCAN



Двойные линии прерывания

Периферийное устройство FDCAN обеспечивает две линии прерывания: `fdcan_intr0_it` и `fdcan_intr1_it`.

Путем программирования битов `EINT0` и `EINT1` регистра `FDCAN_ILE` линии прерываний можно независимо включать и отключать.

CAN-ядро

Ядро CAN содержит контроллер протокола и регистры сдвига приема/передачи. Он обрабатывает все функции протокола ISO 11898-1: 2015 и поддерживает как 11-битные, так и 29-битные идентификаторы.

Синхронизатор

Этот блок синхронизирует сигналы из домена синхронизации APB с доменом синхронизации ядра CAN и наоборот.

обработчик Tx

Обработчик Tx управляет передачей сообщений из ОЗУ сообщений в ядро CAN. Для передачи доступно максимум три буфера Tx. Буфер Tx может использоваться как Tx FIFO или как очередь Tx. Событие Tx FIFO хранит временные метки Tx вместе с соответствующим идентификатором сообщения. Также поддерживается отмена передачи.

Обработчик рецептов

Обработчик Rx управляет передачей полученных сообщений из ядра CAN во внешнюю оперативную память сообщений. Обработчик Rx поддерживает два FIFO приема для хранения всех сообщений, прошедших фильтрацию приема. Метка времени Rx сохраняется вместе с каждым сообщением. Для 11-битных идентификаторов можно определить до 28 фильтров; для 29-битных идентификаторов — до восьми фильтров.

Интерфейс APB

Интерфейс APB подключает FDCAN к шине APB для конфигурационных регистров, конфигурации контроллера и доступа к ОЗУ.

Интерфейс ОЗУ сообщений

Интерфейс ОЗУ сообщений подключает доступ FDCAN к внешнему ОЗУ сообщений объемом 1 Кбайт через контроллер/арбитр ОЗУ.

44.3.1

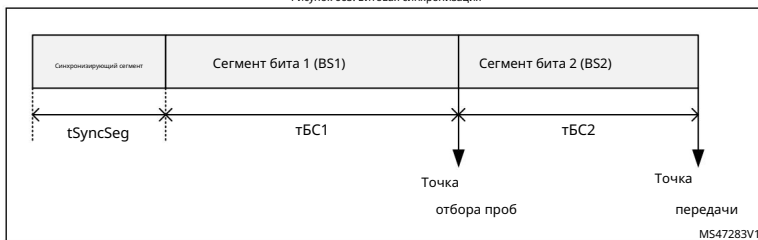
Битовая синхронизация

Логика синхронизации битов контролирует последовательную шину и выполняет выборку и настройку точки выборки путем синхронизации по фронту начального бита и повторной синхронизации по следующим фронтам.

Как показано на [рисунке 665](#), его работу можно объяснить, просто разделив время передачи бита на три сегмента следующим образом:

- Сегмент синхронизации (SYNC_SEG): ожидается, что изменение бита произойдет в течение этого временного сегмента, имеющего фиксированную длину в один временной квант ($1 \times tq$).
- Сегмент бита 1 (BS1): определяет местоположение точки выборки. Он включает в себя PROP_SEG и PHASE_SEG1 стандарта CAN. Его длительность программируется от 1 до 16 временных квантов, но может быть автоматически увеличена для компенсации положительных фазовых дрейфов из-за различий в частоте различных узлов сети.
- Битовый сегмент 2 (BS2): определяет местоположение точки передачи. Он представляет PHASE_SEG2 стандарта CAN, его длительность программируется от одного до восьми квантов времени, но также может быть автоматически сокращена для компенсации отрицательных фазовых дрейфов.

Рисунок 665. Битовая синхронизация



Скорость передачи данных является обратной величиной времени передачи бита (скорость передачи данных = $1 / \text{время передачи бита}$), которое, в свою очередь, является суммой трех компонентов (см. [рисунок 665](#)):

$$\text{время бита} = t_{\text{SyncSeg}} + t_{\text{BS1}} + t_{\text{BS2}}$$

Где:

Для номинального времени бита

$$t_q = (\text{NBRP}[8:0] + 1) \times \text{tfdcan_tq_clk}$$

$$t_{\text{SyncSeg}} = 1 \times t_q$$

$$t_{\text{BS1}} = t_q \times (\text{NTSEG1}[7:0] + 1)$$

$$t_{\text{BS2}} = t_q \times (\text{NTSEG2}[6:0] + 1)$$

Где битовые поля NBRP[8:0], NTSEG1[7:0] и NTSEG2[6:0] принадлежат регистру FDCAN_NBTTP.

Для времени передачи бита данных

$$t_q = (\text{DBRP}[4:0] + 1) \times \text{tfdcan_tq_clk}$$

$$t_{\text{SyncSeg}} = 1 \times t_q$$

$$t_{\text{BS1}} = t_q \times (\text{DTSEG1}[4:0] + 1)$$

$$t_{\text{BS2}} = t_q \times (\text{DTSEG2}[3:0] + 1)$$

Где DBRP[4:0], DTSEG1[4:0] и DTSEG2[3:0] принадлежат регистру FDCAN_DBTP.

Ширина скачка (ре)синхронизации (SJW) определяет верхнюю границу для величины удлинения или укорочения сегментов бита. Она программируется между одним и четырьмя квантами времени.

Действительный фронт определяется как первый переход за время передачи бита с доминантного на рецессивный уровень шины, при условии, что сам контроллер не отправляет рецессивный бит.

Если действительный фронт обнаружен в BS1 вместо SYNC_SEG, BS1 расширяется до SJW, так что точка выборки задерживается.

И наоборот, если действительный фронт обнаружен в BS2 вместо SYNC_SEG, BS2 укорачивается на величину до SJW, так что точка передачи перемещается раньше.

В качестве защиты от ошибок программирования конфигурация регистра битовой синхронизации возможна только тогда, когда устройство находится в режиме ожидания. Регистры FDCAN_DBTP и FDCAN_NBTTP (предназначенные, соответственно, для данных и номинальной битовой синхронизации) доступны только тогда, когда установлены CCE и INIT регистра FDCA_CCCR.

Примечание:

Подробное описание механизма синхронизации и повторной синхронизации битов CAN см. в стандарте ISO 11898-1.

44.3.2 Режимы работы

Конфигурация

Доступ к версии IP, оборудованию и конфигурации делителя входного тактового сигнала. Когда делитель тактового сигнала установлен на 0, первичный входной тактовый сигнал используется как есть.

Инициализация программного обеспечения

Программная инициализация запускается установкой бита INIT регистра FDCAN_CCCR программным путем, аппаратным сбросом или переходом в состояние отключения шины. Пока установлен бит INIT, передача сообщений из шины CAN и в нее останавливается, а состояние выхода шины CAN FDCAN_TX является рецессивным (высоким). Счетчики EML (логика управления ошибками) не изменяются. Установка бита INIT не изменяет ни один регистр конфигурации. Очистка бита INIT FDCAN_CCCR завершает программную инициализацию. После этого процессор потока битов (BSP) синхронизируется с передачей данных по шине CAN, ожидая появления последовательности из 11 последовательных рецессивных битов (bus-idle), прежде чем он сможет принять участие в работе шины и начать передачу сообщений.

Доступ к регистрам конфигурации FDCAN возможен только в том случае, если установлены бит INIT и бит CCE регистра FDCAN_CCCR.

Бит CCE регистра FDCAN_CCCR может быть установлен/очищен только при установленном бите INIT FDCAN_CCCR. Бит CCE автоматически очищается при очистке бита INIT.

Следующие регистры сбрасываются при установке бита CCE регистра FDCAN_CCCR:

- FDCAN_HPMS: статус сообщения с высоким приоритетом
- FDCAN_RXF0S: статус Rx FIFO 0
- FDCAN_RXF1S: статус Rx FIFO 1
- FDCAN_TXFQS: состояние очереди/FIFO передачи
- FDCAN_TXBRP: ожидание запроса буфера передачи
- FDCAN_TXBTO: произошла передача буфера Tx
- FDCAN_TXBCF: завершение отмены буфера передачи
- FDCAN_TXEFS: статус FIFO события Tx

Значение счетчика тайм-аута (бит TOC[15:0] регистра FDCAN_TOCV) предварительно устанавливается на значение, настроенное с помощью TOP[15:0] регистра FDCAN_TOCC, когда установлен бит CCE регистра FDCAN_CCCR.

Кроме того, конечные автоматы обработчика Tx и обработчика Rx находятся в состоянии ожидания, пока установлен бит CCE.

Следующие регистры могут быть записаны только при очищенном бите CCE:

- FDCAN_TXBAR: запрос на добавление буфера передачи
- FDCAN_TXBCR: запрос отмены буфера передачи

Биты TEST и MON регистра FDCAN_CCCR могут быть установлены только программным обеспечением, пока установлены биты INIT и CCE регистра FDCAN_CCCR. Оба бита могут быть сброшены в любое время. Бит DAR регистра FDCAN_CCCR может быть установлен/сброшен только тогда, когда установлены биты INIT и CCE.

Нормальная работа

Режим работы FDCAN по умолчанию после аппаратного сброса — событийно-управляемая CAN-связь. Режим работы TT не поддерживается.

После инициализации FDCAN и очистки бита INIT регистра FDCAN_CCCR FDCAN синхронизируется с шиной CAN и готов к связи.

После прохождения фильтрации приема полученные сообщения, включая идентификатор сообщения и DLC, сохраняются в Rx FIFO 0 или Rx FIFO 1.

Для передачи сообщений можно инициализировать или обновить Tx FIFO или очередь Tx. Автоматическая передача при приеме удаленных кадров не поддерживается.

Операция CAN FD

Протокол FDCAN имеет два варианта:

1. Режим длинного кадра (LFM), в котором поле данных кадра CAN может быть длиннее восьми байты
2. Режим быстрого кадра (FFM), где поле управления, поле данных и поле CRC CAN кадры передаются с более высокой скоростью передачи данных по сравнению с началом и концом кадра

Режим быстрого кадра можно использовать в сочетании с режимом длинного кадра.

Ранее зарезервированный бит в кадрах CAN с 11-битными идентификаторами и первый ранее зарезервированный бит в кадрах CAN с 29-битными идентификаторами декодируются как бит FDF: рецессивный FDF обозначает кадр CAN FD, а доминантный FDF обозначает классический кадр CAN.

В кадре CAN FD два бита, следующие за FDF (res и BRS), определяют, переключается ли скорость передачи данных внутри этого кадра CAN FD. Переключение скорости передачи данных CAN FD обозначается доминантным res и рецессивным BRS. Кодирование res рецессивного зарезервировано для будущего расширения протокола. В случае, если FDCAN получает кадр с рецессивным FDF и рецессивным res, он сигнализирует о событии исключения протокола, устанавливая бит PXE регистра FDCAN_PSR. Когда обработка исключений протокола включена (PXHD = 0 в FDCAN_CCCR), это приводит к изменению состояния операции с приемника (ACT[1:0] = 10 в FDCAN_PSR) на интегрирование (ACT[1:0] = 00 в FDCAN_PSR) в следующей точке выборки. Если обработка исключений протокола отключена (PXHD = 1 в FDCAN_CCCR), FDCAN обрабатывает рецессивный бит res как ошибку формы и отвечает кадром ошибки.

Работа CAN FD включается путем программирования бита FDOE регистра FDCAN_CCCR.

В случае, если FDOE = 1, разрешены передача и прием кадров CAN FD.

Передача и прием классических кадров CAN всегда возможны. Передача кадра CAN FD или классического кадра CAN может быть настроена с помощью бита FDF в соответствующем элементе буфера Tx. При FDOE = 0 полученные кадры интерпретируются как классические кадры CAN, что приводит к передаче кадра ошибки при приеме кадра CAN FD. Когда работа CAN FD отключена, кадры CAN FD не передаются, даже если установлен бит FDF элемента буфера Tx. Биты FDOE и BRSE регистра FDCAN_CCCR могут быть изменены только при установленных битах INIT и CCE.

При FDOE = 0 установка битов FDF и BRS игнорируется, и кадры передаются в классическом формате CAN. При FDOE = 1 и BRSE = 0 оценивается только бит FDF элемента буфера Tx. При FDOE = 1 и BRSE = 1 включается передача кадров CAN FD с переключением скорости передачи данных. Все элементы буфера Tx с установленными битами FDF и BRS передаются в формате CAN FD с переключением скорости передачи данных.

Изменение режима во время работы CAN рекомендуется только при следующих условиях:

- Частота отказов в фазе данных CAN FD значительно выше, чем в фазе арбитража CAN FD. В этом случае отключите опцию переключения скорости передачи данных CAN FD для передач.
- Во время запуска системы все узлы передают классические CAN-сообщения, пока не будет проверено, что они могут общаться в формате CAN FD. Если это так, все узлы переключаются на работу в формате CAN FD.
- Сообщения о пробуждении в частичной сети CAN должны передаваться в классической сети CAN формат.
- Программирование в конце строки в случае, если не все узлы поддерживают CAN FD. Узлы, не поддерживающие CAN FD, остаются в режиме молчания до завершения программирования. Затем все узлы переключаются обратно на классическую CAN-коммуникацию.

В формате FDCAN кодировка DLC отличается от кодировки стандартного формата CAN.

Коды DLC от 0 до 8 имеют ту же кодировку, что и в стандартной CAN, коды от 9 до 15 (которые в стандартной CAN все кодируют поле данных из 8 байт) кодируются в соответствии с [таблицей 403](#).

Таблица 403. Кодирование DLC в FDCAN

DLC	9	10	11	12	13	14	15
Количество байтов данных	12	16	20	24	32	48	64

В быстрых кадрах CAN FD битовая синхронизация переключается внутри кадра после бита BRS (переключатель скорости передачи битов), если этот бит рецессивный. Перед битом BRS в фазе арбитража FDCAN используется стандартная битовая синхронизация CAN, как определено регистром FDCAN_DBTP. В следующей фазе данных FDCAN используется быстрая битовая синхронизация CAN, как определено регистром FDCAN_DBTP. Битовая синхронизация переключается обратно с быстрой синхронизации на разделителе CRC или при обнаружении ошибки, в зависимости от того, что произойдет раньше.

Максимальная настраиваемая скорость передачи битов в фазе данных CAN FD зависит от тактовой частоты ядра FDCAN. Например, при тактовой частоте ядра FDCAN 20 МГц и самом коротком настраиваемом времени передачи битов в четыре кванта времени (tq) скорость передачи битов в фазе данных составляет 5 Мбит/с.

В обоих форматах кадров данных (длинные кадры CAN FD и быстрые кадры CAN FD) значение бита ESI (индикатор состояния ошибки) определяется состоянием ошибки передатчика в начале передачи. Если передатчик пассивен по ошибке, ESI передается рецессивно, в противном случае он передается доминантно. В удаленных кадрах CAN FD бит ESI всегда передается доминантно, независимо от состояния ошибки передатчика. Код длины данных удаленных кадров CAN FD передается как 0.

В случае, если буфер FDCAN Tx настроен для передачи FDCAN с DLC > 8, первые восемь байт передаются в соответствии с настройкой в буфере Tx, а оставшаяся часть поля данных дополняется 0xCC. Когда FDCAN получает кадр FDCAN с DLC > 8, первые восемь байт этого кадра сохраняются в соответствующем Rx FIFO. Остальные байты отбрасываются.

Компенсация задержки приемопередатчика

Во время фазы данных передачи FDCAN только один узел передает, все остальные являются приемниками. Длина линии шины не имеет значения. При передаче через контакт FDCAN_TX контроллер протокола получает переданные данные от своего локального трансивера CAN через контакт FDCAN_RX. Полученные данные задерживаются петлей трансивера CAN



задержка. Если эта задержка больше TSEG1 (сегмент времени до точки выборки), и обнаружена ошибка бита. Без компенсации задержки трансивера скорость передачи битов в фазе данных кадра FDCAN ограничена задержкой цикла трансивера.

В FDCAN реализован механизм компенсации задержки для компенсации задержки в контуре трансивера CAN, что позволяет осуществлять передачу данных с более высокой скоростью передачи данных во время фазы передачи данных FDCAN независимо от задержки конкретного трансивера CAN.

Для проверки битовых ошибок во время фазы данных передающих узлов задержанные передаваемые данные сравниваются с полученными данными во вторичной точке выборки (SSP). Если обнаружена битовая ошибка, передатчик реагирует на эту битовую ошибку в следующей регулярной точке выборки. Во время фазы арбитража компенсация задержки всегда отключена.

Компенсация задержки передатчика позволяет создавать конфигурации, в которых время бита данных короче задержки передатчика. Это включается установкой бита TDC регистра FDCAN_DBTP и подробно описано в спецификации ISO11898-1.

Полученный бит сравнивается с переданным битом в SSP. Позиция SSP определяется как сумма измеренной задержки от выходного контакта передачи FDCAN FDCAN_TX через трансивер до входного контакта приема FDCAN_RX плюс смещение компенсации задержки передатчика, настроенное TDCO[6:0] FDCAN_TDCR. Смещение компенсации задержки передатчика используется для регулировки позиции SSP внутри полученного бита (например, половина времени бита в фазе данных). Позиция вторичной точки выборки округляется до следующего целого числа mtq (минимальный квант времени, один период тактового сигнала $fdcan_tq_ck$).

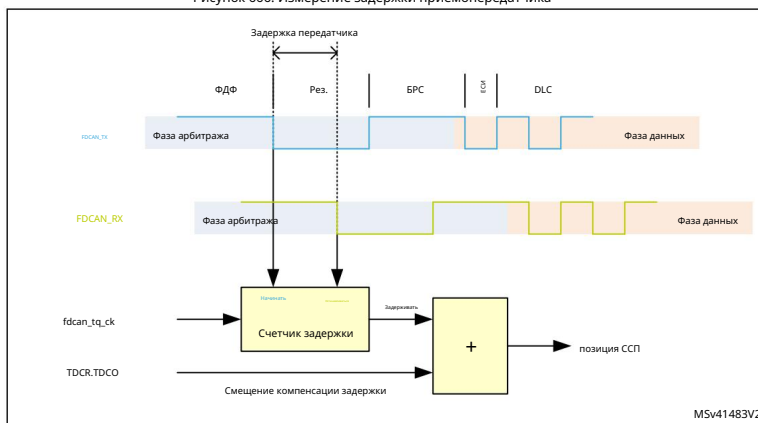
Поле битов TDCV[6:0] регистра FDCAN_PSR показывает фактическое значение компенсации задержки передатчика. TDCV[6:0] очищается, когда в FDCAN_CCCR устанавливается INIT. Он обновляется при каждой передаче кадра FD, пока установлен бит TDC регистра FDCAN_DBTP.

Для компенсации задержки передатчика, реализованной в FDCAN, необходимо учитывать следующие граничные условия:

- Сумма измеренной задержки от FDCAN_Tx до FDCAN_Rx и настроенной смещение компенсации задержки передатчика TDCO[6:0] должно быть меньше 6-битного времени в фазе данных.
- Сумма измеренной задержки от FDCAN_TX до FDCAN_RX и настроенного смещения компенсации задержки передатчика TDCO[6:0] должна быть меньше или равна $127 \times mtq$. Если сумма превышает это значение, для компенсации задержки передатчика используется максимальное значение $(127 \times mtq)$.
- Фаза данных заканчивается в точке выборки разделителя CRC, который прекращает проверку полученные биты в SSP.

Если компенсация задержки передатчика включена путем установки бита TDC FDCAN_DBTP; измерение начинается в каждом переданном кадре CAN FD на заднем фронте бита FDF в бит res. Измерение останавливается, когда этот фронт виден на входном контакте приема FDCAN_TX передатчика. Разрешение этого измерения составляет один mtq .

Рисунок 666. Измерение задержки приемопередатчика



Чтобы избежать того, что доминирующий сбой внутри полученного бита FDF завершит измерение компенсации задержки до заднего фронта полученного бита res (что приведет к слишком ранней позиции SSP), можно включить использование окна фильтра компенсации задержки передатчика, запрограммировав битовое поле TDCR[6:0] регистра FDCAN_TDCR. Это определяет минимальное значение для позиции SSP. Доминирующие фронты на FDCAN_RX, которые привели бы к более ранней позиции SSP, игнорируются для измерения задержки передатчика. Измерение останавливается, когда позиция SSP составляет по крайней мере TDCR[6:0] и FDCAN_RX низкий.

Ограниченный режим работы

В ограниченном режиме работы узел может получать данные и удаленные кадры, а также давать подтверждение действительным кадрам, но он не отправляет кадры данных, удаленные кадры, активные кадры ошибок или кадры перегрузки. В случае возникновения ошибки или перегрузки он не отправляет доминирующие биты. Вместо этого он ждет возникновения состояния простоя шины, чтобы повторно синхронизировать себя с коммуникацией CAN. Счетчики ошибок (REC[6:0] и TEC[7:0] в FDCAN_ECR) заморожены, пока активна регистрация ошибок (CEL[7:0]). Программное обеспечение может перевести FDCAN в ограниченный режим работы, установив бит ASM в FDCAN_CCCR. Бит может быть установлен программным обеспечением только в том случае, если в FDCAN_CCCR установлены биты CCE и INIT. Бит может быть очищен программным обеспечением в любое время.

Ограниченный режим работы автоматически вводится, когда обработчик Tx не может вовремя прочитать данные из ОЗУ сообщений. Чтобы выйти из ограниченного режима работы, программное обеспечение должно очистить бит ASM FDCAN_CCCR.

Режим ограниченной работы может использоваться в приложениях, которые адаптируются к разным скоростям передачи данных CAN. В этом случае приложение тестирует разные скорости передачи данных и выходит из режима ограниченной работы после получения действительного кадра.

Примечание:

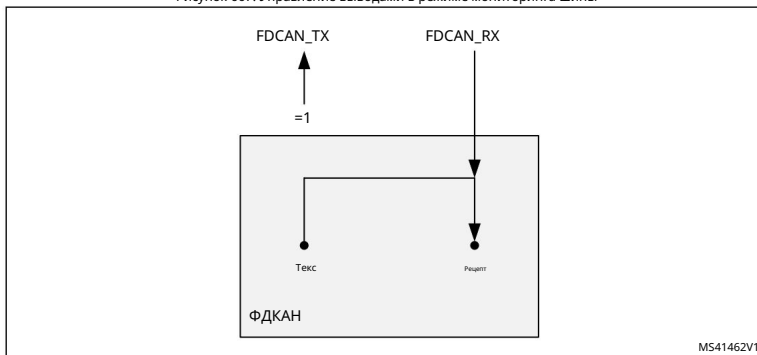
Режим ограниченной работы нельзя сочетать с режимом обратной связи (внутренней или внешней).

Режим мониторинга автобуса

FDCAN устанавливается в режим мониторинга шины путем установки бита MON регистра FDCAN_CCCR. В режиме мониторинга шины (более подробную информацию см. в ISO11898-1, 10.12 мониторинг шины) FDCAN может получать допустимые кадры данных и допустимые удаленные кадры, но не может начать передачу. В этом режиме он отправляет только рецессивные биты по шине CAN. Если FDCAN требуется отправить доминантный бит (бит ACK, флаг перегрузки, флаг активной ошибки), бит перенаправляется внутренне, так что FDCAN может его контролировать, даже если шина CAN остается в рецессивном состоянии. В режиме мониторинга шины регистр FDCAN_TXBRP удерживается в состоянии сброса.

Режим мониторинга шины может использоваться для анализа трафика на шине CAN, не влияя на него передачей доминантных битов. На рисунке 667 показано подключение сигналов FDCAN_TX и FDCAN_RX к FDCAN в режиме мониторинга шины.

Рисунок 667. Управление выводами в режиме мониторинга шины



Отключен режим автоматической ретрансляции (DAR)

Согласно спецификации CAN (см. ISO11898-1, 6.3.3 Recovery Management), FDCAN предоставляет средства для автоматической повторной передачи кадров, потерявших арбитраж или нарушенных ошибками во время передачи. По умолчанию автоматическая повторная передача включена. Режим DAR можно отключить через бит DAR регистра FDCAN_CCCR.

Передача кадров в режиме DAR

В режиме DAR все передачи автоматически отменяются после их запуска на шине CAN. Бит ожидания запроса Tx буфера Tx (TRPx в FDCAN_TXBRP) сбрасывается после успешной передачи, когда передача еще не была начата в точке отмены, когда она была прервана из-за потери арбитража или когда произошла ошибка во время передачи кадра.

• Успешная передача

Соответствующий бит TOx, о котором идет речь при передаче буфера Tx, устанавливается в регистре FDCAN_TXBTO.

Соответствующий бит завершения отмены буфера Tx CFx очищается в регистре FDCAN_TXBCF.

- Успешная передача, несмотря на отмену

Соответствующий бит TOx, о котором идет речь при передаче буфера Tx, устанавливается в регистре FDCAN_TXBTO.

Соответствующий бит завершения отмены буфера Tx CFx устанавливается в регистре FDCAN_TXBCF.

- Потеря арбитража или нарушение передачи кадра

Соответствующий бит TOx, свидетельствующий о том, что произошла передача буфера Tx, очищается в регистре FDCAN_TXBTO.

Соответствующий бит завершения отмены буфера Tx CFx устанавливается в регистре FDCAN_TXBCF.

В случае успешной передачи кадра и если включено сохранение событий Tx, записывается элемент FIFO события Tx с типом события ET = 10 (передача несмотря на отмену).

Выключение питания (спящий режим)

Вход при отключении питания

FDCAN может быть переведен в режим пониженного энергопотребления, управляемый установкой бита CSR регистра FDCAN_CCCR. Пока активен запрос остановки часов, CSR считывается как 1.

Когда все ожидающие запросы на передачу завершены, FDCAN ждет, пока не будет обнаружено состояние шины idle. Затем FDCAN устанавливает бит INIT регистра FDCAN_CCCR, чтобы предотвратить дальнейшие передачи CAN. Теперь FDCAN подтверждает, что он готов к отключению питания, устанавливая бит CSA регистра FDCAN_CCCR. В этом состоянии, до выключения часов, можно выполнять дальнейшие доступы к регистрам. Доступ к записи бита INIT не имеет никакого эффекта. Теперь входы часов модуля можно отключить.

Выход из режима пониженного энергопотребления

Чтобы выйти из режима выключения питания, приложение должно включить часы модуля перед очисткой бита CSR. FDCAN подтверждает это, очищая бит CSA. После этого приложение может перезапустить коммуникацию CAN, очистив бит INIT.

Тестовые режимы

Чтобы разрешить запись в [тестовый регистр FDCAN \(FDCAN_TEST\)](#), необходимо установить бит TEST регистра FDCAN_CCCR, что позволит настроить режимы и функции тестирования.

Для пина передачи CAN FDCAN_TX доступны четыре функции вывода путем программирования битового поля TX[1:0] регистра FDCAN_TEST. В дополнение к своей функции по умолчанию (вывод последовательных данных) он может управлять сигналом точки выборки CAN для контроля синхронизации бита FDCAN, а также управлять постоянными доминантными или рецессивными значениями. Фактическое значение на пине FDCAN_RX можно считать из бита RX FDCAN_TEST. Обе функции можно использовать для проверки физического уровня шины CAN.

Изя механизма синхронизации между часами ядра CAN и доменом часов APB может возникнуть задержка в несколько периодов часов APB между записью в TX[1:0] до тех пор, пока новая конфигурация не станет видна на выходном контакте FDCAN_TX. Это также применимо при чтении входного контакта FDCAN_RX через RX.

Примечание:

Тестовые режимы должны использоваться только для производственных тестов или самотестирования. Программное управление для вывода FDCAN_TX мешает всем функциям протокола CAN. Не рекомендуется использовать тестовые режимы для приложений.

Режим внешнего шлейфа

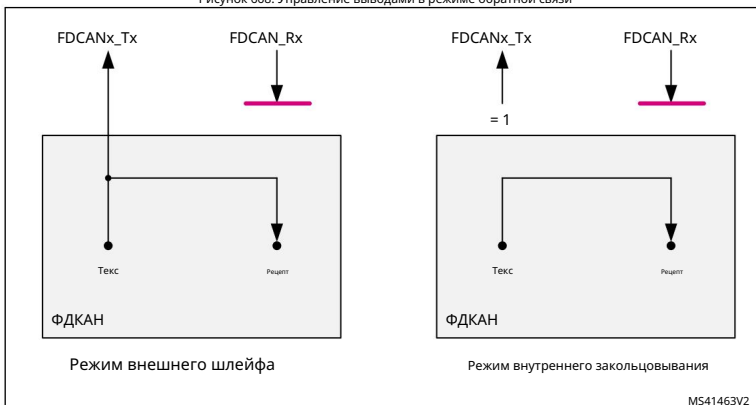
FDCAN можно настроить в режиме внешнего шлейфа, установив бит LBCK регистра FDCAN_TEST. В режиме шлейфа FDCAN обрабатывает собственные переданные сообщения как принятые и сохраняет их (если они проходят фильтрацию приема) в Rx FIFO. На рисунке 668 показано подключение сигналов передачи и приема FDCAN_TX и FDCAN_RX к FDCAN в режиме внешнего шлейфа.

Этот режим предусмотрен для аппаратного самотестирования. Чтобы быть независимым от внешней стимуляции, FDCAN игнорирует ошибки подтверждения (рецессивный бит, выбранный в слоте подтверждения кадра данных/удаленного устройства) в режиме обратной связи. В этом режиме FDCAN выполняет внутреннюю обратную связь со своего передающего выхода на свой приёмный вход. Фактическое значение входного контакта FDCAN_RX игнорируется FDCAN. Переданные сообщения можно отслеживать на передающем контакте FDCAN_TX.

Режим внутреннего закольцовывания

Режим внутреннего шлейфа включается установкой бита LBCK FDCAN_TEST и бита MON FDCAN_CCR. Этот режим можно использовать для горячего самотестирования, то есть FDCAN можно тестировать, не влияя на работающую систему CAN, подключенную к контактам FDCAN_TX и FDCAN_RX. В этом режиме контакт FDCAN_RX отключается от FDCAN, а контакт FDCAN_TX удерживается рецессивным. На рисунке 668 показано подключение контактов FDCAN_TX и FDCAN_RX к FDCAN в случае режима внутреннего шлейфа.

Рисунок 668. Управление выводами в режиме обратной связи



Генерация временной метки

Для генерации временных меток FDCAN предоставляет 16-битный циклический счетчик. Предделитель (TSP[3:0] из FDCAN_TSCC) может быть настроен на тактирование счетчика в кратных битовых временах CAN (от 1 до 16). Счетчик считывается через битовое поле TCV[15:0] регистра FDCAN_TSCV. Доступ для записи к TSCV15:0 сбрасывает счетчик в 0. Когда счетчик временных меток циклически завершается, устанавливается флаг прерывания (бит TSW из FDCAN_ISR).

В начале приема/передачи кадра значение счетчика захватывается и сохраняется в разделе временных меток элемента Rx FIFO (RXTS[15:0]) или Tx event FIFO (TXTS[15:0]).

Программируя TSS[1:0] FDCAN_TSCC, можно использовать 16-битную временную метку.

Поведение в режиме отладки

В режиме отладки функция установки/сброса при чтении автоматически отключается во время доступа к регистру отладчика и включается во время нормальной работы микроконтроллера.

Счетчик времени ожидания

Для сигнализации условий тайм-аута для Rx FIFO 0, Rx FIFO 1 и Tx event FIFO FDCAN предоставляет 16-битный счетчик тайм-аута. Он работает как счетчик обратного отсчета и использует тот же предделитель, управляемый TCP[3:0] FDCAN_TSCC, что и счетчик временных меток. Счетчик тайм-аута настраивается через регистр FDCAN_TOCC. Фактическое значение счетчика можно прочитать из битового поля TOC[15:0] FDCAN_TOCV. Счетчик тайм-аута может быть запущен только при очищенном бите INIT FDCAN_CCCR. Он останавливается, когда установлен INIT, например, когда FDCAN переходит в состояние отключения шины.

Режим работы выбирается TOS[1:0] FDCAN_TOCC. При работе в непрерывном режиме счетчик запускается при очистке INIT. Запись в FDCAN_TOCV устанавливает счетчик на значение, настроенное TOP[15:0] в FDCAN_TOCC, и продолжает обратный счет.

Когда счетчик тайм-аута управляется одним из FIFO, пустой FIFO устанавливает счетчик на значение, настроенное TOP[15:0]. Обратный счет начинается, когда сохраняется первый элемент FIFO. Запись в FDCAN_TOCV не имеет никакого эффекта.

Когда счетчик достигает 0, в регистре FDCAN_IR устанавливается флаг прерывания TOO. В непрерывном режиме счетчик немедленно перезапускается с TOP[15:0].

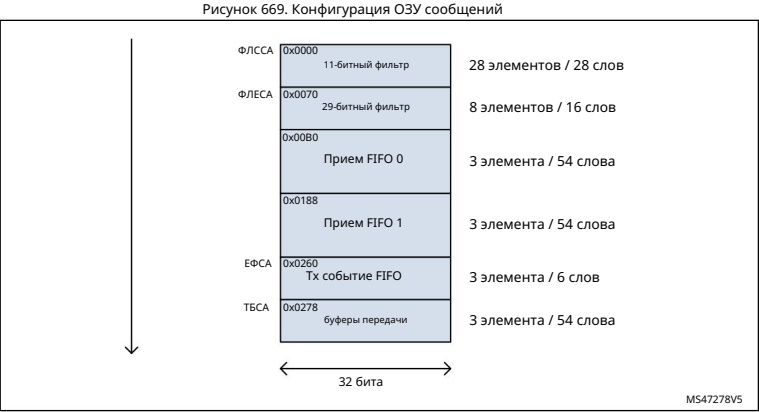
Примечание:

Тактовый сигнал для счетчика тайм-аута выводится из сигнала точки выборки ядра CAN.

Таким образом, момент времени, когда счетчик тайм-аута уменьшается, может меняться из-за механизма синхронизации/рессинхронизации ядра CAN. Если используется функция переключения скорости передачи в FDCAN, счетчик тайм-аута тактируется по-разному в полях арбитража и данных.

44.3.3 ОЗУ сообщений

ОЗУ сообщений имеет ширину 32 бита, а модуль FDCAN настроен на размещение в нем до 212 слов. Нет необходимости настраивать каждую из секций, показанных на [рисунке 669](#).



Когда FDCAN обращается к ОЗУ сообщений, он адресует 32-битные слова (выровненные), а не один байт. Адреса ОЗУ представляют собой 32-битные слова, то есть оцениваются только биты с 15 по 2, два младших бита игнорируются.

В случае нескольких экземпляров начальный адрес ОЗУ для FDCANn вычисляется как конечный адрес + 4 от FDCANn - 1, а конечный адрес FDCANn вычисляется как начальный адрес FDCANn + 0x0350 - 4.

В качестве примера приведем два случая:

• FDCAN1:

Начальный адрес 0x0000

Конечный адрес 0x034C (как на [рисунке 669](#))

• FDCAN2:

Начальный адрес = 0x034C (конечный адрес FDCAN1) + 4 = 0x0350

Конечный адрес = 0x0350 (начальный адрес FDCAN2) + 0x0350 - 4 = 0x069C.

Обработка рецептов

Обработчик Rx управляет фильтрацией приема, передачей полученных сообщений в один из двух Rx FIFO, а также индексами приема и получения Rx FIFO.

Фильтр принятия

FDCAN предлагает возможность настроить два набора фильтров приема, один для стандартных идентификаторов и другой для расширенных идентификаторов. Эти фильтры могут быть назначены Rx FIFO 0 или Rx FIFO 1. Для фильтрации приема каждый список фильтров выполняется от элемента № 0 до первого совпадающего элемента. Фильтрация приема останавливается на первом совпадающем элементе, и следующие элементы фильтра не оцениваются для этого сообщения.

Основные особенности:

- Каждый фильтрующий элемент может быть сконфигурирован как

Фильтр диапазона (от - до)

Фильтр по одному или двум выделенным идентификаторам

Классический фильтр битовой маски

- Каждый фильтрующий элемент можно настроить на прием или отклонение фильтрации.
- Каждый элемент фильтра можно включить/отключить индивидуально.
- Фильтры проверяются последовательно, выполнение останавливается на первом совпадающем элементе фильтра.

Сопутствующие регистры конфигурации:

- Глобальная конфигурация фильтра (RXGFC)
- Расширенный идентификатор и маска (XIDAM)

В зависимости от конфигурации фильтрующего элемента (SFEC[2:0]/EFEC[2:0]) совпадение запускает одно из следующих действий:

- Сохраните полученный кадр в FIFO 0 или FIFO 1
- Отклонить полученный кадр
- Установите флаг прерывания сообщения с высоким приоритетом HPM в FDCAN_IR
- Установите флаг прерывания сообщения с высоким приоритетом HPM в FDCAN_IR и сохраните полученное кадр в FIFO 0 или FIFO 1.

Фильтрация приема начинается после получения полного идентификатора. После завершения фильтрации приема и если найден соответствующий Rx FIFO, обработчик сообщений начинает записывать данные полученного сообщения 32-битными порциями в соответствующий Rx FIFO. Если контроллер протокола CAN обнаружил состояние ошибки (например, ошибку CRC), это сообщение отбрасывается со следующим эффектом:

- Рецепт FIFO

Индекс put соответствующего Rx FIFO не обновляется, но связанный элемент Rx FIFO частично перезаписывается полученными данными. Тип ошибки см. в битовых полях LEC[2:0] и DLEC[2:0] регистра FDCAN_PSR. В случае, если соответствующий Rx FIFO работает в режиме перезаписи, необходимо учитывать граничные условия, описанные в [разделе Режим перезаписи Rx FIFO](#).

Примечание:

Когда принятое сообщение записывается в один из двух Rx FIFO, неизменный полученный идентификатор сохраняется независимо от используемых фильтров. Результат процесса фильтра принятия сильно зависит от последовательности настроенных элементов фильтра.

Фильтр диапазона

Фильтр сопоставляет все полученные кадры с идентификаторами сообщений в диапазоне, определенном SF1ID/SF2ID и EF1ID/EF2ID.

Существуют две возможности использования фильтрации диапазона вместе с расширенными кадрами: • EFT[1:0] =

00: идентификатор сообщения полученных кадров объединяется с расширенным идентификатором и маской (XIDAM) перед применением фильтра диапазона.

- EFT[1:0] = 11: расширенный идентификатор и маска (XIDAM) не используются для фильтрации диапазона.

Фильтр для выделенных идентификаторов

Элемент фильтра можно настроить на фильтрацию по одному или двум конкретным идентификаторам сообщений. Чтобы фильтровать по одному конкретному идентификатору сообщения, элемент фильтра нужно настроить с SF1ID = SF2ID и EF1ID = EF2ID.

Классический фильтр битовой маски

Классическая фильтрация битовой маски предназначена для фильтрации групп идентификаторов сообщений путем маскирования отдельных битов полученного идентификатора сообщения. При классической фильтрации битовой маски SF1ID/EF1ID используется как фильтр идентификатора сообщения, а SF2ID/EF2ID используется как маска фильтра.

0 бит в маске фильтра маскирует соответствующую позицию бита настроенного фильтра ID. Например, значение идентификатора полученного сообщения в этой позиции бита не имеет значения для фильтрации приема. Только биты идентификатора полученного сообщения, где соответствующие биты маски равны 1, имеют значение для фильтрации приема.

В случае, если все биты маски равны 1, совпадение происходит только тогда, когда полученный идентификатор сообщения и фильтр идентификатора сообщения идентичны. Если все биты маски равны 0, все идентификаторы сообщений совпадают.

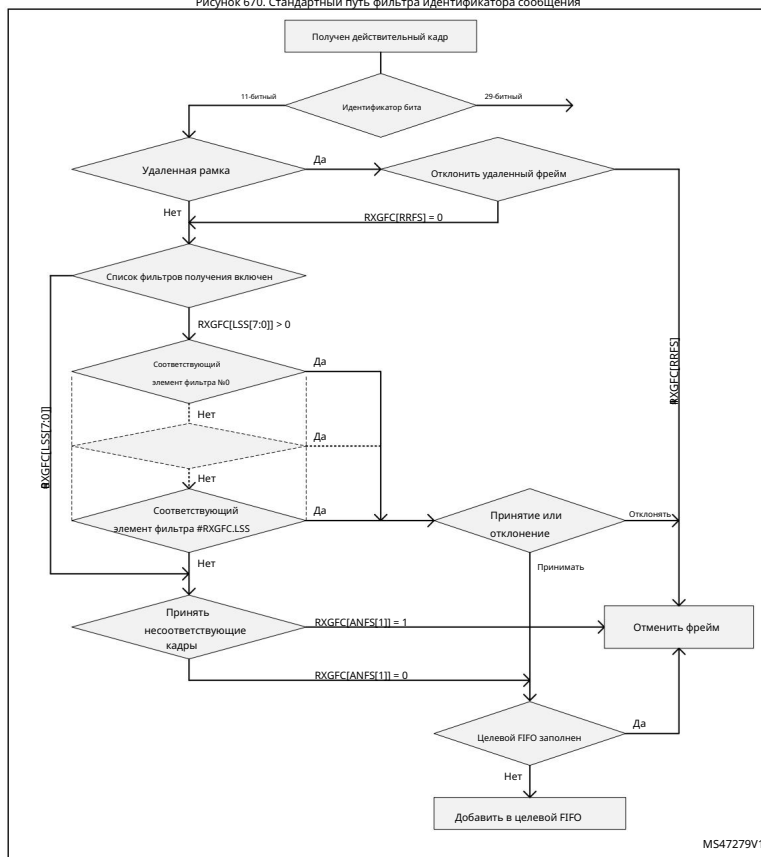
Фильтрация стандартного идентификатора сообщения

На рисунке 670 показан поток для фильтрации стандартного идентификатора сообщения (11-битный идентификатор).

Элемент фильтра стандартного идентификатора сообщения описан в разделе 44.3.8.

Стандартная фильтрация сообщений управляется регистром FDCAN_RXGFC. Стандартный идентификатор сообщения, бит запроса удаленной передачи (RTR) и бит расширения идентификатора (IDE) полученных кадров сравниваются со списком настроенных элементов фильтра.

Рисунок 670. Стандартный путь фильтра идентификатора сообщения



Расширенная фильтрация сообщений управляется регистром FDCAN_RXGFC. Расширенный идентификатор сообщения, бит запроса удаленной передачи (RTR) и бит расширения идентификатора (IDE) полученных кадров сравниваются со списком настроенных элементов фильтра.

```

graph TD
    Start([Получен действительный кадр]) --> ID{Идентификатор бита}
    ID -- 29-битный --> Deleted{Удаленная рамка}
    ID -- 11-битный --> Exit1(( ))
    Deleted -- Да --> RejectDel{Отклонить удаленный фрейм}
    Deleted -- Нет --> FilterList{Список фильтров получения включен}
    RejectDel -- RXGFC[RRFE] = 0 --> FilterList
    FilterList -- Нет --> AcceptMismatch{Принять несоответствующие кадры}
    FilterList -- Да --> LSE{RXGFC[LSE[3:0]] > 0}
    LSE -- Да --> Filter0{Соответствующий элемент фильтра №0}
    LSE -- Нет --> AcceptMismatch
    Filter0 -- Да --> Match{Соответствие элементу фильтра #RXGFC.LSE}
    Filter0 -- Нет --> AcceptMismatch
    Match -- Да --> AcceptOrReject{Принятие или отклонение}
    Match -- Нет --> AcceptMismatch
    AcceptOrReject -- Отклонить --> RejectFrame{Отменить фрейм}
    AcceptOrReject -- Принимать --> FIFOFull{Целевой FIFO заполнен}
    FIFOFull -- Да --> RejectFrame
    FIFOFull -- Нет --> AddFIFO[Добавить в целевой FIFO]
    AcceptMismatch -- RXGFC[ANFE(1)] = 1 --> RejectFrame
    AcceptMismatch -- RXGFC[ANFE(1)] = 0 --> FIFOFull
    AddFIFO --> Exit2(( ))
    RejectFrame --> Exit1
    Exit1 --> End([Конец])
    Exit2 --> End
  
```

1969/2138

Rx FIFO

Rx FIFO 0 и Rx FIFO 1 могут содержать до трех элементов каждый.

Полученные сообщения, прошедшие фильтрацию приема, передаются в Rx FIFO, как настроено соответствующим элементом фильтра. Описание механизмов фильтрации, доступных для Rx FIFO 0 и Rx FIFO 1, см. в разделе [Фильтр приема](#). Элемент Rx FIFO описан в [разделе 44.3.5](#).

Когда состояние Rx FIFO заполнено сигналом RFnF в FDCAN_IR (где n — номер FIFO), дальнейшие сообщения не записываются в соответствующий Rx FIFO до тех пор, пока не будет считано хотя бы одно сообщение и не будет увеличен индекс получения Rx FIFO. В случае, если сообщение получено, когда соответствующий Rx FIFO заполнен, это сообщение отбрасывается, а флаг прерывания RFnL устанавливается в регистре FDCAN_IR.

При чтении из Rx FIFO необходимо добавить индекс получения Rx FIFO (FnGI из FDCAN_RXFnS) + размер элемента FIFO к соответствующему начальному адресу Rx FIFO (FnSA).

Режим блокировки Rx FIFO

Режим блокировки Rx FIFO настраивается путем очистки бита FnOM в регистре FDCAN_RXGFC. Это режим работы по умолчанию для Rx FIFO.

При достижении состояния заполнения Rx FIFO (FnPI = FnGI в FDCAN_RXFnS) дальнейшие сообщения не записываются в соответствующий Rx FIFO до тех пор, пока не будет считано хотя бы одно сообщение и не будет увеличен индекс получения Rx FIFO. Состояние заполнения Rx FIFO сигнализируется FnF = 1 в FDCAN_RXFnS. Кроме того, в FDCAN_IR устанавливается флаг прерывания RFnF.

В случае, если сообщение получено, когда соответствующий Rx FIFO заполнен, это сообщение отбрасывается, а состояние потери сообщения сигнализируется установкой бита RFnL в FDCAN_RXFnS. Кроме того, флаг прерывания RFnL устанавливается в FDCAN_IR.

Режим перезаписи Rx FIFO

Режим перезаписи Rx FIFO настраивается установкой бита FnOM регистра FDCAN_RXGFC.

Когда состояние Rx FIFO заполнено (FnPI = FnGI из FDCAN_RXFnS) сигнализируется FnF = 1 в FDCAN_RXFnS, следующее сообщение, принятое для FIFO, перезаписывает самое старое сообщение FIFO. Индексы put и get увеличиваются на единицу.

Когда Rx FIFO работает в режиме перезаписи и сигнализируется о состоянии заполнения Rx FIFO, чтение из элементов Rx FIFO должно начинаться по крайней мере с get index + 1. Это связано с тем, что может случиться, что полученное сообщение будет записано в ОЗУ сообщений (put index), пока ЦП выполняет чтение из ОЗУ сообщений (get index). В этом случае из соответствующего элемента Rx FIFO могут быть считаны несогласованные данные. Добавление смещения к get index при чтении из Rx FIFO позволяет избежать этой проблемы. Смещение зависит от того, насколько быстро ЦП обращается к Rx FIFO.

После чтения из Rx FIFO номер последнего прочитанного элемента должен быть записан в индекс подтверждения Rx FIFO (FnA из FDCAN_RXFnA). Это увеличивает индекс get до этого номера элемента. В случае, если индекс put не был увеличен до этого элемента Rx FIFO, условие заполнения Rx FIFO сбрасывается (FnF = 0 в FDCAN_RXFnS).

Обработка Tx

Обработчик Tx обрабатывает запросы на передачу для Tx FIFO и очереди Tx. Он управляет передачей сообщений передачи в ядро CAN, индексами put и get и FIFO событий Tx. Для передачи сообщений можно настроить до трех буферов Tx. Поле данных сообщения CAN настроено на 64 байта. Tx FIFO выделяет восемнадцать 32-битных слов для хранения элемента Tx.

Таблица 404. Возможные конфигурации для передачи кадров

CCCP		Элемент буфера Tx		Передача кадров
БРСЭ	FDOE	ФДФ	БРС	
Игнорируется	0	Игнорируется	Игнорируется	Классический CAN
0	1	0	Игнорируется	Классический CAN
0	1	1	Игнорируется	FD без переключения скорости передачи данных
1	1	0	Игнорируется	Классический CAN
1	1	1	0	FD без переключения скорости передачи данных
1	1	1	1	FD с переключением скорости передачи данных

Примечание:

Для AUTOSAR требуется не менее трех буферов очереди Tx и поддержка отмены передачи.

Обработчик Tx запускает сканирование Tx для проверки наличия ожидающего запроса Tx с наивысшим приоритетом (буфер Tx с наименьшим идентификатором сообщения) при обновлении регистра ожидающего запроса буфера Tx (FDCAN_TXBRP) или при начале передачи.

Пауза передачи

Функция паузы передачи предназначена для использования в системах CAN, где идентификаторы сообщений CAN постоянно имеют определенные значения и не могут быть легко изменены. Эти идентификаторы сообщений могут иметь более высокий приоритет арбитража CAN, чем другие определенные сообщения, в то время как в конкретном приложении их относительный приоритет арбитража должен быть обратным. Это может привести к ситуации, когда один ЭБУ отправляет пакет сообщений CAN, что приводит к задержке сообщений CAN другого ЭБУ, поскольку другие сообщения имеют более низкий приоритет арбитража CAN.

Например, если CAN ECU-1 имеет включенную функцию и его прикладное программное обеспечение запрашивает передачу четырех сообщений, он ждет, после первой успешной передачи сообщения, два битовых времени CAN шины idle, прежде чем ему будет разрешено начать следующее запрошенное сообщение. Если есть другие ECU с ожидающими сообщениями, эти сообщения запускаются во время простоя, и им не нужно будет арбитражировать со следующим сообщением ECU-1. После получения сообщения ECU-1 разрешено начать следующую передачу, как только полученное сообщение освободит шину CAN.

Функция управляется битом TXP регистра CCCR. Если бит установлен, FDCAN, каждый раз, когда он успешно передает сообщение, делает паузу на два битовых времени CAN перед началом следующей передачи. Это позволяет другим узлам CAN в сети передавать сообщения, даже если их сообщения имеют более низкие предыдущие идентификаторы. По умолчанию эта функция отключена (TXP = 0 в FDCAN_CCCR).



Эта функция блокирует пакетные передачи, исходящие от одного узла, и защищает от сценариев «болтливой идиоты», когда прикладная программа ошибочно запрашивает слишком много передач.

Tx FIFO

Работа Tx FIFO настраивается путем очистки бита TFQM регистра FDCAN_TXBC.

Сообщения, хранящиеся в Tx FIFO, передаются, начиная с сообщения, на которое ссылается индекс получения (битовое поле TFGI[1:0] FDCAN_TXFQS). После каждой передачи индекс получения циклически увеличивается до тех пор, пока Tx FIFO не опустеет. Tx FIFO позволяет передавать сообщения с одинаковым идентификатором сообщения из разных буферов Tx в том порядке, в котором эти сообщения были записаны в Tx FIFO.

FDCAN вычисляет свободный уровень Tx FIFO (битовое поле TFFLI[2:0] FDCAN_TXFQS) как разницу между индексами получения и помещения. Он указывает количество доступных (свободных) элементов Tx FIFO.

Новые передаваемые сообщения должны быть записаны в Tx FIFO, начиная с буфера Tx, на который ссылается индекс put (битовое поле TFQPI[1:0] FDCAN_TXFQS). Запрос на добавление увеличивает индекс put до следующего свободного элемента Tx FIFO. Когда индекс put достигает индекса get, подается сигнал Tx FIFO full (TFQF = 1 в FDCAN_TXFQS). В этом случае никакие дальнейшие сообщения не должны быть записаны в Tx FIFO, пока не будет передано следующее сообщение и не будет увеличен индекс get.

Когда в Tx FIFO добавляется одно сообщение, передача запрашивается путем установки бита FDCAN_TXBAR, связанного с буфером Tx, на который ссылается индекс отправки Tx FIFO.

Когда в Tx FIFO добавляется несколько (n) сообщений, они записываются в n последовательных буферов Tx, начиная с индекса put. Затем передачи запрашиваются через регистр FDCAN_TXBAR. Затем индекс put циклически увеличивается на n. Количество запрошенных буферов Tx не должно превышать количество свободных буферов Tx, как указано в свободном уровне Tx FIFO.

Когда запрос на передачу для буфера Tx, на который ссылается индекс get, отменяется, индекс get увеличивается до следующего буфера Tx с ожидающим запросом на передачу, а уровень свободного пространства Tx FIFO пересчитывается. Когда отмена передачи применяется к любому другому буферу Tx, индекс get и уровень свободного пространства FIFO остаются неизменными.

Элемент Tx FIFO выделяет восемнадцать 32-битных слов в ОЗУ сообщений. Таким образом, начальный адрес следующего доступного (свободного) буфера Tx FIFO вычисляется путем добавления четырехкратного индекса TFQPI[1:0] (0-2) к начальному адресу буфера Tx TBSA.

очередь передачи

Работа очереди Tx настраивается путем установки TFQM регистра FDCAN_TXBC.

Сообщения, хранящиеся в очереди Tx, передаются, начиная с сообщения с наименьшим идентификатором сообщения (наименьший приоритет).

В случае смешивания стандартных и расширенных идентификаторов сообщений стандартные идентификаторы сообщений сравниваются с битами [28:18] расширенных идентификаторов сообщений.

Если несколько буферов очереди настроены с одинаковым идентификатором сообщения, первым передается буфер очереди с наименьшим номером буфера.

Новые сообщения должны быть записаны в буфер Tx, на который ссылается индекс put (TFQPI[1:0] в FDCAN_TXFQS). Запрос на добавление циклически увеличивает индекс put до следующего свободного буфера Tx. В случае, если очередь Tx заполнена (TFQF = 1 в FDCAN_TXFQS), индекс put недействителен, и никакие дальнейшие сообщения не должны быть записаны в очередь Tx, пока хотя бы одно из запрошенных сообщений не будет отправлено или ожидающий запрос на передачу не будет отменен.

Приложение может использовать регистр FDCAN_TXBRP вместо индекса put и может помещать сообщения в любой буфер Tx без ожидания запроса на передачу.

Буфер очереди Tx выделяет восемнадцать 32-битных слов в оперативной памяти сообщений. Начальный адрес Поэтому следующий доступный (свободный) буфер очереди Tx вычисляется путем четырехкратного сложения индекса размещения очереди Tx $TFQPI[1:0]$ (0 ... 2) с начальным адресом буфера Tx TBSA.

Отмена передачи

FDCAN поддерживает отмену передачи. Чтобы отменить запрошенную передачу из буфера очереди Tx, хост должен записать 1 в соответствующую позицию бита (= номер буфера Tx) регистра FDCAN_TXBCR. Отмена передачи не предназначена для операции Tx FIFO.

Успешная отмена сигнализируется установкой соответствующего бита регистра FDCAN_TXBCF.

В случае запроса отмены передачи во время передачи из буфера Tx соответствующий бит FDCAN_TXBRP остается установленным до тех пор, пока передача продолжается. Если передача успешна, устанавливаются соответствующие биты FDCAN_TXBTO и FDCAN_TXBCF. Если передача неуспешна, она не повторяется и устанавливается только соответствующий бит FDCAN_TXBCF.

Примечание:

В случае отмены ожидающей передачи непосредственно перед ее началом существует короткое временное окно, в течение которого передача не начинается, даже если в узле находится другое ожидающее сообщение. Это может позволить другому узлу передать сообщение, приоритет которого может быть ниже, чем у второго сообщения в узле.

Обработка событий Tx

Для поддержки обработки событий Tx в FDCAN реализован FIFO событий Tx. После того, как FDCAN передал сообщение по шине CAN, идентификатор сообщения и временная метка сохраняются в элементе FIFO событий Tx. Чтобы связать событие Tx с элементом FIFO событий Tx, маркер сообщения из переданного буфера Tx копируется в элемент FIFO событий Tx.

Событие Tx FIFO настроено на три элемента. Элемент события Tx FIFO описан в [Tx FIFO](#).

Целью Tx event FIFO является отделение обработки информации о состоянии передачи от обработки передаваемого сообщения, то есть буфер Tx содержит только сообщение, которое должно быть передано, в то время как состояние передачи хранится отдельно в Tx event FIFO. Это имеет преимущество, особенно при работе с динамически управляемой очередью передачи, в том, что буфер Tx может быть использован для нового сообщения сразу после успешной передачи. Нет необходимости сохранять информацию о состоянии передачи из буфера Tx перед перезаписью этого буфера Tx.

Когда бит TEFF регистра FDCAN_IR сигнализирует о переполнении FIFO события Tx, в FIFO события Tx не записываются дополнительные элементы до тех пор, пока не будет считан хотя бы один элемент и не будет увеличен индекс получения FIFO события Tx. В случае, если событие Tx происходит, когда FIFO события Tx заполнено, это событие отбрасывается, а в регистре FDCAN_IR устанавливается флаг прерывания TEFL.

При чтении из FIFO событий Tx индекс получения FIFO событий Tx ($EFGL[1:0]$ из FDCAN_TXEFS) должен быть дважды добавлен к начальному адресу FIFO событий Tx EFSA.

44.3.4 Обработка подтверждений FIFO

- Индексы получения Rx FIFO 0, Rx FIFO 1 и события Tx FIFO контролируются путем записи в соответствующий индекс подтверждения FIFO (см. [раздел 44.4.23](#) и [раздел 44.4.25](#)).
- Запись в индекс подтверждения FIFO устанавливает индекс получения FIFO на индекс подтверждения FIFO плюс один и тем самым обновляет уровень заполнения FIFO. Есть два варианта использования:
- Когда из FIFO был прочитан только один элемент (тот, на который указывает индекс получения), это значение индекса получения записывается в индекс подтверждения FIFO.
 - Когда последовательность элементов была считана из FIFO, достаточно записать индекс подтверждения FIFO только один раз в конце этой последовательности чтения (значение = индекс последнего считанного элемента), чтобы обновить индекс получения FIFO.

Поскольку ЦП имеет свободный доступ к ОЗУ сообщений FDCAN, необходимо соблюдать особую осторожность при чтении элементов FIFO в произвольном порядке (индекс получения не рассматривается). Это может быть полезно при чтении сообщения с высоким приоритетом из одного из двух Rx FIFO. В этом случае индекс подтверждения FIFO не должен быть записан, поскольку это установит индекс получения в неправильное положение и изменит уровень заполнения FIFO. В этом случае некоторые из старых элементов FIFO будут потеряны.

Примечание: Приложение должно гарантировать, что в индекс подтверждения FIFO записано допустимое значение. FDCAN не проверяет ошибочные значения.

44.3.5 Элемент FDCAN Rx FIFO

Два Rx FIFO сконфигурированы в ОЗУ сообщений. Каждый раздел Rx FIFO может быть сконфигурирован для хранения до трех полученных сообщений. Структура элемента Rx FIFO описана в [Таблице 405](#). Описание приведено в [Таблице 406](#).

Таблица 405. Элемент Rx FIFO

Бит 31		24 23		16 15		8 7		0	
R0 ESI XTD RTR				Идентификатор(28:0)					
R1 ANMF		FIDX[6:0]		Рез. FDF BRS DTC[3:0]		PXTC[15:0]			
P2		DB3[7:0]		DB2[7:0]		DB1[7:0]		Д[7:0]	
P3		DB7[7:0]		DB6[7:0]		DB5[7:0]		DB4[7:0]	
:		:		:		:		:	
Pn		DBm[7:0]		ДБм-1[7:0]		ДБм-2[7:0]		ДБм-3[7:0]	

Размер элемента, настроенного для хранения сообщений CAN FD, установлен на 64-байтовое поле данных.

Таблица 406. Описание элемента Rx FIFO

Поле	Описание
R0 Бит 31 ЕСИ	Индикатор состояния ошибки 0: Передающий узел активен из-за ошибки 1: Передающий узел является пассивным по ошибке
R0 Бит 30 XTD	Расширенный идентификатор Сигнализирует хосту, имеет ли полученный кадр стандартный или расширенный идентификатор. 0: 11-битный стандартный идентификатор 1: 29-битный расширенный идентификатор



Таблица 406. Описание элемента Rx FIFO (продолжение)

Поле	Описание
R0 Бит 29 RTP	Запрос на удаленную передачу. Сигнализирует хосту, является ли полученный кадр кадром данных или удаленным кадром. 0: Полученный кадр является кадром данных 1: Полученный кадр является удаленным кадром
R0 Биты 28:0 <i>Идентификатор(28:0)</i>	Идентификатор Стандартный или расширенный идентификатор в зависимости от бита XTD. Стандартный идентификатор хранится в ID[28:18].
R1 Бит 31 АНМФ	Принятый несоответствующий кадр Принятие несоответствующих кадров можно включить с помощью битовых полей ANFS[1:0] и ANFE[1:0] FDCAN_RXGFC. 0: Получен индекс фильтра соответствия кадра FIDX 1: Полученный кадр не соответствует ни одному элементу фильтра Rx
R1 Биты 30:24 FIDX[6:0]	Фильтр индекса 0-27=Индекс соответствующего элемента фильтра приема Rx (недействительно, если ANMF = 1). Диапазон: от 0 до LSS[4:0] - 1 или LSE[3:0] - 1 в FDCAN_RXGFC.
R1 Бит 21 ФДФ	Формат ФД 0: Стандартный формат кадра 1: Формат кадра FDCAN (новое DLC-кодирование и CRC)
R1 Бит 20 БРС	<i>Справочность скорости передачи данных.</i> 0: Кадр получен без переключения скорости передачи данных 1: Кадр получен с переключением скорости передачи данных
Биты R1 19:16 ДЛЦ[3:0]	Код длины данных 0-8: Классический CAN + CAN FD: полученный кадр содержит 0-8 байтов данных 9-15: Классический CAN: полученный кадр содержит 8 байтов данных 9-15: CAN FD: полученный кадр содержит 12/16/20/24/32/48/64 байта данных
R1 Биты 15:0 PXTC[15:0]	Rx timestamp Значение счетчика временной метки, полученное в начале приема кадра. Разрешение зависит от конфигурации предварительного делителя счетчика временной метки TCP[3:0] FDCAN_TSCC.
Биты R2 31:24 DB3[7:0]	Байт данных 3
Биты R2 23:16 DB2[7:0]	Байт данных 2
R2 биты 15:8 DB1[7:0]	Байт данных 1
R2 Биты 7:0 Д[7:0]	Байт данных 0
Биты R3 31:24 DB7[7:0]	Байт данных 7
Биты R3 23:16 DB6[7:0]	Байт данных 6

Таблица 406. Описание элемента Rx FIFO (продолжение)

Поле	Описание
R3 Биты 15:8 DB5[7:0]	Байт данных 5
R3 Биты 7:0 DB4[7:0]	Байт данных 4
⋮	⋮
Rn Биты 31:24 DBm[7:0]	Байт данных m
Rn Биты 23:16 DBm-1[7:0]	Байт данных m-1
Rn Биты 15:8 DBm-2[7:0]	Байт данных m-2
Rn Биты 7:0 DBm-3[7:0]	Байт данных m-3

44.3.6 Элемент буфера FDCAN Tx

Раздел буферов Tx (три элемента) можно настроить для хранения Tx FIFO или очереди Tx. Обработчик Tx различает Tx FIFO и очередь Tx с помощью бита конфигурации буфера Tx TFCM регистра FDCAN_TXBC. Размер элемента настроен для хранения сообщений CAN FD с данными объемом до 64 байт.

Таблица 407. Tx-буфер и элемент FIFO

Бит 31	24	23	16	15	8	7	0
TO ESI	XTD	RTR	Идентификатор(28-0)				
T1	MM[7:0]			EFC Res.	FD F B S	DLC[3:0]	Рез.
T2	DB3[7:0]			DB2[7:0]		DB1[7:0]	Д[7:0]
T3	DB7[7:0]			DB6[7:0]		DB5[7:0]	DB4[7:0]
⋮	⋮			⋮		⋮	
Tn	DBm[7:0]			DBm-1[7:0]		DBm-2[7:0]	DBm-3[7:0]

Таблица 408. Описание элемента буфера Tx

Поле	Описание
TO Бит 31 ЕСИ(1)	Индикатор состояния ошибки 0: бит ESI в формате CAN FD зависит только от пассивного флага ошибки 1: бит ESI в формате CAN FD передается рецессивно
TO Бит 30 XTD	Расширенный идентификатор 0: 11-битный стандартный идентификатор 1: 29-битный расширенный идентификатор



Таблица 408. Описание элемента буфера Tx (продолжение)

Поле	Описание
T0 Бит 29 RTP(2)	Запрос на удаленную передачу 0: Передача кадра данных 1: Передача удаленного кадра
T0 Биты 28:0 <small>Идентификатор(28:0)</small>	Идентификатор Стандартный или расширенный идентификатор в зависимости от бита XTD. Стандартный идентификатор должен быть записан в ID[28:18].
Биты T1 31:24 MM[7:0]	Маркер сообщения Записывается ЦП во время настройки буфера Tx. Копируется в элемент FIFO события Tx для идентификации статуса сообщения Tx.
T1 Бит 23 ЕФК	Управление FIFO-событиями 0: Не сохранять события Tx 1: Сохранение событий Tx
T1 Бит 21 ФДФ	Формат ФД 0: Кадр передается в классическом формате CAN 1: Кадр передается в формате CAN FD
T1 Бит 20 БРС(3)	<small>Переключение скорости передачи данных</small> 0: Кадры CAN FD передаются без переключения скорости передачи данных 1: Кадры CAN FD передаются с переключением скорости передачи данных
T1 Биты 19:16 ДЛЦ[3:0]	Код длины данных 0 - 8: Классический CAN + CAN FD: полученный кадр содержит 0-8 байтов данных 9 - 15: Классический CAN: полученный кадр содержит 8 байтов данных 9 - 15: CAN FD: полученный кадр содержит 12/16/20/24/32/48/64 байта данных
T2 Биты 31:24 DB3[7:0]	Байт данных 3
T2 Биты 23:16 DB2[7:0]	Байт данных 2
T2 бит 15:8 DB1[7:0]	Байт данных 1
T2 бит 7:0 Д[7:0]	Байт данных 0
T3 Биты 31:24 DB7[7:0]	Байт данных 7
T3 Биты 23:16 DB6[7:0]	Байт данных 6
T3 бит 15:8 DB5[7:0]	Байт данных 5
T3 Биты 7:0 DB4[7:0]	Байт данных 4
:	:

Таблица 408. Описание элемента буфера Tx (продолжение)

Поле	Описание
Tn Битс 31:24 DBm[7:0]	Байт данных m
Tn Битс 23:16 ДБм-1[7:0]	Байт данных m-1
Tn Битс 15:8 ДБм-2[7:0]	Байт данных m-2
Tn Битс 7:0 ДБм-3[7:0]	Байт данных m-3

1. Бит ESI буфера передачи объединяется с помощью ИЛИ с пассивным флагом ошибки для определения значения бита ESI в переданном кадре FD. Как того требует спецификация протокола CAN FD, активный узел ошибки может опционально передавать рецессивный бит ESI, но пассивный узел ошибки всегда передает рецессивный бит ESI.
2. Когда RTR = 1, FDCAN передает удаленный кадр в соответствии с ISO11898-1, даже если передача в формате CAN FD разрешена битом FDOE FDCAN_CCCR.
3. Биты ESI, FDF и BRS оцениваются только тогда, когда работа CAN FD включена путем установки бита FDOE в FDCAN_CCCR. Бит BRS оценивается только тогда, когда дополнительно установлен бит BRSE в FDCAN_CCCR.

44.3.7 Элемент FIFO события FDCAN Tx

Каждый элемент хранит информацию о переданных сообщениях. Считывая событие Tx, FIFO хост-процессор получает эту информацию в том порядке, в котором были переданы сообщения. Информацию о состоянии FIFO события Tx можно получить из регистра FDCAN_TXEFS.

Таблица 409. Элемент FIFO события Tx

Бит 31	24	23	16	15	8	7	0
E0 ESI XTD RTR							Идентификатор(28:0)
E1	MM[7:0]			ET[1:0] ED	BRS DL[3:0]		TXTS[15:0]

Таблица 410. Описание элемента FIFO события Tx

Поле	Описание
E0 Бит 31 ЕСИ	Индикатор состояния ошибки 0: Передающий узел активен из-за ошибки 1: Передающий узел является пассивным по ошибке
E0 Бит 30 XTD	Расширенный идентификатор 0: 11-битный стандартный идентификатор 1: 29-битный расширенный идентификатор
E0 Бит 29 RTP	Запрос на удаленную передачу 0: Передача кадра данных 1: Передача удаленного кадра
E0 Биты 28:0 Идентификатор(28:0)	Идентификатор Стандартный или расширенный идентификатор в зависимости от бита XTD. Стандартный идентификатор должен быть записан в ID[28:18].



Таблица 410. Описание элемента FIFO события Tx (продолжение)

Поле	Описание
E1 Биты 31:24 MM[7:0]	Маркер сообщения Копируется из буфера Tx в элемент FIFO события Tx для идентификации статуса сообщения Tx.
E1 Биты 23:22 ЕФК	Тип события 00: Зарезервировано 01: Событие передачи 10: Передача несмотря на отмену (всегда установлено для передач в режиме DAR) 11: Зарезервировано
E1 Бит 21 EDL	Увеличенная длина данных 0: Стандартный формат кадра 1: Формат кадра FDCAN (новое DLC-кодирование и CRC)
E1 Бит 20 БРС	<i>Переключение скорости передачи данных</i> 0: Кадр передан без переключения скорости передачи данных 1: Кадр передается с переключением скорости передачи данных
T1 Битс 19:16 ДЛЦ[3:0]	Код длины данных 0 - 8: кадр с переданными 0-8 байтами данных 9 - 15: Кадр с 8 переданными байтами данных
E1 Биты 15:0 TXTS[15:0]	Временная метка Tx Значение счетчика временных меток, полученное в начале передачи кадра. Разрешение зависит от конфигурации предварительного делителя счетчика временных меток TCP[3:0] FDCAN_TSCC.

44.3.8 Элемент фильтра идентификатора стандартного сообщения FDCAN

Для 11-битных стандартных идентификаторов можно настроить до 28 элементов фильтра. При доступе к стандартному элементу фильтра идентификатора сообщения его адрес — это начальный адрес стандартного списка фильтров FLSSA плюс индекс элемента фильтра (0 27).

Таблица 411. Элемент фильтра стандартного идентификатора сообщения

Бит 31	24	16	8	0
S0 SF[1:0] SFEC[2:0]	SFID1[10:0]		Рез.	СФИД2[10:0]



Таблица 412. Описание поля элемента фильтра стандартного идентификатора сообщения

Поле	Описание
Бит 31:30 СФТ[1:0]1	Стандартный тип фильтра 00: Фильтр диапазона от SFID1 до SFID2 01: Двойной фильтр ID для SFID1 или SFID2 10: Классический фильтр: SFID1 = фильтр, SFID2 = маска 11: Фильтрующий элемент отключен
Бит 29:27 СФЭК[2:0]	Стандартная конфигурация фильтрующего элемента Все включенные элементы фильтра используются для приемочной фильтрации стандартных кадров. Фильтрация приема останавливается на первом совпадающем включенном элементе фильтра или при достижении конца списка фильтров. Если SFEC[2:0] = 100, 101 или 110, совпадение устанавливает флаг прерывания IR.NPM и, если включено, генерируется прерывание. В этом случае регистр NPMS обновляется статусом приоритетного совпадения. 000: Отключить фильтрующий элемент 001: Сохранить в Rx FIFO 0, если фильтр соответствует 010: Сохранить в Rx FIFO 1, если фильтр соответствует 011: Отклонить идентификатор, если фильтр соответствует 100: Установить приоритет, если фильтр соответствует 101: Установить приоритет и сохранить в FIFO 0, если фильтр соответствует 110: Установить приоритет и сохранить в FIFO 1, если фильтр соответствует 111: Не используется
Биты 26:16 SFID1[10:0]	Стандартный идентификатор фильтра 1 Первый идентификатор стандартного элемента фильтра идентификатора.
Биты 10:0 СФИД2[10:0]	Стандартный идентификатор фильтра 2 Второй идентификатор стандартного элемента фильтра.

1. При SFT[1:0] = 11 фильтрующий элемент отключается и приемочная фильтрация продолжается (такое же поведение, как и при SFEC[2:0] = 000).

Примечание:

В случае настройки зарезервированного значения элемент фильтра считается отключенным.

44.3.9 Элемент фильтра идентификатора расширенного сообщения FDCAN

Для 29-битных расширенных идентификаторов можно настроить до восьми элементов фильтра. При доступе к элементу фильтра расширенного идентификатора сообщения его адрес — это расширенный начальный адрес списка фильтров FLESA плюс удвоенный индекс элемента фильтра (0 7).

Таблица 413. Элемент фильтра расширенного идентификатора сообщения

Бит 31		24 23		16 15		8 7		0
Ф0	ЭФЭК[2:0]			ЕФИД1[28:0]				
Ф1	ЕФТИ[1:0]	Рез.		ЭФИД2[28:0]				



Таблица 414. Описание поля элемента фильтра расширенного идентификатора сообщения

Поле	Описание
F0 Биты 31:29 ЭФЕК[2:0]	<p>Расширенная конфигурация фильтрующего элемента</p> <p>Все включенные элементы фильтра используются для приемочной фильтрации расширенных кадров. Фильтрация приема останавливается на первом совпадающем включенном элементе фильтра или при достижении конца списка фильтров. Если EFEC[2:0] = 100, 101 или 110, совпадение устанавливает флаг прерывания IR[NPM] и, если включено, генерируется прерывание. В этом случае регистр HPMS обновляется статусом приоритетного совпадения.</p> <p>000: Отключить фильтрующий элемент</p> <p>001: Сохранить в Rx FIFO 0, если фильтр соответствует</p> <p>010: Сохранить в Rx FIFO 1, если фильтр соответствует</p> <p>011: Отклонить идентификатор, если фильтр соответствует</p> <p>100: Установить приоритет, если фильтр соответствует</p> <p>101: Установить приоритет и сохранить в FIFO 0, если фильтр соответствует</p> <p>110: Установить приоритет и сохранить в FIFO 1, если фильтр соответствует</p> <p>111: Не используется</p>
F0 Биты 28:0 EFID1[28:0]	<p>Расширенный идентификатор фильтра 1</p> <p>Первый идентификатор расширенного элемента фильтра идентификаторов.</p> <p>При фильтрации для Rx FIFO это поле определяет идентификатор расширенного сообщения, которое будет сохранено. Полученные идентификаторы должны точно совпадать, только механизм маскировки XIDAM.</p>
F1 Биты 31:30 ЭФТ[1:0]	<p>Расширенный тип фильтра</p> <p>00: Фильтр диапазона от EF11D до EF21D (EF21D EF11D)</p> <p>01: Двойной фильтр ID для EF11D или EF21D</p> <p>10: Классический фильтр: EF11D = фильтр, EF21D = маска</p> <p>11: Фильтр диапазона от EF11D до EF21D (EF21D EF11D), маска XIDAM не применяется</p>
F1 Бит 29 Не используется	
F1 Биты 28:0 ЭФИД2[28:0]	<p>Расширенный идентификатор фильтра 2</p> <p>Второй идентификатор расширенного элемента фильтра идентификаторов.</p>

44.4 Регистры FDCAN

44.4.1 Регистр выпуска ядра FDCAN (FDCAN_CREL)

Смещение адреса: 0x0000

Значение сброса: 0x3214 1218

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
отношение[3:0]				ШАГ[3:0]				ПОДШАГ[3:0]				ГОД[3:0]			
г	г	г	г	г	г	г	г	г	г	г	г	г	г	г	г
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ПН[7:0]								ДЕНЬ[7:0]							
г	г	г	г	г	г	г	г	г	г	г	г	г	г	г	г

Биты 31:28 ОТН[3:0]: 3

Биты 27:24 ШАГ[3:0]: 2

Биты 23:20 SUBSTEP[3:0]: 1

Биты 19:16 ГОД[3:0]: 4

Биты 15:8 МОН[7:0]: 12

Биты 7:0 ДЕНЬ[7:0]: 18

44.4.2 Регистр порядка байтов FDCAN (FDCAN_ENDN)

Смещение адреса: 0x0004

Значение сброса: 0x8765 4321

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ЭТВ[31:16]															
г	г	г	г	г	г	г	г	г	г	г	г	г	г	г	г
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ЭТВ[15:0]															
г	г	г	г	г	г	г	г	г	г	г	г	г	г	г	г

Биты 31:0 ЕТВ[31:0]: значение теста порядка байтов

Значение теста порядка байтов равно 0x8765 4321.

Примечание:

Считывание регистра должно давать значение сброса, чтобы гарантировать отсутствие проблем с порядком байтов.

44.4.3 Регистр синхронизации битов данных FDCAN и предварительного делителя (FDCAN_DBTP)

Смещение адреса: 0x000C

Значение сброса: 0x0000 0A33

Этот регистр доступен для записи только в том случае, если установлены биты CCE и INIT FDCAN_CCCR. Квант времени CAN может быть запрограммирован в диапазоне от 1 до 32 периодов тактовой частоты FDCAN:

$tq = (DBRP[4:0] + 1)$ периодов тактовой частоты FDCAN.



DTSEG1[4:0] — это сумма PROP_SEG и PHASE_SEG1. DTSEG2[3:0] — это PHASE_SEG2. Таким образом, длина времени бита равна (запрограммированные значения) × [DTSEG1[4:0] + DTSEG2[3:0] + 3] × tq или (функциональные значения) × [SYNC_SEG + PROP_SEG + PHASE_SEG1 + PHASE_SEG2] × tq.

Время обработки информации (IPT) равно 0, то есть данные для следующего бита доступны на первом фронте тактового импульса после точки выборки.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Pres	Pres	Pres	Pres	Pres	Pres	Pres	Pres	TDC	Pres	Pres	DBRP[4:0]				
								rv			rv	rv	rv	rv	rv
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Pres	Pres	Pres	DTSEG1[4:0]					DTSEG2[3:0]				DSJW[3:0]			
			rv	rv	rv	rv	rv	rv	rv	rv	rv	rv	rv	rv	rv

Биты 31:24 зарезервированы, должны сохраняться на значении сброса.

Бит 23 TDC: Компенсация задержки приемопередатчика

- 0: Компенсация задержки приемопередатчика отключена
- 1: Компенсация задержки приемопередатчика включена

Биты 22:21 зарезервированы, должны сохраняться на значении сброса.

Биты 20:16 DBRP[4:0]: предварительный делитель скорости передачи данных

Значение, на которое делится частота генератора для генерации квантов времени бита. Время бита формируется из кратного этого кванта. Допустимые значения для предварительного делителя скорости передачи данных: от 0 до 31. Аппаратное обеспечение интерпретирует это значение как запрограммированное значение плюс 1.

Биты 15:13 зарезервированы, должны сохраняться на значении сброса.

Биты 12:8 DTSEG1[4:0]: сегмент времени данных перед точкой выборки

Допустимые значения: от 0 до 31. Аппаратное обеспечение использует запрограммированное значение, увеличенное на 1, то есть $tBS1 = (DTSEG1[4:0] + 1) \times tq$.

Биты 7:4 DTSEG2[3:0]: сегмент времени данных после точки выборки

Допустимые значения: от 0 до 15. Аппаратное обеспечение использует запрограммированное значение, увеличенное на 1, т. е. $tBS2 = (DTSEG2[3:0] + 1) \times tq$.

Биты 3:0 DSJW[3:0]: Ширина прыжка синхронизации

Допустимые значения: от 0 до 15. Аппаратное обеспечение использует запрограммированное значение, увеличенное на 1: $tSJW = (DSJW[3:0] + 1) \times tq$.

Примечание:

При тактовой частоте FDCAN 8 МГц значение сброса 0x0000 0A33 настраивает FDCAN на высокую скорость передачи данных 500 кбит/с.

Скорость передачи данных фазы должна быть выше или равна номинальной скорости передачи данных.

44.4.4 Тестовый регистр FDCAN (FDCAN_TEST)

Доступ к записи в этот регистр включается установкой бита TEST регистра FDCAN_CCCR. Все функции регистра устанавливаются в значения сброса, когда этот бит очищается.

Режим обратной связи и программное управление выводом Tx FDCANx_TX являются режимами тестирования оборудования. Программирование TX[1:0] отлично от 00 может нарушить передачу сообщений по шине CAN.

Смещение адреса: 0x0010

Значение сброса: 0x0000 0000



31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез. RX		TX[1:0]		Рез. LBCK.		Рез.	Рез.	Рез.
								г	рв	рв	рв				

Биты 31:8 зарезервированы, должны сохраняться на значении сброса.

Бит 7 RX: Приемный контакт

Отслеживает фактическое значение контакта FDCANx_RX

0: Шина CAN является доминирующей (FDCANx_RX = 0)

1: Шина CAN рецессивная (FDCANx_RX = 1)

Биты 6:5 TX[1:0]: Управление передающим контактом

00: Сброс значения, FDCANx_TX TX управляется ядром CAN, обновляется в конце

Время передачи бита CAN

01: Точку выборки можно контролировать на выводе FDCANx_TX

10: Доминантный (0) уровень на выводе FDCANx_TX

11: Рецессивный (1) на выводе FDCANx_TX

Бит 4 LBCK: режим обратной связи

0: Сброс значения, режим обратной связи отключен

1: Включен режим обратной связи (см. [Выключение питания \(спящий режим\)](#))

Биты 3:0 зарезервированы, должны сохраняться на значении сброса.

44.4.5 Регистр сторожевого таймера FDCAN RAM (FDCAN_RWD)

Сторожевой таймер RAM контролирует выход READY RAM сообщений. Доступ к RAM сообщений запускает счетчик сторожевого таймера RAM сообщений со значением, настроенным через битовое поле WDC[7:0] регистра FDCAN_RWD.

Счетчик перезагружается с помощью WDC[7:0], когда ОЗУ сообщений сигнализирует об успешном завершении, активируя свой выход READY. В случае отсутствия ответа от ОЗУ сообщений до тех пор, пока счетчик не досчитает до 0, счетчик останавливается, и в регистре FDCAN_IR устанавливается флаг прерывания WDI. Счетчик сторожевого таймера ОЗУ тактируется тактовым сигналом fdcan_pclk.

Смещение адреса: 0x0014

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ВДВ[7:0]								ВКД[7:0]							
г	г	г	г	г	г	г	г	рв	рв	рв	рв	рв	рв	рв	рв

Биты 31:16 Зарезервированы, должны сохраняться на значении сброса.

Биты 15:8 WDV[7:0]: значение сторожевого таймера

Фактическое значение счетчика сторожевого таймера ОЗУ сообщений.



Биты 7:0 WDC[7:0]: Конфигурация сторожевого таймера

Начальное значение счетчика сторожевого таймера RAM сообщений. При значении сброса 00 счетчик отключается.

Это битовое поле защищено от записи (P); доступ для записи возможен только в том случае, если установлены оба бита CCE и INIT регистра FDCAN_CCCR.

44.4.6 Регистр управления FDCAN CC (FDCAN_CCCR)

Смещение адреса: 0x0018

Значение сброса: 0x0000 0001

Подробную информацию об установке и очистке отдельных битов см. в разделе [Инициализация программного обеспечения](#).

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NISO TXP	EFBI	PXHD	Рез.			BRSE	FDOE	TEST	DAR	MON	CSR	CSA	ASM	CCE	INIT
рв	рв	рв	рв			рв	рв	рв	рв	рв	рв	Г	рв	рв	рв

Биты 31:16 Зарезервированы, должны сохраняться на значении сброса.

Бит 15 NISO: работа без ISO.

Если этот бит установлен, FDCAN использует формат кадра CAN FD, как указано в спецификации Bosch CAN FD V1.0.

0: Формат кадра CAN FD согласно ISO11898-1

1: Формат кадра CAN FD в соответствии со спецификацией Bosch CAN FD V1.0

Бит 14 TXP: включение паузы передачи

Если этот бит установлен, FDCAN делает паузу на два битовых времени CAN перед началом следующей передачи после успешной передачи кадра.

0: Отключено

1: Включено

Бит 13 EFBI: Фильтрация краев во время интеграции шины

0: Фильтрация краев отключена

1: Для обнаружения фронта жесткой синхронизации требуются два последовательных доминирующих tq

Бит 12 PXHD: Отключение обработки исключений протокола

0: Обработка исключений протокола включена

1: Обработка исключений протокола отключена

Биты 11:10 зарезервированы, должны сохраняться на значении сброса.

Бит 9 BRSE: переключение скорости передачи данных FDCAN

0: Переключение скорости передачи данных отключено

1: Включено переключение скорости передачи данных

Бит 8 FDOE: включение операции FD

0: Операция FD отключена

1: Операция FD включена

Бит 7 TECT: включение тестового режима

0: Нормальная работа, FDCAN_TEST сохраняет значения сброса

1: Тестовый режим, доступ на запись в FDCAN_TEST включен



Бит 6 DAR: Отключить автоматическую повторную передачу

- 0: Автоматическая повторная передача сообщений, которые не были успешно переданы, включена
- 1: Автоматическая повторная передача отключена

Бит 5 MON: Режим мониторинга шины

Этот бит может быть установлен программным обеспечением только при установке CCE и INIT. Бит может быть очищен хостом в любое время.

- 0: Режим мониторинга шины отключен
- 1: Режим мониторинга шины включен

Бит 4 CSR: Запрос на остановку часов

- 0: Остановка часов не запрошена
- 1: Запрошена остановка часов. Когда запрашивается остановка часов, сначала устанавливается INIT, а затем CSA после того, как все ожидающие запросы на передачу завершены и шина CAN простаивает.

Бит 3 CSA: Подтверждение остановки часов

- 0: Остановка часов не подтверждена
- 1: FDCAN можно перевести в режим пониженного энергопотребления, остановив тактовую частоту APB и тактовую частоту ядра.

Бит 2 ASM: режим ограниченной работы ASM

Режим ограниченной работы предназначен для приложений, которые адаптируются к разным скоростям передачи данных CAN. Приложение тестирует разные скорости передачи данных и выходит из режима ограниченной работы после получения допустимого кадра. В необязательном режиме ограниченной работы узел может передавать и получать данные и удаленные кадры и подтверждает допустимые кадры, но не отправляет активные кадры ошибок или кадры перегрузки. В случае возникновения ошибки или перегрузки он не отправляет доминирующие биты, а вместо этого ждет возникновения состояния простоя шины, чтобы повторно синхронизировать себя с коммуникацией CAN. Счетчики ошибок не увеличиваются. Бит ASM может быть установлен программным обеспечением только при установке CCE и INIT. Бит может быть очищен программным обеспечением в любое время.

- 0: Нормальная работа CAN
- 1: Активен режим ограниченного использования

Бит 1 CCE: разрешение изменения конфигурации

- 0: ЦП не имеет доступа на запись в защищенные регистры конфигурации.
- 1: ЦП имеет доступ на запись в защищенные регистры конфигурации (пока INIT установлен в FDCAN_CCCR).

Бит 0 INIT: Инициализация

- 0: Нормальная работа
- 1: Инициализация начата

Примечание:

Из-за механизма синхронизации между двумя доменами часов может возникнуть задержка, пока записанное в INIT значение не будет прочитано обратно. Поэтому программист должен убедиться, что предыдущее записанное в INIT значение было принято, прочитав INIT, прежде чем устанавливать INIT на новое значение.

44.4.7 Номинальная битовая синхронизация FDCAN и регистр предварительного делителя (FDCAN_NBTP)

Смещение адреса: 0x001C

Значение сброса: 0x0600 0A03

Этот регистр доступен для записи только в том случае, если биты CCE и INIT регистра FDCAN_CCCR оба установлены. Время бита CAN можно запрограммировать в диапазоне от $4 \text{ до } 81 \times t_q$. Квант времени CAN можно запрограммировать в диапазоне от 1 до 1024 периодов тактовой частоты ядра

FDCAN: $t_q = (BRP + 1) \times \text{период тактовой частоты FDCAN } f_{\text{dcan_ker_ck}}$.

NTSEG1[7:0] — это сумма PROP_SEG и PHASE_SEG1. NTSEG2[6:0] — это PHASE_SEG2.
Следовательно, длина времени бита равна (запрограммированные значения) \times [NTSEG1[7:0] + NTSEG2[6:0] + 3] \times tq или (функциональные значения) \times [SYNC_SEG + PROP_SEG + PHASE_SEG1 + PHASE_SEG2] \times tq.

Время обработки информации (IPT) равно 0, то есть данные для следующего бита доступны на первом фронте тактового импульса после точки выборки.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NSJW[6:0]							HBRP[8:0]								
pa	pa	pa	pa	pa	pa	pa	pa	pa	pa	pa	pa	pa	pa	pa	pa
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NTSEG1[7:0]								res	NTSEG2[6:0]						
pa	pa	pa	pa	pa	pa	pa	pa		pa	pa	pa	pa	pa	pa	pa

Биты 31:25 NSJW[6:0]: Номинальная ширина перехода (ре)синхронизации

Допустимые значения: от 0 до 127. Фактическая интерпретация этого значения оборудованием такова, что используемое значение — это запрограммированное значение, увеличенное на единицу.
Это битовое поле защищено от записи (P): доступ для записи возможен только в том случае, если установлены оба бита CCE и INIT регистра FDCAN_CCCR.

Биты 24:16 NBRP[8:0]: предварительный делитель скорости передачи данных

Значение, на которое делится частота генератора для генерации квантов времени бита. Время бита формируется из кратного этого кванта. Допустимые значения: от 0 до 511. Фактическая интерпретация этого значения оборудованием такова, что используется значение на единицу больше, чем запрограммированное здесь.
Это битовое поле защищено от записи (P): доступ для записи возможен только в том случае, если установлены оба бита CCE и INIT регистра FDCAN_CCCR.

Биты 15:8 NTSEG1[7:0]: Номинальный временной сегмент перед точкой выборки

Допустимые значения: от 0 до 255. Фактическая интерпретация этого значения оборудованием такова, что используется значение на единицу больше запрограммированного.
Это битовое поле защищено от записи (P): доступ для записи возможен только в том случае, если установлены оба бита CCE и INIT регистра FDCAN_CCCR.

Бит 7 Резервирован, должен сохраняться на значении сброса.

Биты 6:0 NTSEG2[6:0]: Номинальный временной сегмент после точки выборки

Допустимые значения: от 0 до 127. Фактическая интерпретация этого значения оборудованием такова, что используется значение на единицу больше запрограммированного.

Примечание:

При тактовой частоте ядра CAN 48 МГц значение сброса 0x0600 0A03 настраивает FDCAN на скорость передачи данных 3 Мбит/с.



44.4.8 Регистр конфигурации счетчика временных меток FDCAN (FDCAN_TSCC)

Смещение адреса: 0x0020

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	TCP[3:0]			
												рв	рв	рв	рв
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	UTC[1:0]	
														рв	рв

Биты 31:20 Резервированы, должны сохраняться на значении сброса.

Биты 19:16 TCP[3:0]: Пределитель счетчика временных меток

Настраивает единицу времени счетчиков меток времени и тайм-аутов в кратных значениях времени передачи бита CAN [1 16].

Фактическая интерпретация этого значения аппаратным обеспечением такова, что используется значение на единицу больше, чем запрограммированное здесь.

В режиме CAN FD внутренний счетчик временных меток TCP не обеспечивает постоянную временную базу из-за разного времени передачи битов CAN между фазой арбитража и фазой данных. Таким образом, CAN FD требует внешнего счетчика для генерации временных меток (TSS[1:0] = 10).

Это битовое поле защищено от записи (P): доступ для записи возможен только в том случае, если установлены оба бита CCE и INIT регистра FDCAN_CCCR.

Биты 15:2 зарезервированы, должны сохраняться на значении сброса.

Биты 1:0 TSS[1:0]: Выбор временной метки

00: Значение счетчика временной метки всегда 0x0000

01: Значение счетчика временных меток увеличивается в соответствии с TCP

10: Внешний счетчик временных меток из значения TIM3 (tim3_cnt[0:15])

11: То же, что и 00.

Эти биты защищены от записи (P): доступ для записи возможен только в том случае, если установлены оба бита CCE и INIT регистра FDCAN_CCCR.

44.4.9 Регистр значения счетчика временных меток FDCAN (FDCAN_TSCV)

Смещение адреса: 0x0024

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCK[15:0]															
rc_w	rc_w	rc_w	rc_w	rc_w	rc_w	rc_w	rc_w	rc_w	rc_w	rc_w	rc_w	rc_w	rc_w	rc_w	rc_w

Биты 31:16 Резервированы, должны сохраняться на значении сброса.



Биты 15:0 TSC[15:0]: Счетчик временных меток

Значение счетчика внутренних/внешних временных меток фиксируется в начале кадра (как Rx, так и Tx).

Когда TSS[1:0] = 01 в FDCAN_TSCC, счетчик временных меток увеличивается на кратные времени бита CAN [1 16] в зависимости от конфигурации TCP[3:0] в FDCAN_TSCC. Цикл устанавливает флаг прерывания TSW в FDCAN_IR. Доступ к записи сбрасывает счетчик на 0.

Когда TSS[1:0] = 10, TSC[15:0] отражает значение счетчика внешней временной метки. Доступ на запись не оказывает никакого влияния.

Примечание: Циклический переход — это изменение значения счетчика временных меток с не-0 на 0, которое не вызвано доступом к записи в FDCAN_TSCV.

44.4.10 Регистр конфигурации счетчика тайм-аута FDCAN (FDCAN_TOCC)

Смещение адреса: 0x0028

Значение сброса: 0xFFFF 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ТОП[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Включение тайм-аута ожидания (ETOC)		ETOC
													rw	rw	rw

Биты 31:16 TOP[15:0]: Период ожидания

Начальное значение счетчика тайм-аута (обратный счетчик). Настраивает период тайм-аута.

Биты 15:3 Резервированы, должны сохраняться на значении сброса.

Биты 2:1 TOS[1:0]: Выбор тайм-аута

При работе в непрерывном режиме запись в FDCAN_TOCV предварительно устанавливает счетчик на значение, настроенное TOP[15:0] в FDCAN_TOCC, и продолжает обратный отсчет. Когда счетчик тайм-аута управляется одним из FIFO, пустой FIFO предварительно устанавливает счетчик на значение, настроенное TOP[15:0]. Обратный отсчет начинается, когда сохраняется первый элемент FIFO.

- 00: Непрерывная работа
 - 01: Тайм-аут, контролируемый FIFO события Tx
 - 10: Тайм-аут, контролируемый Rx FIFO 0
 - 11: Тайм-аут, контролируемый Rx FIFO 1
- Это битовое поле защищено от записи (P), доступ для записи возможен только в том случае, если установлены оба бита CCE и INIT регистра FDCAN_CCCR.

Бит 0 ETOC: включение счетчика тайм-аута

- 0: Счетчик времени ожидания отключен
- 1: Счетчик времени ожидания включен

Этот бит защищен от записи (P), доступ для записи возможен только в том случае, если установлены оба бита CCE и INIT регистра FDCAN_CCCR.

Более подробную информацию см. в разделе Счетчик времени ожидания.

44.4.11 Регистр значения счетчика тайм-аута FDCAN (FDCAN_TOCV)

Смещение адреса: 0x002C

Значение сброса: 0x0000 FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рес	Рес	Рес	Рес	Рес	Рес	Рес	Рес	Рес	Рес	Рес	Рес	Рес	Рес	Рес	Рес
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Оглавление[15:0]															
rc_w	rc_w	rc_w	rc_w		rc_w	rc_w		rc_w	rc_w	rc_w	rc_w	rc_w			rc_w

Биты 31:16 зарезервированы, должны сохраняться на значении сброса.

Биты 15:0 TOC[15:0]: Счетчик времени ожидания

Счетчик тайм-аута уменьшается на кратные времена бита CAN [1 16] в зависимости от конфигурации битового поля TCP[3:0] регистра FDCAN_TSCC. При уменьшении до 0 устанавливается флаг прерывания TOO в FDCAN_IR и счетчик тайм-аута останавливается. Условия запуска и сброса/перезапуска настраиваются через TOS[1:0] в FDCAN_TOCC.

44.4.12 Регистр счетчика ошибок FDCAN (FDCAN_ECR)

Смещение адреса: 0x0040

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рес	Рес	Рес	Рес	Рес	Рес	Рес	Рес								
								rc_r	rc_r	rc_r		rc_r	rc_r	rc_r	rc_r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
РП	Запись[6:0]							ТЭК[7:0]							
г	г	г	г	г	г	г	г	г	г	г	г	г	г	г	г

Биты 31:24 зарезервированы, должны сохраняться на значении сброса.

Биты 23:16 CEL[7:0]: регистрация ошибок CAN

Счетчик увеличивается каждый раз, когда ошибка протокола CAN приводит к увеличению счетчика ошибок передачи или счетчика ошибок приема. Он сбрасывается путем доступа на чтение к CEL[7:0].

Счетчик останавливается на 0xFF; следующее увеличение TEC[7:0] или REC[6:0] устанавливает флаг прерывания ELO в FDCAN_IR.

Тип доступа — rc_r; очищается при чтении.

Бит 15 RP: Пассивная ошибка приема

0: Счетчик ошибок приема ниже пассивного уровня ошибок 128.

1: Счетчик ошибок приема достиг пассивного уровня ошибки 128.

Биты 14:8 REC[6:0]: Счетчик ошибок приема

Фактическое состояние счетчика ошибок приема, значения от 0 до 127.

Биты 7:0 TEC[7:0]: Счетчик ошибок передачи

Фактическое состояние счетчика ошибок передачи, значения от 0 до 255.

Если бит ASM FDCAN_CCCR установлен, контроллер протокола CAN не увеличивает TEC и REC при обнаружении ошибки протокола CAN, но CEL[7:0] по-прежнему увеличивается.

44.4.13 Регистр состояния протокола FDCAN (FDCAN_PSR)

Смещение адреса: 0x0044

Значение сброса: 0x0000 0707

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res	Res	Res	Res	Res	Res	Res	Res	Res	TDCV[6:0]						
									г	г	г	г	г	г	г
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res	PXE	REDL	RBS	RESI	ДЛЕК[2:0]			БО ЭВ	EP	ДЕЙСТВИЕ[1:0]			ЛЭК[2:0]		
	rc_r	rc_r	rc_r	rc_r	rc	rc	rc	г	г	г	г	г	rc	rc	rc

Биты 31:23 Зарезервированы, должны сохраняться на значении сброса.

Биты 22:16 TDCV[6:0]: Значение компенсации задержки передатчика

Положение вторичной точки выборки, определяемое суммой измеренной задержки от FDCAN_TX до FDCAN_RX и TDCO[6:0] в FDCAN_TDCR. Положение SSP в фазе данных представляет собой число минимальных временных квантов (mtq) между началом переданного бита и вторичной точкой выборки. Допустимые значения: от 0 до 127 × mtq.

Бит 15 Зарезервирован, должен сохраняться на значении сброса.

Бит 14 PXE: событие исключения протокола

- 0: Событие исключения протокола не произошло с момента последнего доступа для чтения
1: Произошло событие исключения протокола

Бит 13 REDL: получено сообщение FDCAN

- Этот бит устанавливается независимо от фильтрации приема.
0: Поскольку этот бит был очищен ЦП, сообщение FDCAN не было получено.
1: Получено сообщение в формате FDCAN с установленным флагом EDL.
Тип доступа — rc_r: очищается при чтении.

Бит 12 RBS: флаг BRS последнего полученного сообщения FDCAN

- Этот бит устанавливается вместе с REDL, независимо от фильтрации приема.
0: Последнее полученное сообщение FDCAN не имело установленного флага BRS.
1: В последнем полученном сообщении FDCAN был установлен флаг BRS.
Тип доступа — rc_r: очищается при чтении.

Бит 11 RESI: флаг ESI последнего полученного сообщения FDCAN

- Этот бит устанавливается вместе с REDL, независимо от фильтрации приема.
0: В последнем полученном сообщении FDCAN не был установлен флаг ESI.
1: В последнем полученном сообщении FDCAN был установлен флаг ESI.
Тип доступа — rc_r: очищается при чтении.

Биты 10:8 ДЛЕК[2:0]: Код последней ошибки данных

- Тип последней ошибки, которая произошла в фазе данных кадра формата FDCAN с установленным флагом BRS. Кодирование такое же, как для ЛЭК[2:0]. Это поле очищается, когда кадр формата FDCAN с установленным флагом BRS был передан (прием или передача) без ошибок.
Тип доступа — rs: установлен на чтение.

Бит 7 БО: Состояние отключения шины

- 0: FDCAN не находится в состоянии отключения шины.
1: FDCAN находится в состоянии отключения шины.



Бит 6 EW: Статус предупреждения

- 0: Оба счетчика ошибок ниже предела предупреждения об ошибке 96.
- 1: По крайней мере один из счетчиков ошибок достиг предела предупреждения об ошибке 96.

Бит 5 EP: Пассивная ошибка

- 0: FDCAN находится в состоянии ошибки-активности. Обычно он участвует в коммуникации шины и отправляет активный флаг ошибки при обнаружении ошибки.
- 1: FDCAN находится в состоянии пассивной ошибки.

Биты 4:3 ACT[1:0]: Активность

- Контролирует состояние CAN-связи модуля.
- 00: Синхронизация: узел синхронизируется по CAN-связи.
- 01: Бездействие: узел не является ни приемником, ни передатчиком.
- 10: Приемник: узел работает как приемник.
- 11: Передатчик: узел работает как передатчик.

Биты 2:0 LEC[2:0]: Последний код ошибки

- LEC[2:0] указывает тип последней ошибки, произошедшей на шине CAN. Это битовое поле очищается, когда сообщение было передано (прием или передача) без ошибок.
- 000: Ошибка не возникло, поскольку LEC[2:0] был очищен в результате успешного приема или передачи.
- 001: Ошибка заполнения. В части полученного сообщения, где это не допускается, обнаружено более пяти одинаковых битов в последовательности.
- 010: Ошибка формы. Часть фиксированного формата полученного кадра имеет неправильный формат.
- 011: Ошибка подтверждения. Сообщение, переданное FDCAN, не было подтверждено другим узлом.
- 100: Ошибка бита 1. Во время передачи сообщения (за исключением поля арбитража) устройство хотело отправить рецессивный уровень (бит логического значения 1), но контролируемое значение шины было доминирующим.
- 101: Ошибка бита 0. Во время передачи сообщения (или бита подтверждения, или флага активной ошибки, или флага перегрузки) устройство хотело отправить доминантный уровень (логическое значение бита данных или идентификатора 0), но контролируемое значение шины было рецессивным. Во время восстановления шины отключается этот статус устанавливается каждый раз, когда отслеживается последовательность из 11 рецессивных битов. Это позволяет ЦП контролировать ход последовательности восстановления шины отключается (указывая, что шина не застряла на доминантном уровне или постоянно нарушена).
- 110: Ошибка CRC. Контрольная сумма CRC полученного сообщения была неверной. CRC входящего сообщения не совпадает с CRC, рассчитанным из полученных данных.
- 111: Никаких изменений. Любой доступ на чтение к регистру состояния протокола повторно инициализирует LEC[2:0] до 7. Если LEC[2:0] показывает значение 7, это значит, что с момента последнего доступа ЦП к регистру состояния протокола не было обнаружено никаких событий шины CAN.
- Тип доступа — rs: установлен на чтение.

Примечание:

Когда кадр в формате FDCAN достигает фазы данных с установленным флагом BRS, следующее событие CAN (ошибка или допустимый кадр) отображается в DLEC[2:0] вместо LEC[2:0]. Ошибка в фиксированном бите заполнения последовательности FDCAN CRC отображается как ошибка формы, а не как ошибка заполнения.

Последовательность восстановления шины (см. спецификацию CAN версии 2.0 или ISO11898-1) не может быть сокращена путем установки или очистки бита INIT регистра FDCAN_CCCR. Если устройство входит в состояние отключения шины, оно устанавливает свой собственный бит INIT, останавливая все действия шины. После того, как INIT был очищен ЦП, устройство ожидает 129 случаев простоя шины (129×11 последовательных рецессивных битов) перед возобновлением нормальной работы. В конце последовательности восстановления шины счетчики управления ошибками сбрасываются. Во время ожидания после очистки INIT, каждый раз, когда отслеживается последовательность из 11 рецессивных битов, код ошибки bit0 записывается в LEC[2:0] регистра FDCAN_PSR, позволяя ЦП проверить, находится ли шина CAN в состоянии

застрел на доминирующем уровне или постоянно находится в состоянии нарушения, а также для контроля последовательности восстановления шины. Для подсчета этих последовательностей используется битовое поле RECt6:0] регистра FDCAN_ECR.

44.4.14 Регистр компенсации задержки передатчика FDCAN (FDCAN_TDCR)

Смещение адреса: 0x0048

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Ред.	Ред.	Ред.	Ред.	Ред.	Ред.	Ред.	Ред.	Ред.	Ред.	Ред.	Ред.	Ред.	Ред.	Ред.	Ред.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Ред.	ТДКО(6:0)							Ред.	ТДФФ(6:0)						
	ре	ра	ре	ра	ре	ра	ре		ре	ра	ре	ра	ре	ра	ре

Биты 31:15 Зарезервированы, должны сохраняться на значении сброса.

Биты 14:8 TDCO[6:0]: Смещение компенсации задержки передатчика

Значение смещения, определяющее расстояние между измеренной задержкой от FDCAN_TX до FDCAN_RX и вторичной

точкой выборки. Допустимые значения: от 0 до 127 × mtq.

Это битовое поле защищено от записи (P), что означает, что доступ для записи возможен только в том случае, если установлены оба бита CCE и INIT регистра FDCAN_CCCR.

Бит 7 Зарезервирован, должен сохраняться на значении сброса.

Биты 6:0 TDCF[6:0]: Длина окна фильтра компенсации задержки передатчика

Определяет минимальное значение для позиции SSP, доминирующие фронты на FDCAN_RX, которые привели бы к более ранней позиции SSP, игнорируются при измерениях задержки передатчика.

Это битовое поле защищено от записи (P), что означает, что доступ для записи возможен только в том случае, если установлены оба бита CCE и INIT регистра FDCAN_CCCR.

44.4.15 Регистр прерываний FDCAN (FDCAN_IR)

Флаги устанавливаются при обнаружении одного из перечисленных условий (чувствительные к фронту). Флаги остаются установленными до тех пор, пока хост не сбросит их. Флаг сбрасывается путем записи 1 в соответствующую битовую позицию.

Запись 0 не имеет никакого эффекта. Жесткий сброс очищает регистр. Конфигурация FDCAN_IE управляет тем, генерируется ли прерывание. Конфигурация FDCAN_ILS управляет тем, на какой линии прерывания сигнализируется прерывание.

Смещение адреса: 0x0050

Значение сброса: 0x0000 0000

[illegible]

Биты 31:24 зарезервированы, должны сохраняться на значении сброса.

Бит 23 ARA: Доступ к зарезервированному адресу

0: Доступ к зарезервированному адресу не осуществлен

1: Произошел доступ к зарезервированному адресу

Бит 22 PED: Ошибка протокола в фазе данных (используется время бита данных)

0: Нет ошибок протокола в фазе данных

1: Обнаружена ошибка протокола в фазе данных (DLEC[2:0] отличается от 0 и 7 в FDCAN_PSR)

Бит 21 PEA: Ошибка протокола на этапе арбитража (используется номинальное время бита)

0: Нет ошибок протокола на этапе арбитража

1: Обнаружена ошибка протокола на этапе арбитража (LEC[2:0] отличается от 0 и 7 в FDCAN_PSR)

Бит 20 WDI: прерывание сторожевого таймера

0: Событие сторожевого таймера ОЗУ сообщений не произошло

1: Событие сторожевого таймера ОЗУ сообщения из-за отсутствия READY

Бит 19 BO: Состояние отключения шины

0: Статус отключения автобуса не изменился

1: Изменен статус автобуса-выход

Бит 18 EW: Статус предупреждения

0: Статус предупреждения об ошибке не изменился

1: Статус предупреждения об ошибке изменен

Бит 17 EP: Пассивная ошибка

0: Статус пассивной ошибки не изменился

1: Изменен статус «Ошибка-пассивный»

Бит 16 ELO: Ошибка переполнения журнала

0: Счетчик регистрации ошибок CAN не переполнился.

1: Произошло переполнение счетчика ошибок регистрации CAN.

Бит 15 TOO: Истекло время ожидания

0: Без тайм-аута

1: Истекло время ожидания

Бит 14 MRAF: Ошибка доступа к ОЗУ сообщения

Флаг устанавливается, когда обработчик Rx:

- не завершил приемную фильтрацию или хранение принятого сообщения, пока не получено поле арбитража следующего сообщения. В этом случае приемная фильтрация или хранение сообщения прерывается, и обработчик Rx начинает обработку следующего сообщения. - не смог записать сообщение в ОЗУ сообщений. В этом случае хранение сообщений

прервано.

В обоих случаях индекс FIFO put не обновляется. Частично сохраненное сообщение перезаписывается, когда следующее сообщение сохраняется в этом месте.

Флаг также устанавливается, когда обработчик Tx не смог вовремя прочитать сообщение из ОЗУ сообщений. В этом случае передача сообщения прерывается. В случае сбоя доступа обработчика Tx FDCAN переключается в режим ограниченной работы (см. [Режим ограниченной работы](#)). Чтобы выйти из режима ограниченной работы, центральный процессор должен очистить ASM регистра FDCAN_CCCR.

0: Нет сообщения об ошибке доступа к ОЗУ

1: Произошла ошибка доступа к ОЗУ сообщения

- Бит 13 TSW: циклическое изменение временной метки
0: Нет циклического счётчика временных меток
1: Счетчик временных меток переключился
- Бит 12 TEFL: потеря элемента FIFO события Tx
0: Нет события Tx, элемент FIFO потерян
1: Потерян элемент FIFO события Tx
- Бит 11 TEFF: Событие Tx FIFO заполнено
0: Событие Tx FIFO не заполнено
1: Событие Tx FIFO заполнено
- Бит 10 TEFN: новая запись в FIFO события Tx 0:
FIFO события Tx не изменился 1:
Обработчик Tx записал элемент FIFO события Tx.
- Бит 9 TFE: Tx FIFO пуст
0: Tx FIFO не пустой
1: Tx FIFO пуст
- Бит 8 TCF: Отмена передачи завершена
0: Отмена передачи не завершена
1: Отмена передачи завершена
- Бит 7 TC: Передача завершена
0: Передача не завершена
1: Передача завершена
- Бит 6 NPM: Высокоприоритетное сообщение
0: Не получено ни одного сообщения с высоким приоритетом
1: Получено сообщение с высоким приоритетом
- Бит 5 RF1L: сообщение Rx FIFO 1 потеряно
0: Нет сообщения Rx FIFO 1 потеряно
1: Rx FIFO 1 сообщение потеряно
- Бит 4 RF1F: Rx FIFO 1 заполнен
0: Rx FIFO 1 не заполнен
1: Rx FIFO 1 заполнен
- Бит 3 RF1N: Rx FIFO 1 новое сообщение
0: Новое сообщение не записано в Rx FIFO 1
1: Новое сообщение записано в Rx FIFO 1
- Бит 2 RF0L: сообщение Rx FIFO 0 потеряно
0: Нет сообщения Rx FIFO 0 потеряно
1: Сообщение Rx FIFO 0 потеряно
- Бит 1 RF0F: Rx FIFO 0 заполнен
0: Rx FIFO 0 не заполнен
1: Rx FIFO 0 заполнен
- Бит 0 RF0N: Rx FIFO 0 новое сообщение
0: Новое сообщение не записано в Rx FIFO 0
1: Новое сообщение записано в Rx FIFO 0

44.4.16 Регистр разрешения прерываний FDCAN (FDCAN_IE)

Настройки в регистре разрешения прерываний определяют, какие изменения состояния в регистре прерываний передаются по линии прерывания.

Смещение адреса: 0x0054

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TooE	MRAFE	TSWE	TEFLE	TEFLE	TEFLE	TEFLE	TEFLE	TEFLE	TEFLE	TEFLE	TEFLE	TEFLE	TEFLE	TEFLE	TEFLE
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.

Биты 31:24 зарезервированы, должны сохраняться на значении сброса.

Бит 23 ARAE: разрешение доступа к зарезервированному адресу

Бит 22 PEDE: Ошибка протокола при включении фазы данных

Бит 21 PEAE: Ошибка протокола при включении фазы арбитража

Бит 20 WDIE: включение прерывания сторожевого таймера

0: Прерывание отключено

1: Прерывание включено

Бит 19 BOE: статус отключения шины

0: Прерывание отключено

1: Прерывание включено

Бит 18 EWE: Разрешение прерывания статуса предупреждения

0: Прерывание отключено

1: Прерывание включено

Бит 17 EPE: Ошибка разрешения пассивного прерывания

0: Прерывание отключено

1: Прерывание включено

Бит 16 ELOE: разрешение прерывания переполнения журнала ошибок

0: Прерывание отключено

1: Прерывание включено

Бит 15 TOOE: Прерывание произошло по тайм-ауту, разрешение

0: Прерывание отключено

1: Прерывание включено

Бит 14 MRAFE: Разрешение прерывания при сбое доступа к ОЗУ сообщения

0: Прерывание отключено

1: Прерывание включено

Бит 13 TSWE: включение прерывания по циклу отметки времени

0: Прерывание отключено

1: Прерывание включено

Бит 12 TEFLE: событие Tx FIFO потеря элемента прерывания разрешение

0: Прерывание отключено

1: Прерывание включено



Бит 11 TEFF: разрешение полного прерывания FIFO события Tx

- 0: Прерывание отключено
- 1: Прерывание включено

Бит 10 TEFNE: разрешение прерывания новой записи события Tx FIFO

- 0: Прерывание отключено
- 1: Прерывание включено

Бит 9 TFEE: разрешение прерывания пустого буфера FIFO Tx

- 0: Прерывание отключено
- 1: Прерывание включено

Бит 8 TCFE: Разрешение прерывания по завершении отмены передачи

- 0: Прерывание отключено
- 1: Прерывание включено

Бит 7 TCE: разрешение прерывания завершения передачи

- 0: Прерывание отключено
- 1: Прерывание включено

Бит 6 HPME: разрешение прерывания высокоприоритетного сообщения

- 0: Прерывание отключено
- 1: Прерывание включено

Бит 5 RF1LE: разрешение прерывания при потере сообщения Rx FIFO 1

- 0: Прерывание отключено
- 1: Прерывание включено

Бит 4 RF1FE: Rx FIFO 1 полное разрешение прерываний

- 0: Прерывание отключено
- 1: Прерывание включено

Бит 3 RF1NE: разрешение прерывания нового сообщения Rx FIFO 1

- 0: Прерывание отключено
- 1: Прерывание включено

Бит 2 RF0LE: разрешение прерывания при потере сообщения Rx FIFO 0

- 0: Прерывание отключено
- 1: Прерывание включено

Бит 1 RF0FE: Rx FIFO 0 полное разрешение прерываний

- 0: Прерывание отключено
- 1: Прерывание включено

Бит 0 RF0NE: разрешение прерывания нового сообщения Rx FIFO 0

- 0: Прерывание отключено
- 1: Прерывание включено

Бит 0 RXFIFO0: бит RX FIFO, группирующий следующее прерывание

RFOLL: Rx FIFO 0 сообщение потеряно линия прерывания

RF0FL: Rx FIFO 0 полная линия прерывания

RFONL: Rx FIFO 0 новая линия прерывания сообщения

44.4.18 Регистр разрешения линии прерывания FDCAN (FDCAN_ILE)

Каждую из двух линий прерывания ЦП можно включить/отключить отдельно, запрограммировав биты EINT0 и EINT1.

Смещение адреса: 0x005C

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	EINT1 EINT0	
														рв	рв

Биты 31:2 зарезервированы, должны сохраняться на значении сброса.

Бит 1 EINT1: Включить линию прерывания 1

0: Линия прерывания fdcan_intr0_it отключена

1: Линия прерывания fdcan_intr0_it включена

Бит 0 EINT0: Включить линию прерывания 0

0: Линия прерывания fdcan_intr1_it отключена

1: Линия прерывания fdcan_intr1_it включена

44.4.19 Регистр конфигурации глобального фильтра FDCAN (FDCAN_RXGFC)

Глобальные настройки фильтрации идентификаторов сообщений. Глобальная конфигурация фильтра управляет путем фильтрации для стандартных и расширенных сообщений, как описано на [рисунке 670](#) и [рисунке 671](#).

Смещение адреса: 0x0080

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	ЛФБ[3:0]				Рез.	Рез.	Рез.	ЛСЦ[4:0]				
				рв	рв	рв	рв				рв	рв	рв	рв	рв
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	FODM F1OM	Рез.		Рез.	АНФС[1:0]		АНФЕ[1:0] RRFS		RRFE	
						рв	рв			рв	рв	рв	рв	рв	рв

Биты 31:28 Резервированы, должны сохраняться на значении сброса.

Биты 27:24 LSE[3:0]: Количество расширенных элементов фильтра в списке

0: Нет расширенного фильтра идентификаторов сообщений

От 1 до 8: Количество элементов фильтра расширенного идентификатора сообщения

> 8: Значения больше 8 интерпретируются как 8.

Это битовое поле защищено от записи (P), что означает, что доступ для записи возможен только в том случае, если установлены оба бита CCE и INIT регистра FDCAN_CCCR.

Биты 23:21 зарезервированы, должны сохраняться на значении сброса.

Биты 20:16 LSS[4:0]: Количество стандартных элементов фильтра в списке

0: Нет стандартного фильтра идентификаторов сообщений

От 1 до 28: Количество стандартных элементов фильтра идентификатора сообщения

> 28: Значения больше 28 интерпретируются как 28.

Это битовое поле защищено от записи (P), что означает, что доступ к записи битами возможен только в том случае, если установлены оба бита CCE и INIT регистра FDCAN_CCCR.

Биты 15:10 зарезервированы, должны сохраняться на значении сброса.

Бит 9 F00M: режим работы FIFO 0 (перезапись или блокировка)

Этот бит защищен от записи (P), что означает, что доступ для записи возможен только в том случае, если установлены оба бита CCE и INIT регистра FDCAN_CCCR.

Бит 8 F10M: режим работы FIFO 1 (перезапись или блокировка)

Этот бит защищен от записи (P), что означает, что доступ для записи возможен только в том случае, если установлены оба бита CCE и INIT регистра FDCAN_CCCR.

Биты 7:6 зарезервированы, должны сохраняться на значении сброса.

Биты 5:4 ANFS[1:0]: Принимать несоответствующие стандартные кадры

Определяет, как обрабатываются полученные сообщения с 11-битными идентификаторами, которые не соответствуют ни одному элементу списка фильтров.

00: Принять в Rx FIFO 0

01: Принять в Rx FIFO 1

10: Отклонить

11: Отклонить

Это битовое поле защищено от записи (P), что означает, что доступ для записи возможен только в том случае, если установлены оба бита CCE и INIT регистра FDCAN_CCCR.

Биты 3:2 ANFE[1:0]: Принимать несоответствующие расширенные кадры

Определяет, как обрабатываются полученные сообщения с 29-битными идентификаторами, которые не соответствуют ни одному элементу списка фильтров.

00: Принять в Rx FIFO 0

01: Принять в Rx FIFO 1

10: Отклонить

11: Отклонить

Это битовое поле защищено от записи (P), что означает, что доступ для записи возможен только в том случае, если установлены оба бита CCE и INIT регистра FDCAN_CCCR.

Бит 1 RRF5: Отклонить стандартные удаленные кадры

0: Фильтровать удаленные кадры с 11-битными стандартными идентификаторами

1: Отклонить все удаленные кадры с 11-битными стандартными идентификаторами

Этот бит защищен от записи (P), что означает, что доступ для записи возможен только в том случае, если установлены оба бита CCE и INIT регистра FDCAN_CCCR.

Бит 0 RRFE: Отклонить расширенные удаленные кадры
0: Фильтровать удаленные кадры с 29-битными стандартными идентификаторами
1: Отклонить все удаленные кадры с 29-битными стандартными идентификаторами
Этот бит защищен от записи (P), что означает, что доступ для записи возможен только в том случае, если установлены оба бита CCE и INIT регистра FDCAN_CCCR.

44.4.20 Расширенный идентификатор FDCAN и регистр маски (FDCAN_XIDAM)

Смещение адреса: 0x0084
Значение сброса: 0x1FFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	ЭИДМ(28:16)												
			рв	рв	рв	рв	рв	рв	рв	рв	рв	рв	рв	рв	рв
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ЭИДМ(15:0)															
рв	рв	рв	рв	рв	рв	рв	рв	рв	рв	рв	рв	рв	рв	рв	рв

Биты 31:29 Зарезервированы, должны сохраняться на значении сброса.
Биты 28:0 EIDM(28:0): Расширенная маска идентификатора
Для фильтрации приема расширенных кадров расширенная маска ID AND объединяется с идентификатором сообщения принятого кадра.
Предназначена для маскировки 29-битных идентификаторов в SAE J1939. При сброшенном значении всех установленных битов маска не активна.
Это битовое поле защищено от записи (P), что означает, что доступ для записи возможен только в том случае, если установлены оба бита CCE и INIT регистра FDCAN_CCCR.

44.4.21 Регистр статуса высокоприоритетного сообщения FDCAN (FDCAN_HPMS)

Этот регистр обновляется каждый раз, когда элемент фильтра идентификатора сообщения настроен на генерацию приоритетного события. Это может использоваться для мониторинга статуса входящих высокоприоритетных сообщений и для обеспечения быстрого доступа к этим сообщениям.
Смещение адреса: 0x0088
Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Рез. FLST	Рез.	FID(4:0)						МСИ(1:0)		Рез.	Рез.	Рез.	БИДКС(2:0)		
г			г	г	г	г	г	г	г				г	г	г

Биты 31:16 Зарезервированы, должны сохраняться на значении сброса.
Бит 15 FLST: Список фильтров
Указывает список фильтров соответствующего элемента фильтра:
0: Стандартный список фильтров
1: Расширенный список фильтров
Биты 14:13 зарезервированы, должны сохраняться на значении сброса.

Биты 12:8 FID[4:0]: Индекс фильтра

Индекс соответствующего фильтрующего элемента.
Диапазон: от 0 до L5[4:0] - 1 или L5E[3:0] - 1 в FDCAN_RXGFC.

Биты 7:6 MSI[1:0]: Индикатор хранения сообщений

00: FIFO не выбран
01: Переполнение FIFO
10: Сообщение сохранено в FIFO 0
11: Сообщение сохранено в FIFO 1

Биты 5:3 зарезервированы, должны сохраняться на значении сброса.

Биты 2:0 BIDX[2:0]: Индекс буфера

Индекс элемента Rx FIFO, в котором было сохранено сообщение. Действительно только при MSI[1] = 1.

44.4.22 Регистр состояния FDCAN Rx FIFO 0 (FDCAN_RXF0S)

Смещение адреса: 0x0090

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	RF0L F0F		Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Ф0ПИ[1:0]
						г	г							г	г
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	F0GI[1:0]		Рез.	Рез.	Рез.	Рез.		Ф0ФЛ[3:0]		
						г	г					г	г	г	г

Биты 31:26 Зарезервированы, должны сохраняться на значении сброса.

Бит 25 RF0L: сообщение Rx FIFO 0 потеряно

Этот бит является копией флага прерывания RF0L регистра FDCAN_IR. Когда RF0L очищается, этот бит также очищается.

0: Нет сообщения Rx FIFO 0 потеряно
1: Сообщение Rx FIFO 0 потеряно, также устанавливается после попытки записи в Rx FIFO 0 размером 0

Бит 24 F0F: Rx FIFO 0 заполнен

0: Rx FIFO 0 не заполнен
1: Rx FIFO 0 заполнен

Биты 23:18 Зарезервированы, должны сохраняться на значении сброса.

Биты 17:16 F0PI[1:0]: Rx FIFO 0 положить индекс

Указатель индекса записи Rx FIFO 0.
Диапазон: от 0 до 2.

Биты 15:10 зарезервированы, должны сохраняться на значении сброса.

Биты 9:8 F0GI[1:0]: Rx FIFO 0 получить индекс

Rx FIFO 0 прочитать указатель индекса.
Диапазон: от 0 до 2.

Биты 7:4 зарезервированы, должны сохраняться на значении сброса.

Биты 3:0 F0FL[3:0]: уровень заполнения Rx FIFO 0

Количество элементов, хранящихся в Rx FIFO 0.
Диапазон: от 0 до 3.



44.4.23 Регистр подтверждения CAN Rx FIFO 0 (FDCAN_RXF0A)

Смещение адреса: 0x0094

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	F0A[2:0]		
													рв	рв	рв

Биты 31:3 зарезервированы, должны сохраняться на значении сброса.

Биты 2:0 F0A[2:0]: индекс подтверждения Rx FIFO 0

После того, как хост прочитал сообщение или последовательность сообщений из Rx FIFO 0, он должен записать индекс буфера последнего элемента, считанного из Rx FIFO 0, в F0A[2:0]. Это устанавливает индекс получения Rx FIFO 0 (F0GI[1:0] из FDCAN_RXF0S) в F0A[2:0] + 1 и обновляет уровень заполнения FIFO 0 (F0FL[3:0] FDCAN_RXF0S).

44.4.24 Регистр состояния FDCAN Rx FIFO 1 (FDCAN_RXF1S)

Смещение адреса: 0x0098

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	RF1L F1F			Рез.	Рез.	Рез.	Рез.	Рез.	Ф1ПИ[1:0]	
						г	г							г	г
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Ф1ГИ[1:0]		Рез.	Рез.	Рез.	Рез.	Ф1ФЛ[3:0]			
						г	г					г	г	г	г

Биты 31:26 Зарезервированы, должны сохраняться на значении сброса.

Бит 25 RF1L: сообщение Rx FIFO 1 потеряно

Этот бит является копией флага прерывания RF1L регистра FDCAN_IR. Когда RF1L очищается, этот бит также очищается.

0: Нет сообщения Rx FIFO 1 потеряно

1: Сообщение Rx FIFO 1 потеряно, также устанавливается после попытки записи в Rx FIFO 1 размером 0

Бит 24 F1F: Rx FIFO 1 заполнен

0: Rx FIFO 1 не заполнен

1: Rx FIFO 1 заполнен

Биты 23:18 Зарезервированы, должны сохраняться на значении сброса.

Биты 17:16 F1PI[1:0]: Rx FIFO 1 положить индекс

Указатель индекса записи Rx FIFO 1.

Диапазон: от 0 до 2.

Биты 15:10 зарезервированы, должны сохраняться на значении сброса.



Биты 9:8 F1GI[1:0]: Rx FIFO 1 получить индекс

Указатель индекса чтения Rx FIFO 1.

Диапазон: от 0 до 2.

Биты 7:4 зарезервированы, должны сохраняться на значении сброса.

Биты 3:0 F1FL[3:0]: уровень заполнения Rx FIFO 1

Количество элементов, хранящихся в Rx FIFO 1.

Диапазон: от 0 до 3.

44.4.25 Регистр подтверждения приема FDCAN Rx FIFO 1 (FDCAN_RXF1A)

Смещение адреса: 0x009C

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	F1AI[2:0]		
													рв	рв	рв

Биты 31:3 зарезервированы, должны сохраняться на значении сброса.

Биты 2:0 F1AI[2:0]: индекс подтверждения Rx FIFO 1

После того, как хост прочитал сообщение или последовательность сообщений из Rx FIFO 1, он должен записать индекс буфера последнего элемента, считанного из Rx FIFO 1, в F1AI[2:0]. Это устанавливает индекс получения Rx FIFO 1 (F1GI[1:0] из FDCAN_RXF1S) в F1AI[2:0] + 1 и обновляет уровень заполнения FIFO 1 (F1FL[3:0] FDCAN_RXF1S).

44.4.26 Регистр конфигурации буфера передачи FDCAN (FDCAN_TXBC)

Смещение адреса: 0x00C0

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.
							TFQM	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.
							рв								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.

Биты 31:25 Зарезервированы, должны сохраняться на значении сброса.

Бит 24 TFQM: режим FIFO/очереди Tx

0: операция Tx FIFO

1: Операция очереди передачи.

Этот бит защищен от записи (P), что означает, что доступ для записи возможен только в том случае, если установлены оба бита CCE и INIT регистра FDCAN_CCCR.

Биты 23:0 зарезервированы, должны сохраняться на значении сброса.



44.4.27 Регистр состояния очереди/FIFO FDCAN Tx (FDCAN_TXFQS)

Состояние Tx FIFO/очереди связано с ожидающими запросами Tx, перечисленными в регистре FDCAN_TXBRP. Поэтому эффект запросов на добавление/отмену может быть отложен из-за запущенного сканирования Tx (FDCAN_TXBRP еще не обновлен).

Смещение адреса: 0x00C4

Значение сброса: 0x0000 0003

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.
										ТFQF				ТФQП[1:0]	
										г				г	г
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	ТФГИ[1:0]	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	ТФФЛ[2:0]		
						г	г						г	г	г

Биты 31:22 зарезервированы, должны сохраняться на значении сброса.

Бит 21 TFQF: Tx FIFO/очередь заполнена

0: Tx FIFO/очередь не заполнена

1: Tx FIFO/очередь заполнена

Биты 20:18 Зарезервированы, должны сохраняться на значении сброса.

Биты 17:16 TFQPI[1:0]: Tx FIFO/индекс очереди

Указатель индекса записи Tx FIFO/очереди, диапазон от 0 до 3

Биты 15:10 зарезервированы, должны сохраняться на значении сброса.

Биты 9:8 TFGI[1:0]: Tx FIFO получить индекс

Указатель индекса чтения Tx FIFO, диапазон от 0 до 3. Читается как 0, если настроена работа очереди Tx (TFQM = 1 в FDCAN_TXBC)

Биты 7:3 зарезервированы, должны сохраняться на значении сброса.

Биты 2:0 TFFL[2:0]: уровень свободного пространства Tx FIFO

Количество последовательных свободных элементов Tx FIFO, начиная с TFGI, в диапазоне от 0 до 3. Читается как 0, если настроена работа очереди Tx (TFQM = 1 в FDCAN_TXBC).

44.4.28 Регистр ожидания запроса буфера FDCAN Tx (FDCAN_TXBRP)

Смещение адреса: 0x00C8

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	ГТО[2:0]		
													г	г	г

Биты 31:3 зарезервированы, должны сохраняться на значении сброса.



Биты 2:0 TRP[2:0]: Ожидается запрос на передачу

Каждый буфер Tx имеет свой собственный бит ожидания запроса передачи. Биты устанавливаются через регистр FDCAN_TXBAR. Биты очищаются после завершения запрошенной передачи или отмены через регистр FDCAN_TXBCR.

После установки бита FDCAN_TXBRP запускается сканирование Tx для проверки ожидающего запроса Tx с наивысшим приоритетом (буфер Tx с наименьшим идентификатором сообщения).

Запрос отмены сбрасывает соответствующий бит ожидания запроса передачи регистра FDCAN_TXBRP.

В случае, если передача уже была начата, когда запрашивается отмена, это делается в конце передачи, независимо от того, была ли передача успешной или нет. Биты запроса отмены напрямую очищаются после очистки соответствующего бита FDCAN_TXBRP.

После запроса на отмену сигнал о завершении отмены подается через FDCAN_TXBCF в следующих случаях:

после успешной передачи вместе с соответствующим битом TXBTO

когда передача еще не началась в момент отмены

когда передача была прервана из-за проигранного арбитража

когда произошла ошибка во время передачи кадра

В режиме DAR все передачи автоматически отменяются, если они неуспешны. Соответствующий бит FDCAN_TXBCF устанавливается для всех неудачных передач.

0: Запрос на передачу не ожидается

1: Ожидается запрос на передачу

Примечание:

Биты FDCAN_TXBRP, установленные во время сканирования Tx, не учитываются во время этого сканирования Tx. В случае запроса отмены для такого буфера Tx этот запрос на добавление немедленно отменяется. Соответствующий бит FDCAN_TXBRP очищается.

44.4.29 Регистр запроса на добавление буфера передачи FDCAN (FDCAN_TXBAR)

Смещение адреса: 0x00CC

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	AP[2:0]		
													rw	rw	rw

Биты 31:3 зарезервированы, должны сохраняться на значении сброса.

Биты 2:0 AR[2:0]: Добавить запрос

Каждый буфер Tx имеет свой собственный бит запроса на добавление. Запись 1 устанавливает соответствующий бит запроса на добавление; запись 0 не оказывает никакого влияния. Это позволяет хосту устанавливать запросы на передачу для нескольких буферов Tx с помощью одной записи в FDCAN_TXBAR. Если сканирование Tx не выполняется, биты немедленно очищаются, в противном случае биты остаются установленными до завершения процесса сканирования Tx.

0: Запрос на передачу не добавлен

1: Запрошенная передача добавлена.

Примечание:

Если запрос на добавление применяется к буферу Tx с ожидающим запросом на передачу (соответствующий бит FDCAN_TXBRP уже установлен), запрос игнорируется.

44.4.30 Регистр запроса отмены буфера Tx FDCAN (FDCAN_TXBCR)

Смещение адреса: 0x00D0

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	KP[2:0]		
													рв	рв	рв

Биты 31:3 зарезервированы, должны сохраняться на значении сброса.

Биты 2:0 CR[2:0]: Запрос на отмену

Каждый буфер Tx имеет свой собственный бит запроса отмены. Запись 1 устанавливает соответствующий бит CR; запись 0 не оказывает никакого влияния.

Это позволяет хосту устанавливать запросы отмены для нескольких буферов Tx с одной записью в FDCAN_TXBCR.

Биты остаются установленными до тех пор, пока соответствующий бит FDCAN_TXBRP не будет очищен.

0: Ожидается отмена бронирования

1: Ожидается отмена

44.4.31 Регистр произошедшей передачи буфера FDCAN Tx (FDCAN_TXBTO)

Смещение адреса: 0x00D4

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	TO[2:0]		
													г	г	г

Биты 31:3 зарезервированы, должны сохраняться на значении сброса.

Биты 2:0 TO[2:0]: Передача произошла.

Каждый буфер Tx имеет свой собственный бит TO. Биты устанавливаются, когда соответствующий бит FDCAN_TXBRP очищается после успешной передачи. Биты очищаются, когда начинается новая передача запрашивается путем записи 1 в соответствующий бит регистра FDCAN_TXBAR.

0: Передача не произошла

1: Передача произошла

44.4.32 Регистр завершения отмены буфера передачи FDCAN (FDCAN_TXBCF)

Смещение адреса: 0x00D8

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	КФ[2:0]		
													г	г	г

Биты 31:3 зарезервированы, должны сохраняться на значении сброса.

Биты 2:0 CF[2:0]: Отмена завершена

Каждый буфер Tx имеет свой собственный бит CF. Биты устанавливаются, когда соответствующий бит FDCAN_TXBRP очищается после запроса отмены через FDCAN_TXBCR. В случае, если соответствующий бит FDCAN_TXBRP не был установлен в точке отмены, CF устанавливается немедленно. Биты очищаются, когда запрашивается новая передача путем записи 1 в соответствующий бит регистра FDCAN_TXBAR.
0: Нет отмены буфера передачи
1: Очистка буфера передачи завершена

44.4.33 Регистр разрешения прерывания передачи буфера FDCAN Tx (FDCAN_TXBTIE)

Смещение адреса: 0x00DC

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	НИЧЬЯ[2:0]		
													рв	рв	рв

Биты 31:3 зарезервированы, должны сохраняться на значении сброса.

Биты 2:0 TIE[2:0]: разрешение прерывания передачи

Каждый буфер Tx имеет свой собственный бит TIE.
0: Прерывание передачи отключено
1: Разрешение прерывания передачи

44.4.34 Регистр разрешения прерывания завершения отмены буфера передачи FDCAN (FDCAN_TXBCIE)

Смещение адреса: 0x00E0

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	КФИЕ[2:0]		
													рв	рв	рв

Биты 31:3 зарезервированы, должны сохраняться на значении сброса.

- Биты 2:0 CFIE[2:0]: Отмена завершения разрешения прерывания.
Каждый буфер Tx имеет свой собственный бит CFIE.
0: Отмена законченного прерывания отключена
1: Отмена завершена, прерывание включено

44.4.35 Регистр состояния FIFO-события FDCAN Tx (FDCAN_TXEFS)

Смещение адреса: 0x00E4

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	TEFL EFF	Рез.		Рез.	Рез.	Рез.	Рез.	Рез.	ЭФПИ[1:0]	
						г	г							г	г
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	ЕФГИ[1:0]		Рез.	Рез.	Рез.	Рез.	Рез.	ЭФЛ[2:0]		
						г	г						г	г	г

Биты 31:26 Зарезервированы, должны сохраняться на значении сброса.

Бит 25 TEFL: потеря элемента FIFO события Tx

Этот бит является копией флага прерывания TEFL FDCAN_IR. Когда TEFL очищается, этот бит также очищается.

0 Нет события Tx FIFO элемент потерян

1 Элемент FIFO события Tx потерян, также устанавливается после попытки записи в FIFO события Tx размером 0.

Бит 24 EFF: Событие FIFO заполнено

- 0: FIFO события Tx не заполнен
1: Событие Tx FIFO заполнено

Биты 23:18 Зарезервированы, должны сохраняться на значении сброса.

Биты 17:16 EFP[1:0]: Событие FIFO put index

Указатель индекса записи события FIFO Tx.
Диапазон: от 0 до 3.

Биты 15:10 зарезервированы, должны сохраняться на значении сброса.



Биты 9:8 EFG[1:0]: событие FIFO получить индекс

Указатель индекса чтения события FIFO Tx.

Диапазон: от 0 до 3.

Биты 7:3 зарезервированы, должны сохраняться на значении сброса.

Биты 2:0 EFFL[2:0]: Уровень заполнения FIFO событий

Количество элементов, хранящихся в FIFO событий Tx.

Диапазон: от 0 до 3.

44.4.36 Регистр подтверждения FIFO события FDCAN Tx (FDCAN_TXEFA)

Смещение адреса: 0x00E8

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	ЭФАИ[1:0]	
														рв	рв

Биты 31:2 зарезервированы, должны сохраняться на значении сброса.

Биты 1:0 EFAI[1:0]: индекс подтверждения события FIFO

После того, как хост прочитал элемент или последовательность элементов из FIFO события Tx, он должен записать индекс последнего элемента, считанного из FIFO события Tx, в EFAI[1:0]. Это устанавливает индекс получения FIFO события Tx (EFG[1:0] из FDCAN_TXEFS) в EFAI[1:0] + 1 и обновляет FIFO 0

уровень заполнения (EFFL[2:0] из FDCAN_TXEFS).

44.4.37 Регистр делителя тактовой частоты FDCAN CFG (FDCAN_CKDIV)

Смещение адреса: 0x0100

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	Рез.	ПДИВ[3:0]			
												рв	рв	рв	рв

Биты 31:4 зарезервированы, должны сохраняться на значении сброса.

Биты 3:0 PDIV[3:0]: делитель входного тактового сигнала

Частота ядра CAN может быть разделена до использования подсистемой CAN. Скорость должна быть рассчитана с использованием выходной частоты делителя.

0000: Разделить на 1

0001: Разделить на 2

0010: Разделить на 4

0011: Разделить на 6

0100: Разделить на 8

0101: Разделить на 10

0110: Разделить на 12

0111: Разделить на 14

1000: Разделить на 16

1001: Разделить на 18

1010: Разделить на 20

1011: Разделить на 22

1100: Разделить на 24

1101: Разделить на 26

1110: Разделить на 28

1111: Разделить на 30

Это битовое поле защищено от записи (P): это означает, что доступ для записи возможен только в том случае, если установлены биты CCE и INIT регистра FDCAN_CCCR.

Примечание: делитель часов является общим для всех экземпляров FDCAN. Только экземпляр FDCAN1 имеет

Регистр FDCAN_CKDIV, который изменяет делитель тактовой частоты для всех экземпляров.

44.4.38 Карта регистров FDCAN

Таблица 415. Карта регистра FDCAN и значения сброса

Регистр смещения		29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
0x0000	FDCAN_CREL	СТАТУС				ШАТ[3:0]				РВШ[3:0]				ГОД[3:0]				ПН[7:0]				ДНЧ[7:0]															
	Сброс значения	0	0	0	0	0	0	1					1	1	0	1	0	1	0	1	1									1	1	0	1	0	0	1	0
0x0004	FDCAN_ENDN	ЭТВ[31:0]																																			
	Сброс значения	1	0	0	0	1								1	0	1	1	0	0	1	0	1	0	0	0	1					1	0	0	1	0	0	0
0x0008	Сдержанный	Сдержанный																																			
0x000C	FDCAN_DBTP													DBRPT[4:0]								АТСЭГ[4:0]				DTSEGT[3:0]				DSW[3:0]							
	Сбросить значение													0	0	0	0	0	0					0	0	1	0	0	0	1		1	0	0	1	1	
0x0010	FDCAN_TEST																																				
	Сбросить значение																																	0	0	0	0
0x0014	FDCAN_RWD													ВДВ[7:0]				ВКД[7:0]																			
	Сбросить значение													0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

Таблица 415. Карта регистра FDCAN и значения сброса (продолжение)

Регистр	Сброс	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
0x0018	FDCAN_CCCR																															
	Сбросить значение																															
0x001C	FDCAN_NBP																															
	Сброс значения																															
0x0020	FDCAN_TSCC																															
	Сброс значения																															
0x0024	FDCAN_TSCV																															
	Сброс значения																															
0x0028	FDCAN_TOCC																															
	Сброс значения																															
0x0030	0x003C																															
	Сброс значения																															
0x0040	FDCAN_ECR																															
	Сбросить значение																															
0x0044	FDCAN_PSR																															
	Сбросить значение																															
0x0048	FDCAN_TDCR																															
	Сбросить значение																															
0x004C	Содержимый																															
0x0050	FDCAN_IR																															
	Сбросить значение																															
0x0054	FDCAN_IE																															
	Сбросить значение																															
0x0058	FDCAN_ILS																															
	Сбросить значение																															



Таблица 415. Карта регистра FDCAN и значения сброса (продолжение)

Регистр	Смещения	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x005C	FDCAN_ILE																					
	Сбросить значение																				2	ENVT
0x0060-0x007C	Сдержанный	Сдержанный																				
0x0080	ФДКАН_RXGFC																					
	Сбросить значение																					
0x0084	ФДКАН_KSIDAM																					
	Сбросить значение																					
0x0088	FDCAN_HPMS																					
	Сбросить значение																					
0x0090	ФДКАН_RXF0S																					
	Сбросить значение																					
0x0094	ФДКАН_RXF0A																					
	Сбросить значение																					
0x0098	ФДКАН_RXF1S																					
	Сбросить значение																					
0x009C	ФДКАН_RXF1A																					
	Сбросить значение																					
0x00A0-0x00BC	Сдержанный	Сдержанный																				
0x00C0	ФДКАН_TXBC																					
	Сбросить значение																					
0x00C4	ФДКАН_TXFQS																					
	Сбросить значение																					
0x00C8	ФДКАН_TXBRP																					
	Сбросить значение																					

Таблица 415. Карта регистра FDCAN и значения сброса (продолжение)

Регистр	смещения	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99	100	101	102	103	104	105	106	107	108	109	110	111	112	113	114	115	116	117	118	119	120	121	122	123	124	125	126	127	128	129	130	131	132	133	134	135	136	137	138	139	140	141	142	143	144	145	146	147	148	149	150	151	152	153	154	155	156	157	158	159	160	161	162	163	164	165	166	167	168	169	170	171	172	173	174	175	176	177	178	179	180	181	182	183	184	185	186	187	188	189	190	191	192	193	194	195	196	197	198	199	200	201	202	203	204	205	206	207	208	209	210	211	212	213	214	215	216	217	218	219	220	221	222	223	224	225	226	227	228	229	230	231	232	233	234	235	236	237	238	239	240	241	242	243	244	245	246	247	248	249	250	251	252	253	254	255	256	257	258	259	260	261	262	263	264	265	266	267	268	269	270	271	272	273	274	275	276	277	278	279	280	281	282	283	284	285	286	287	288	289	290	291	292	293	294	295	296	297	298	299	300	301	302	303	304	305	306	307	308	309	310	311	312	313	314	315	316	317	318	319	320	321	322	323	324	325	326	327	328	329	330	331	332	333	334	335	336	337	338	339	340	341	342	343	344	345	346	347	348	349	350	351	352	353	354	355	356	357	358	359	360	361	362	363	364	365	366	367	368	369	370	371	372	373	374	375	376	377	378	379	380	381	382	383	384	385	386	387	388	389	390	391	392	393	394	395	396	397	398	399	400	401	402	403	404	405	406	407	408	409	410	411	412	413	414	415	416	417	418	419	420	421	422	423	424	425	426	427	428	429	430	431	432	433	434	435	436	437	438	439	440	441	442	443	444	445	446	447	448	449	450	451	452	453	454	455	456	457	458	459	460	461	462	463	464	465	466	467	468	469	470	471	472	473	474	475	476	477	478	479	480	481	482	483	484	485	486	487	488	489	490	491	492	493	494	495	496	497	498	499	500	501	502	503	504	505	506	507	508	509	510	511	512	513	514	515	516	517	518	519	520	521	522	523	524	525	526	527	528	529	530	531	532	533	534	535	536	537	538	539	540	541	542	543	544	545	546	547	548	549	550	551	552	553	554	555	556	557	558	559	560	561	562	563	564	565	566	567	568	569	570	571	572	573	574	575	576	577	578	579	580	581	582	583	584	585	586	587	588	589	590	591	592	593	594	595	596	597	598	599	600	601	602	603	604	605	606	607	608	609	610	611	612	613	614	615	616	617	618	619	620	621	622	623	624	625	626	627	628	629	630	631	632	633	634	635	636	637	638	639	640	641	642	643	644	645	646	647	648	649	650	651	652	653	654	655	656	657	658	659	660	661	662	663	664	665	666	667	668	669	670	671	672	673	674	675	676	677	678	679	680	681	682	683	684	685	686	687	688	689	690	691	692	693	694	695	696	697	698	699	700	701	702	703	704	705	706	707	708	709	710	711	712	713	714	715	716	717	718	719	720	721	722	723	724	725	726	727	728	729	730	731	732	733	734	735	736	737	738	739	740	741	742	743	744	745	746	747	748	749	750	751	752	753	754	755	756	757	758	759	760	761	762	763	764	765	766	767	768	769	770	771	772	773	774	775	776	777	778	779	780	781	782	783	784	785	786	787	788	789	790	791	792	793	794	795	796	797	798	799	800	801	802	803	804	805	806	807	808	809	810	811	812	813	814	815	816	817	818	819	820	821	822	823	824	825	826	827	828	829	830	831	832	833	834	835	836	837	838	839	840	841	842	843	844	845	846	847	848	849	850	851	852	853	854	855	856	857	858	859	860	861	862	863	864	865	866	867	868	869	870	871	872	873	874	875	876	877	878	879	880	881	882	883	884	885	886	887	888	889	890	891	892	893	894	895	896	897	898	899	900	901	902	903	904	905	906	907	908	909	910	911	912	913	914	915	916	917	918	919	920	921	922	923	924	925	926	927	928	929	930	931	932	933	934	935	936	937	938	939	940	941	942	943	944	945	946	947	948	949	950	951	952	953	954	955	956	957	958	959	960	961	962	963	964	965	966	967	968	969	970	971	972	973	974	975	976	977	978	979	980	981	982	983	984	985	986	987	988	989	990	991	992	993	994	995	996	997	998	999	1000	1001	1002	1003	1004	1005	1006	1007	1008	1009	1010	1011	1012	1013	1014	1015	1016	1017	1018	1019	1020	1021	1022	1023	1024	1025	1026	1027	1028	1029	1030	1031	1032	1033	1034	1035	1036	1037	1038	1039	1040	1041	1042	1043	1044	1045	1046	1047	1048	1049	1050	1051	1052	1053	1054	1055	1056	1057	1058	1059	1060	1061	1062	1063	1064	1065	1066	1067	1068	1069	1070	1071	1072	1073	1074	1075	1076	1077	1078	1079	1080	1081	1082	1083	1084	1085	1086	1087	1088	1089	1090	1091	1092	1093	1094	1095	1096	1097	1098	1099	1100	1101	1102	1103	1104	1105	1106	1107	1108	1109	1110	1111	1112	1113	1114	1115	1116	1117	1118	1119	1120	1121	1122	1123	1124	1125	1126	1127	1128	1129	1130	1131	1132	1133	1134	1135	1136	1137	1138	1139	1140	1141	1142	1143	1144	1145	1146	1147	1148	1149	1150	1151	1152	1153	1154	1155	1156	1157	1158	1159	1160	1161	1162	1163	1164	1165	1166	1167	1168	1169	1170	1171	1172	1173	1174	1175	1176	1177	1178	1179	1180	1181	1182	1183	1184	1185	1186	1187	1188	1189	1190	1191	1192	1193	1194	1195	1196	1197	1198	1199	1200	1201	1202	1203	1204	1205	1206	1207	1208	1209	1210	1211	1212	1213	1214	1215	1216	1217	1218	1219	1220	1221	1222	1223	1224	1225	1226	1227	1228	1229	1230	1231	1232	1233	1234	1235	1236	1237	1238	1239	1240	1241	1242	1243	1244	1245	1246	1247	1248	1249	1250	1251	1252	1253	1254	1255	1256	1257	1258	1259	1260	1261	1262	1263	1264	1265	1266	1267	1268	1269	1270	1271	1272	1273	1274	1275	1276	1277	1278	1279	1280	1281	1282	1283	1284	1285	1286	1287	1288	1289	1290	1291	1292	1293	1294	1295	1296	1297	1298	1299	1300	1301	1302	1303	1304	1305	1306	1307	1308	1309	1310	1311	1312	1313	1314	1315	1316	1317	1318	1319	1320	1321	1322	1323	1324	1325	1326	1327	1328	1329	1330	1331	1332	1333	1334	1335	1336	1337	1338	1339	1340	1341	1342	1343	1344	1345	1346	1347	1348	1349	1350	1351	1352	1353	1354	1355	1356	1357	1358	1359	1360	1361	1362	1363	1364	1365	1366	1367	1368	1369	1370	1371	1372	1373	1374	1375	1376	1377	1378	1379	1380	1381	1382	1383	1384	1385	1386	1387	1388	1389	1390	1391	1392	1393	1394	1395	1396	1397	1398	1399	1400	1401	1402	1403	1404	1405	1406	1407	1408	1409	1410	1411	1412	1413	1414	1415	1416	1417	1418	1419	1420	1421	1422	1423	1424	1425	1426	1427	1428	1429	1430	1431	1432	1433	1434	1435	1436	1437	1438	1439	1440	1441	1442	1443	1444	1445	1446	1447	1448	1449	1450	1451	1452	1453	1454	1455	1456	1457	1458	1459	1460	1461	1462	1463	1464	1465	1466	1467	1468	1469	1470	1471	1472	1473	1474	1475	1476	1477	1478	1479	1480	1481	1482	1483	1484	1485	1486	1487	1488	148
---------	----------	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	-----