

**МИНОБРНАУКИ РОССИИ**  
**САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ**  
**ЭЛЕКТРОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ**  
**«ЛЭТИ» ИМ. В.И. УЛЬЯНОВА (ЛЕНИНА)**  
**Базовая кафедра «Вычислительные технологии»**

**ОТЧЕТ**  
**по лабораторной работе №4**  
**по дисциплине «Проектирование аналоговых блоков микросистем»**  
**Тема: Моделирование и определение характеристик токового зеркала**  
**Вариант 5**

Студент гр. 6309

Васин А. М.

Преподаватель

Беляев Я. В.

Санкт-Петербург

2021

### **Цель работы**

Получение начальных навыков моделирования токового зеркала в среде Cadence Virtuoso.

### **Вариант задания**

$$W = 550e - 9$$

## Выполнение работы

Созданная схема для моделирования представлена на рисунке 1.

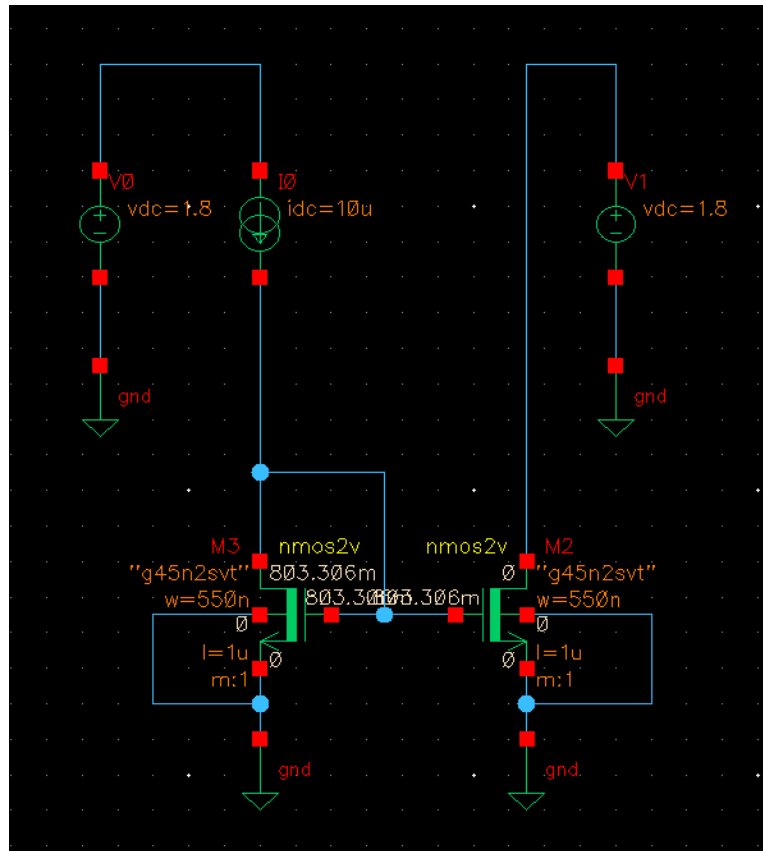


Рисунок 1. Схема токового зеркала

После создания были заданы параметры элементов согласно варианту:

$$W = 550e - 9$$

После задания параметров было проведено моделирование с измерением сигнала вывода стока транзистора. Результат моделирования представлен на рисунке 2.

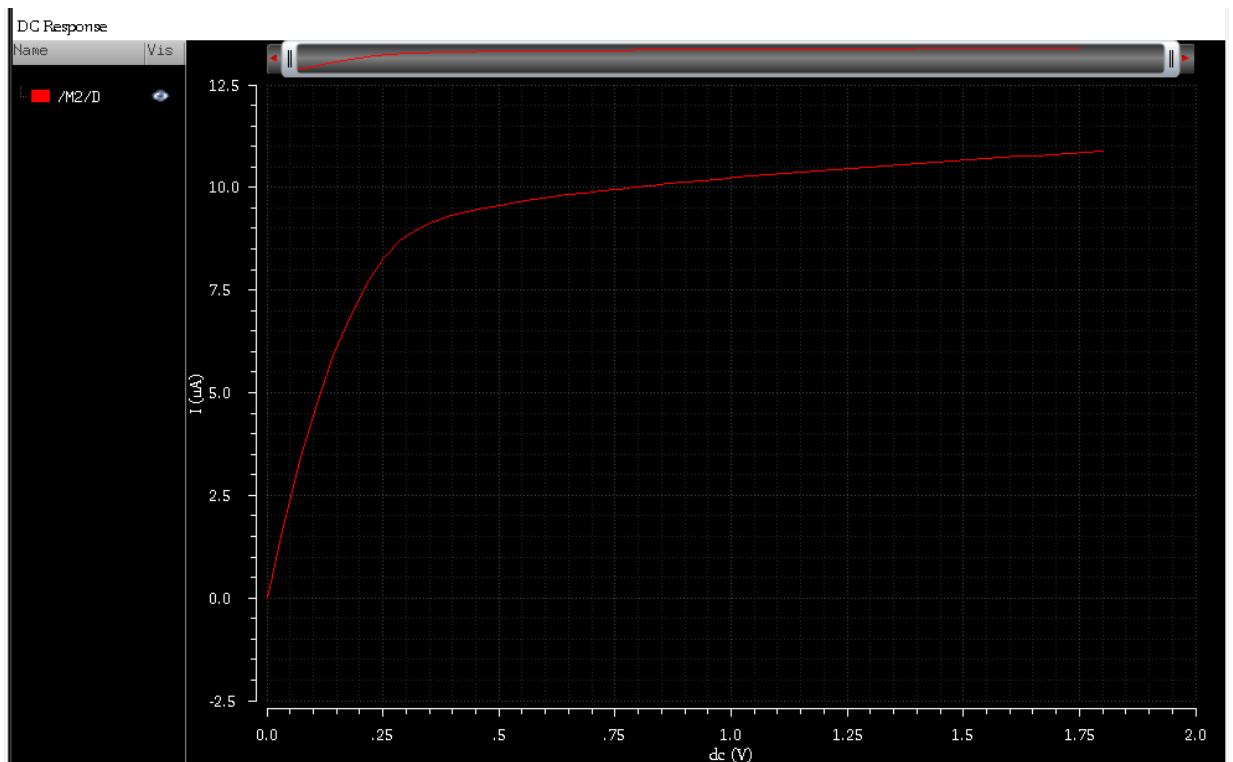


Рисунок 2. Вольтамперная характеристика

С помощью инструмента Calculator произвели оценку проводимости при напряжении 1 В. Результаты представлены на рисунке 3.

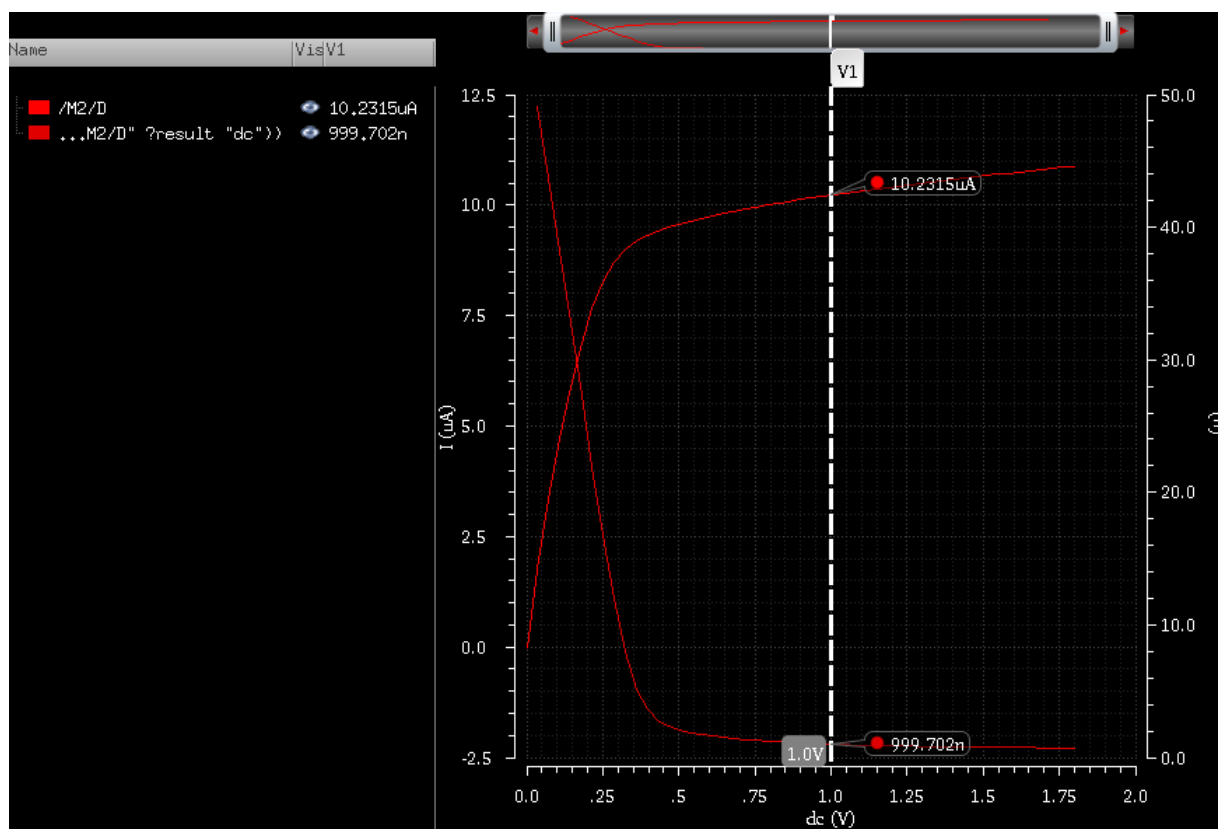


Рисунок 3. Оценка выходной проводимости

По графику можно сказать, что в режиме насыщения проводимость максимальна, тогда как в активном режиме ток устанавливается в фиксированное значение и, из-за растущего напряжения, выходная проводимость стремится к 0.

### **Вывод**

В ходе выполнения данной лабораторной работы были получены начальные навыки моделирования токового зеркала в среде Cadence Virtuoso.

Построена схема токового зеркала с заданными характеристиками транзисторов и проведено моделирование выходного сигнала с оценкой выходной проводимости.