

МИНОБРНАУКИ РОССИИ
САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ
ЭЛЕКТРОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
«ЛЭТИ» ИМ. В.И. УЛЬЯНОВА (ЛЕНИНА)
Базовая кафедра «Вычислительные технологии»

ОТЧЕТ
по лабораторной работе №2
по дисциплине «Проектирование реконфигурируемых систем
на кристалле»
Тема: Разработка проектов с использованием soft-ядра процессора NIOS
II
Вариант 4

Студенты гр. 6309

Васин А. М.

Жвакин К. Э.

Ладыженский Р. С.

Преподаватель

Шарагина Н.С.

Санкт-Петербург

2021

Цель работы.

Цель работы состоит в освоении конфигурирования системы на кристалле (СнК) на базе процессора Nios II с использованием среды SOPC Builder и получения навыков разработки программного обеспечения в среде Nios II IDE.

Основные теоретические положения.

Soft-ядро процессора Nios II встраивается в FPGA семейств Cyclone, Arria, Stratix и HardCopy компании «Altera» и представляет собой конвейерный RISC-процессор. Наряду с процессором Nios II в системе могут быть использованы периферийные модули (например, порты ввода-вывода, модули интерфейсов USB, SRAM, SPI, I2C, таймер и др.), а также блоки памяти для хранения кода программы и данных. При этом применяются только те компоненты, которые необходимы для реализации функций проектируемой системы. Компоненты СнК объединяются с помощью специально разработанной шины Avalon, к ней же подключаются и внешние устройства.

Интеграция СнК на базе процессора Nios II выполняется с использованием программного пакета SOPC Builder. Он обеспечивает конфигурирование и подключение компонентов посредством шины Avalon в единую СнК, результатом проектирования является VHDL-проект СнК, пригодный для последующего использования в САПР Quartus II в качестве отдельного модуля.

Задание на работу.

Разработать программно-аппаратную систему, состоящую из ядра процессора Nios II, памяти и блока ввода-вывода (рис. 1) и реализующую функцию в соответствии с индивидуальным заданием.

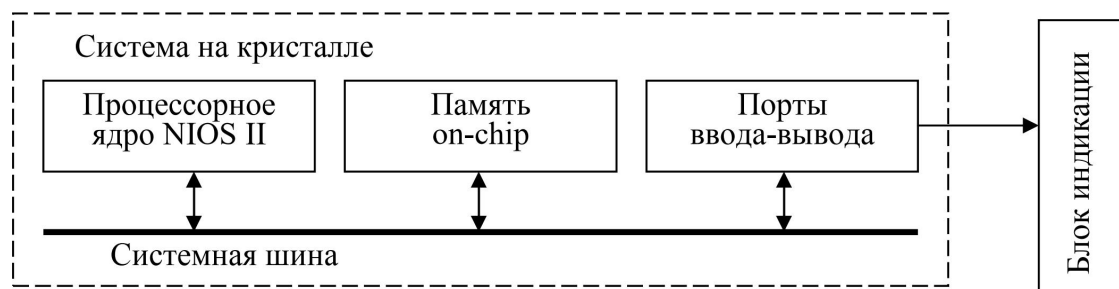


Рис. 1 Структура разрабатываемой системы на кристалле

Выполнить имплементацию проекта СнК в ПЛИС отладочной платы Terasic SoCKit. Для отображения результатов работы системы использовать светодиодные индикаторы, расположенные на плате.

Релизовать систему, управляющую перемещением светящегося сегмента по четырём семисегментным индикаторам.

Выполнение работы.

Этап 1. Создание проекта в САПР Quartus II

При создании проекта использовалась последовательность действий, приведенная в предыдущей лабораторной работе в пунктах 1-3 этапа.

Этап 2. Конфигурирование аппаратных модулей СнК

В пакете конфигурации NIOS II - SOPC Builder, были указаны параметры тактового сигнала (50 МГц), а также сконфигурировано оптимизированное по площади, но ограниченное по функциональным возможностям soft-ядро процессора - Nios II/e (Economy), а также RAM-память.

На следующем шаге были определены такие параметры порта ввода-вывода, как разрядность (4 бита), направление (output), значения после сброса и возможность побитового обращения к выходному регистру, через который будут выводиться данные на светоизлучающие диоды.

Далее была определена форма взаимодействия этих компонентов в системе: назначен базовый адрес для каждого ведомого компонента и приоритеты прерываний, определены адреса векторов прерываний и исключений (см. Рисунок).

После генерации в папке проекта появилась директория «sopc_builder» с автоматически сгенерированным HDL-кодом (RTL-описание проекта Nios II).

Этап 3. Конфигурирование системы на кристалле ПЛИС

На рисунке виден результат конфигурирования системы, а также адресную карту, состоящую из диапазона адресов ядра процессора, jtag_uart интерфейса, ROM-памяти и портов ввода/вывода.


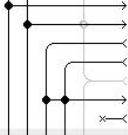
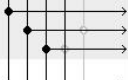


Use	Connections	Name	Description	Export	Clock	Base	End	IRQ
<input checked="" type="checkbox"/>		<div>clk_0</div> <div>clk_in</div> <div>clk_in_reset</div> <div>clk</div> <div>clk_reset</div>	<div>Clock Source</div> <div>Clock Input</div> <div>Reset Input</div> <div>Clock Output</div> <div>Reset Output</div>	<div>clk</div> <div>reset</div> <div>Double-click to export</div> <div>Double-click to export</div>	clk_0			
<input checked="" type="checkbox"/>		<div>nios2_qsys_0</div> <div>clk</div> <div>reset_n</div> <div>data_master</div> <div>instruction_master</div> <div>jtag_debug_module_reset</div> <div>jtag_debug_module</div> <div>custom_instruction_master</div>	<div>Nios II Processor</div> <div>Clock Input</div> <div>Reset Input</div> <div>Avalon Memory Mapped Master</div> <div>Avalon Memory Mapped Master</div> <div>Reset Output</div> <div>Avalon Memory Mapped Slave</div> <div>Custom Instruction Master</div>	<div>Double-click to export</div> <div>Double-click to export</div> <div>Double-click to export</div> <div>Double-click to export</div> <div>Double-click to export</div> <div>Double-click to export</div> <div>Double-click to export</div>	clk_0		IRQ 0	IRQ 31
<input checked="" type="checkbox"/>		<div>jtag_uart_0</div> <div>clk</div> <div>reset</div> <div>avalon_jtag_slave</div>	<div>JTAG UART</div> <div>Clock Input</div> <div>Reset Input</div> <div>Avalon Memory Mapped Slave</div>	<div>Double-click to export</div> <div>Double-click to export</div> <div>Double-click to export</div>	clk_0			
<input checked="" type="checkbox"/>		<div>onchip_memory2_0</div> <div>clk1</div> <div>s1</div> <div>reset1</div>	<div>On-Chip Memory (RAM or ROM)</div> <div>Clock Input</div> <div>Avalon Memory Mapped Slave</div> <div>Reset Input</div>	<div>Double-click to export</div> <div>Double-click to export</div> <div>Double-click to export</div>	clk_0			
<input checked="" type="checkbox"/>		<div>pio_0</div> <div>clk</div> <div>reset</div> <div>s1</div> <div>external_connection</div>	<div>PIO (Parallel IO)</div> <div>Clock Input</div> <div>Reset Input</div> <div>Avalon Memory Mapped Slave</div> <div>Conduit</div>	<div>Double-click to export</div> <div>Double-click to export</div> <div>Double-click to export</div>	clk_0			

Рис. 2 - Результат конфигурирования системы.

Этап 4. Разработка программного обеспечения

Программа управляет выводом сигнала на блок светодиодной индикации учебного стенда, создавая бегущий сигнал горящего индикатора по кругу. Это реализуется выводением на внешние выводы СнК двоичного слова, содержащего одну единицу, и реализацией логического сдвига этого слова с определённой задержкой. Ниже представлен листинг реализованной программы.

Листинг 1.

```
#include "sys/alt_stdio.h"
#include "system.h"
#include "altera_avalon_pio_regs.h"
#include <unistd.h>

int main()
{
    alt_putstr("Hello from Nios II!\n");
}
```

```

int data_led = 0x01;
/* Event loop never exits. */
while (1)
{
    IOWR_ALTERA_AVALON_PIO_DATA(PIO_0_BASE, data_led);
    usleep(500000);
    data_led = data_led << 1;

    if(data_led == 0x10)
        data_led = 0x01;
}

return 0;
}

```

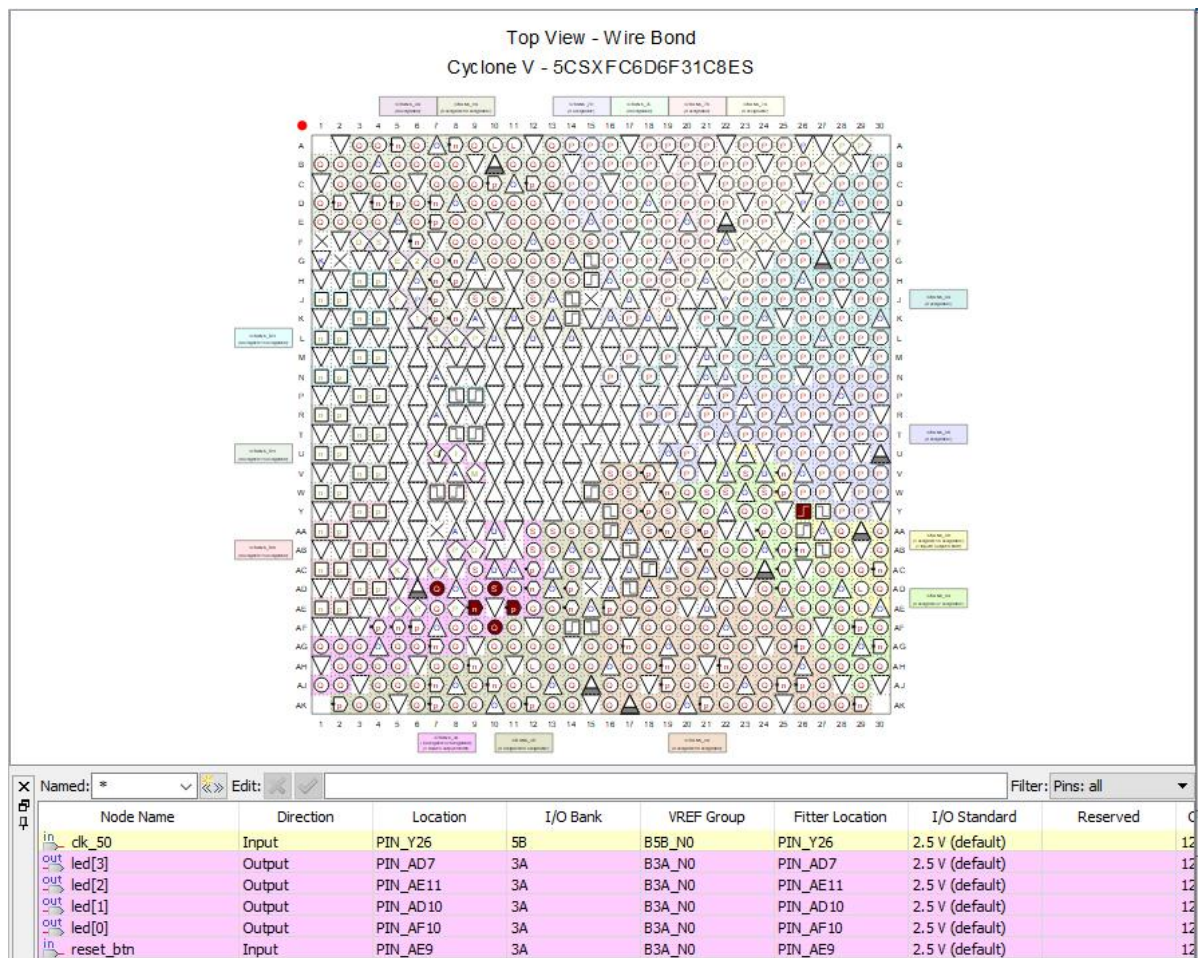


Рис. 3 - Назначение входов и выходов проекта на контакты ПЛИС

Flow Status	Successful - Sun Oct 24 12:32:40 2021
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	lab_2
Top-level Entity Name	lab_2
Family	Cyclone V
Device	5CSXFC6D6F31C8ES
Timing Models	Preliminary
Logic utilization (in ALMs)	714 / 41,910 (2 %)
Total registers	945
Total pins	6 / 499 (1 %)
Total virtual pins	0
Total block memory bits	171,264 / 5,662,720 (3 %)
Total DSP Blocks	0 / 112 (0 %)
Total HSSI RX PCSs	0 / 9 (0 %)
Total HSSI PMA RX Deserializers	0 / 9 (0 %)
Total HSSI PMA RX ATT Deserializers	0
Total HSSI TX PCSs	0 / 9 (0 %)
Total HSSI PMA TX Serializers	0 / 9 (0 %)
Total HSSI PMA TX ATT Serializers	0 / 9 (0 %)
Total PLLs	0 / 15 (0 %)
Total DLLs	0 / 4 (0 %)

Рис. 4 - Оценка затрат на реализацию проекта

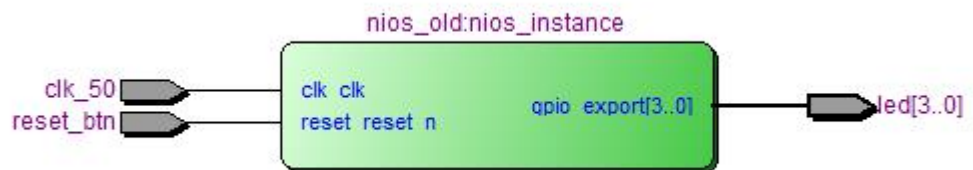


Рис. 5 - RTL-представление проекта

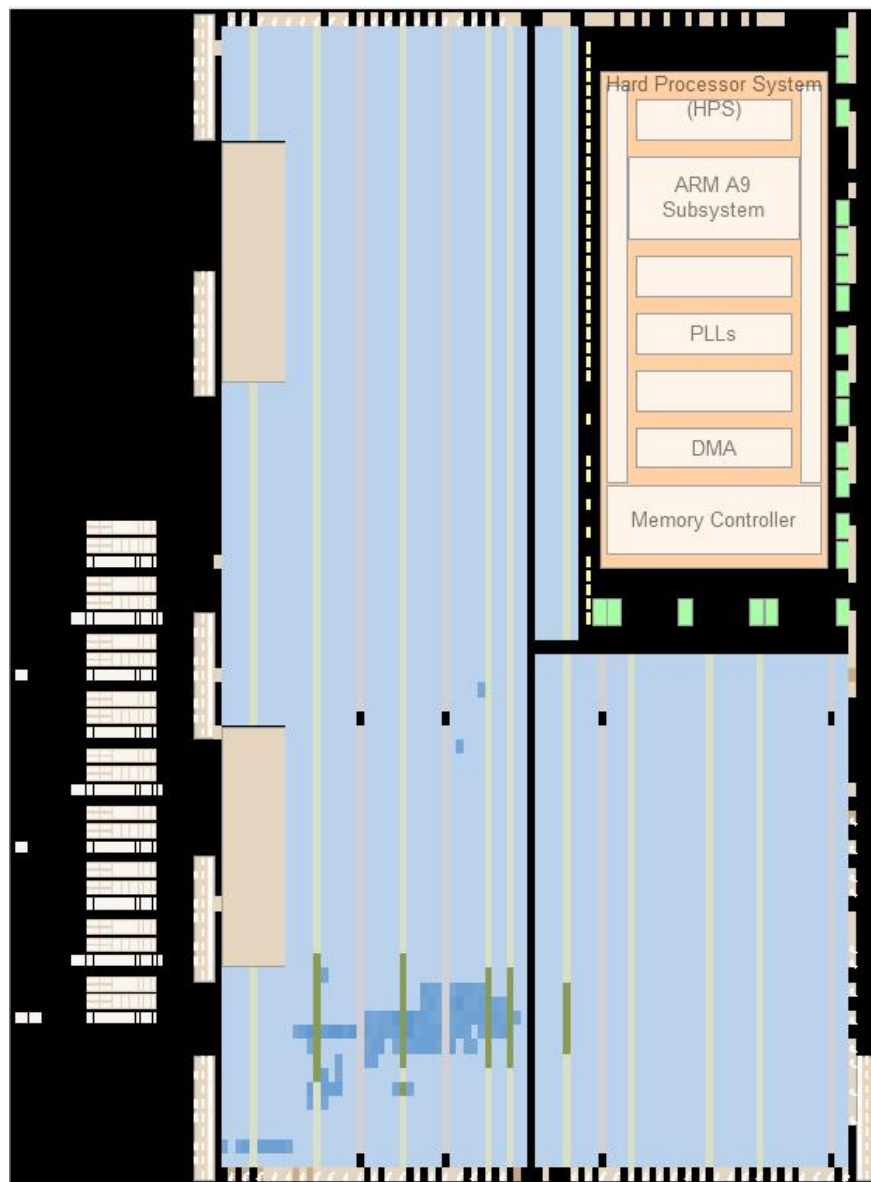


Рис. 6 - Расположение проекта в заданной ПЛИС

Выводы.

В ходе выполнения данной лабораторной работы были получены навыки процесса создания и конфигурирования системы на кристалле (СнК) на базе процессора Nios II с использованием среды SOPC Builder и получения навыков разработки программного обеспечения в среде Nios II IDE.