Universitatea Națională de Știință și Tehnologie POLITEHNICA București

Proiect TIE 2024

“ Generator de tact 1 Hz ”

FACULTATEA DE ELECTRONICĂ, TELECOMUNICAȚII ȘI

TEHNOLOGIA INFORMAȚIEI

~2023-2024~

DEPARTAMENTUL DE ELECTRONICĂ TEHNOLOGICĂ ȘI TEHNICI

DE INTERCONECTARE

STUDENȚI: - NĂSTASE MARIA-MAGDALENA

- MUNTEANU DENISA-ALESSIA

COORDONATOR PROF. DR. ING. NOROCEL DRAGOS CODREANU

DATA DE PREDARE

IUNIE 2024

CUPRINS

1. Date inițiale de proiectare

2. Descriere a funcționarii schemei proiectate

3. Schema electrica

4. Design Rules Check (DRC)

5. Cross Reference (CR)

6. Bill of Materials (BOM)

7. Wirelist (WR)

8. Verificarea net-urilor

9. TOP Layer

10. BOTTOM Layer

11. Solder Mask Layer

12. Silk Screen TOP Layer

13. Assembly Drawing TOP Layer

14. Fabrication Layer

15. Concluzii

16. Bibliografie

17. ANEXE

1. DATE INITIALE DE PROIECTARE

**Scopul proiectului de față** este de a realiza design-ul PCB pentru un **generator de tact de 1 Hz**, conform unei scheme electrice și a unor parametrii dați. Proiectul PCB va fi realizat folosind numai două straturi, și anume cele externe, **TOP** și **BOTTOM**. Toate componentele vor fi plasate pe **TOP**, traseele de semnal vor avea lățimea de **0.5 mm**, traseele de alimentare vor avea lățimea de **0.9 mm**, conexiunea cu masă va fi realizată printr-un plan de masă pe stratul **BOTTOM**, iar spațierea în toate cazurile va fi de **0.35 mm**.

Placa va fi una **dreptunghiulară** cu dimensiunea de **75 mm x 45 mm**. Se vor plasa **3 găuri de prindere** în **3 colțuri** ale plăcii. Fiecare gaură se va afla la distanța de **2 mm** de colțul în dreptul căreia a fost plasată.

În continuare, va fi prezentată o scurtă descriere a circuitului, schema electrică echivalentă în programul **OrCAD Capture**, și layer-ele proiectului PCB.

O imagine care conține text, diagramă, Plan, Desen tehnic

Descriere generată automat

2. DESCRIERE A FUNCTIONARII SCHEMEI PROIECTATE

**1. Recepția și Amplificarea Semnalului de 50 Hz** Circuitul începe cu recepția unui semnal de 50 Hz, obținut din câmpul electromagnetic al rețelei de curent alternativ (c.a.) printr-o „antena” scurtă, de aproximativ 4 cm. Semnalul captat este foarte slab și necesită amplificare. Aceasta este realizată prin utilizarea celor trei porți **NOR** integrate în **CI1** (de tip **CMOS 4001**). Pe măsură ce semnalul trece prin aceste porți, el este amplificat succesiv, devenind suficient de puternic pentru a putea fi procesat de circuitele de divizare a frecvenței.

**2. Divizarea Semnalului la Frecvența de 25 Hz** Semnalul amplificat de 50 Hz este apoi trimis către **CI2**, un circuit **CMOS 4027** care conține două bistabile **JK**. **CI2** acționează ca un divizor de frecvență, împărțind semnalul de intrare la 2, generând astfel un semnal de 25 Hz. Acest proces de divizare este crucial pentru reducerea frecvenței în pași succesivi, permițând obținerea unor frecvențe mai joase și stabilizate, necesare în diverse aplicații digitale.

**3. Divizarea Semnalului la Frecvența de 5 Hz** Semnalul de 25 Hz produs de **CI2** este apoi aplicat la primul bistabil **D** din **CI3** (un **CMOS 4013**). Acest bistabil divide frecvența primită la 5, rezultând un semnal de 5 Hz. Prin utilizarea configurării bistabile și a porților de **NOR** din **CI1**, divizarea frecvenței se face într-o manieră stabilă, asigurând că semnalul rezultat de 5 Hz este exact și poate fi folosit pentru divizări suplimentare.

**4. Generarea Semnalului de 1 Hz** Pentru a obține frecvența de 1 Hz necesară pentru aplicațiile finale, semnalul de 5 Hz este trecut prin a doua jumătate a bistabilului **D** din **CI3**. Aici, semnalul de 5 Hz este împărțit din nou la 5, rezultând frecvența de 1 Hz. Această divizare este controlată de modul de configurare al bistabilelor, care asigură o reducere precisă a frecvenței, transformând semnalul inițial de 50 Hz în unul de 1 Hz stabil și uniform.

3. SCHEMA ELECTRICĂ

O imagine care conține text, diagramă, Plan, Desen tehnic

Descriere generată automat

4. Design Rules Check (DRC)

Date and Time : 06/10/24 01:45:59

--------------------------------------------------

Checking Schematic: SCHEMATIC1

--------------------------------------------------

Checking Electrical Rules

Checking For Single Node Nets

Checking For Unconnected Bus Nets

5. Cross Reference (CR)

Revision:

Design Name: DESIGN1.DSN

Cross Reference May 29,2024 21:43:54,Page1

Item,Part,Reference,SchematicName,Sheet,Library

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

1,4001,U1A,SCHEMATIC1/PAGE1,0,C:\USERS\NASTA\ONEDRIVE - UNIVERSITATEA POLITEHNICA BUCURESTI\DESKTOP\PROIECT\_TIE\_FINAL\_V2\MAGDA\SCH\LIBRABRY\_PORTI.OLB,

2,4001,U1B,SCHEMATIC1/PAGE1,0,C:\USERS\NASTA\ONEDRIVE - UNIVERSITATEA POLITEHNICA BUCURESTI\DESKTOP\PROIECT\_TIE\_FINAL\_V2\MAGDA\SCH\LIBRABRY\_PORTI.OLB,

3,4001,U1C,SCHEMATIC1/PAGE1,0,C:\USERS\NASTA\ONEDRIVE - UNIVERSITATEA POLITEHNICA BUCURESTI\DESKTOP\PROIECT\_TIE\_FINAL\_V2\MAGDA\SCH\LIBRABRY\_PORTI.OLB,

4,4001,U1D,SCHEMATIC1/PAGE1,0,C:\USERS\NASTA\ONEDRIVE - UNIVERSITATEA POLITEHNICA BUCURESTI\DESKTOP\PROIECT\_TIE\_FINAL\_V2\MAGDA\SCH\LIBRABRY\_PORTI.OLB,

5,4013,U3,SCHEMATIC1/PAGE1,0,C:\USERS\NASTA\ONEDRIVE - UNIVERSITATEA POLITEHNICA BUCURESTI\DESKTOP\PROIECT\_TIE\_FINAL\_V2\MAGDA\SCH\DESIGN1.DSN,

6,4017,U4,SCHEMATIC1/PAGE1,0,C:\USERS\NASTA\ONEDRIVE - UNIVERSITATEA POLITEHNICA BUCURESTI\DESKTOP\PROIECT\_TIE\_FINAL\_V2\MAGDA\SCH\DESIGN1.DSN,

7,4027,U2,SCHEMATIC1/PAGE1,0,C:\USERS\NASTA\ONEDRIVE - UNIVERSITATEA POLITEHNICA BUCURESTI\DESKTOP\PROIECT\_TIE\_FINAL\_V2\MAGDA\SCH\DESIGN1.DSN,

8,CON2X1,J1,SCHEMATIC1/PAGE1,0,D:\SWAPNIL\LIBRARY\SYMBOL\CONNECTOR.OLB,

9,CON2X1,J2,SCHEMATIC1/PAGE1,0,D:\SWAPNIL\LIBRARY\SYMBOL\CONNECTOR.OLB,

10,CON2X1,J3,SCHEMATIC1/PAGE1,0,D:\SWAPNIL\LIBRARY\SYMBOL\CONNECTOR.OLB,

6. Bill of Materials (BOM)

Bill Of Materials

Item Reference Part Footprint MFR Name 1 MPN 1 Quantity

1 "J1,J2,J3" CON2X1 CON2 MOLEX 22272021 3

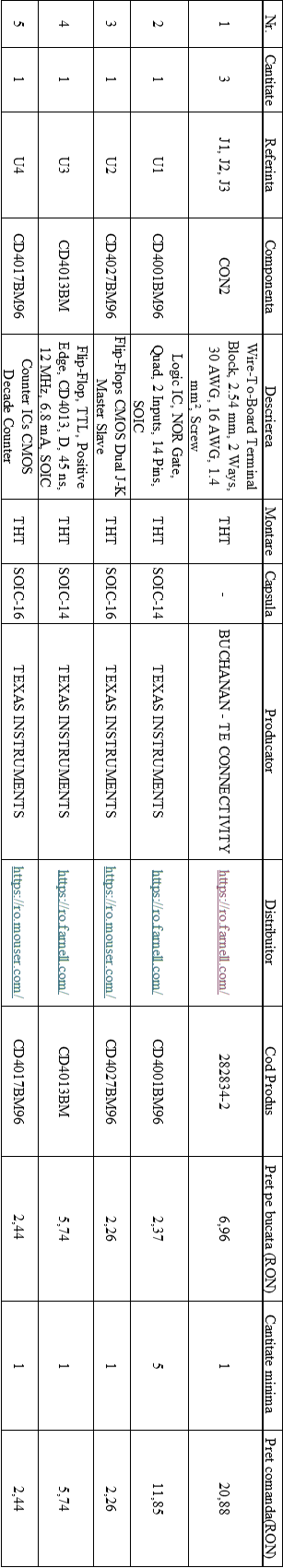
2 U1 4001 SOIC14 TI CD4001BM96 1

3 U2 4027 SOIC16 TI CD4027BM96 1

4 U3 4013 SOIC14 TI CD4013BM 1

5 U4 4017 SOIC16 TI CD4017BM96 1

COSTURI TOTALE: 43,17 lei



7. Wirelist (WR)

Revised: June 7, 2024

C:\USERS\NASTA\ONEDRIVE - UNIVERSITATEA POLITE Revision:

<<< Component List >>>

CON2X1 J1 CON2

CON2X1 J2 CON2

CON2X1 J3 CON2

4001 U1 SOIC14

4027 U2 SOIC16

4013 U3 SOIC14

4017 U4 SOIC16

<<< Wire List >>>

NODE REFERENCE PIN # PIN NAME PIN TYPE PART VALUE

[00001] GND

U1 7 GND Power 4001

U4 13 CLK\_I Power 4017

U4 8 VSS Power 4017

U4 15 RST Power 4017

J1 2 2 Passive CON2X1

J2 2 2 Passive CON2X1

U2 8 GND Power 4027

U3 7 GND Power 4013

U3 8 S2 Power 4013

U3 6 S1 Power 4013

U3 10 C2 Power 4013

U3 4 C1 Power 4013

[00002] N14340442

U1 1 I0\_A Input 4001

U1 2 I1\_A Input 4001

J1 1 1 Passive CON2X1

[00003] N14340459

U1 3 O\_A Output 4001

U1 5 I0\_B Input 4001

U1 6 I1\_B Input 4001

[00004] N14340483

U1 4 O\_B Output 4001

U1 8 I0\_C Input 4001

U1 9 I1\_C Input 4001

[00005] N14340510

U1 10 O\_C Output 4001

U2 13 CL1 Input 4027

U2 3 CL2 Input 4027

U3 3 CLK1 Input 4013

[00006] N14341374

U2 9 SET1 BiDirectional 4027

U2 4 RST2 BiDirectional 4027

U2 7 SET2 BiDirectional 4027

U2 12 RST1 BiDirectional 4027

[00007] N14341415

U2 15 Q1 BiDirectional 4027

U2 6 J2 BiDirectional 4027

U2 5 K2 BiDirectional 4027

[00008] N14341507

U1 12 I0\_D Input 4001

U2 14 Q\1\ BiDirectional 4027

[00009] N14341511

U1 13 I1\_D Input 4001

U2 2 Q\2\ BiDirectional 4027

[00010] N14341515

U1 11 O\_D Output 4001

U3 5 D1 Input 4013

[00011] N14341519

U2 10 J1 BiDirectional 4027

U2 11 K1 BiDirectional 4027

U3 2 Q\1\ BiDirectional 4013

[00012] N14342152

U3 9 D2 BiDirectional 4013

U3 12 Q\2\ BiDirectional 4013

[00013] N14342464

U4 14 CLK BiDirectional 4017

U3 1 Q1 BiDirectional 4013

[00014] N14342485

U4 12 CO BiDirectional 4017

J3 2 2 Passive CON2X1

U3 11 CLK2 BiDirectional 4013

[00015] N14342489

J3 1 1 Passive CON2X1

U3 13 Q2 BiDirectional 4013

[00016] VDD

U1 14 VDD Power 4001

U4 16 VDD Power 4017

J2 1 1 Passive CON2X1

U2 16 VDD Power 4027

U3 14 VDD Power 4013

8. Verificarea net-urilor

O imagine care conține text, diagramă, Plan, Desen tehnic

Descriere generată automat

O imagine care conține text, diagramă, Plan, Desen tehnic

Descriere generată automat

9. TOP Layer

O imagine care conține text, Font, scris de mână, verde

Descriere generată automat

O imagine care conține text, captură de ecran, linie, Font

Descriere generată automat

10. BOTTOM Layer

O imagine care conține Dreptunghi, proiectare

Descriere generată automat

O imagine care conține text, captură de ecran, linie, Font

Descriere generată automat

11. a. Solder Mask TOP Layer

O imagine care conține captură de ecran, proiectare

Descriere generată automat

O imagine care conține text, captură de ecran, linie, Font

Descriere generată automat

11. b. Solder Mask BOTTOM Layer

O imagine care conține captură de ecran, Dreptunghi, proiectare

Descriere generată automat

O imagine care conține text, captură de ecran, linie, Font

Descriere generată automat

12. Silk Screen TOP Layer

O imagine care conține schiță, jack

Descriere generată automat

O imagine care conține text, captură de ecran, linie, Font

Descriere generată automat

13. Assembly Drawing TOP Layer

O imagine care conține schiță, jack, proiectare

Descriere generată automat

O imagine care conține text, captură de ecran, linie, Font

Descriere generată automat

14. Fabrication Layer

O imagine care conține text, diagramă, Desen tehnic, Plan

Descriere generată automat

O imagine care conține text, captură de ecran, linie, Font

Descriere generată automat

O imagine care conține text, captură de ecran, Font, document

Descriere generată automat

O imagine care conține text, captură de ecran, linie, Font

Descriere generată automat

15. Concluzii

În proiectarea PCB a unui generator de tact de 1 Hz, este esențială o atenție riguroasă la detalii, similar cu orice alt proiect de circuit electronic, indiferent de complexitatea sa. Utilizarea programelor de proiectare și simulare actuale, cum ar fi **OrCAD 16.6 Lite**, permite verificarea minuțioasă a schemelor electrice și asigură că, odată fabricată placa, toate componentele sunt plasate corect și funcționează conform așteptărilor. Această etapă este critică pentru evitarea erorilor comune în design, cum ar fi plasarea incorectă a componentelor sau defecțiuni în funcționarea circuitului, care pot genera costuri suplimentare și întârzieri.

Erorile de proiectare nedetectate în faza de simulare și plasare pot duce la defecțiuni semnificative în produsul final, afectând performanța și funcționalitatea acestuia. Aceste probleme pot fi prevenite printr-o înțelegere profundă a circuitului și prin experiența dobândită de proiectant în manipularea instrumentelor de proiectare PCB. Fiecare detaliu în proiectarea și plasarea componentelor joacă un rol crucial în funcționarea corectă a generatorului de tact, făcând necesară o verificare continuă și atentă a întregului proces.

**OrCAD 16.6 Lite** oferă un set de instrumente robuste pentru abordarea atât a proiectelor simple, cât și a celor complexe, ajutând la respectarea principiilor fundamentale ale proiectării PCB și oferind o viziune de ansamblu asupra necesităților specifice ale fiecărui proiect. Indiferent de complexitatea sarcinii, respectarea elementelor de bază în proiectarea PCB este esențială pentru a asigura o funcționare eficientă și fiabilă a oricărui modul electronic.

Aceste măsuri și procese contribuie semnificativ la succesul proiectării unui PCB de înaltă calitate, reducând probabilitatea de erori costisitoare și optimizând performanța circuitului final. Prin urmare, integrarea practică a cunoștințelor tehnice cu instrumentele de proiectare avansate este vitală pentru atingerea obiectivelor proiectului și realizarea unui generator de tact eficient și fiabil.

16. Bibliografie

1. <https://www.cetti.ro/v2/>

2. <https://ro.farnell.com/>

3. <https://www.allaboutcircuits.com/textbook/digital/chpt-12/introduction-to-shift-registers/>

4. <https://ro.mouser.com/>

5. <https://www.ti.com/>

17. ANEXE

ANEXA 1

O imagine care conține text, Font, captură de ecran, alb și negru

Descriere generată automat

O imagine care conține text, diagramă, Plan, Desen tehnic

Descriere generată automat

ANEXA 2

O imagine care conține text, captură de ecran, număr, Paralel

Descriere generată automat

O imagine care conține text, diagramă, Plan, Desen tehnic

Descriere generată automatANEXA 3

ANEXA 4

O imagine care conține text, diagramă, Font, captură de ecran

Descriere generată automat

O imagine care conține text, diagramă, Font, Paralel

Descriere generată automatANEXA 5

O imagine care conține text, diagramă, alb și negru, Paralel

Descriere generată automatANEXA 6

ANEXA 7

|  |  |
| --- | --- |
| Nr. Curent | LINK |
| 1 | <https://ro.farnell.com/buchanan-te-connectivity/282834-2/terminal-block-wire-to-brd-2pos/dp/2112482> |
| 2 | <https://ro.farnell.com/texas-instruments/cd4001bm96/nor-gate-quad-2-i-p-soic-14/dp/3006418> |
| 3 | <https://ro.mouser.com/ProductDetail/Texas-Instruments/CD4027BM96?qs=vmM6vcLFxxEF8As9wazcvA%3D%3D> |
| 4 | <https://ro.farnell.com/texas-instruments/cd4013bm/ic-d-type-flipflop-dual-14soic/dp/3119948?pf_custSiteRedirect=true> |
| 5 | <https://ro.mouser.com/ProductDetail/Texas-Instruments/CD4017BM96?qs=LU5rZWrBGo08MYHMMV3HBw%3D%3D> |