

# N.D01: Caratteristiche porte logiche e semplici circuiti logici

Gruppo 23M

Alessandro Costanzo Ciano, Luca Palumbo

9 aprile 2024

## 1 Parte A: Caratteristiche fisiche delle porte logiche

Dal datasheet dell'integrato SN7404 si ricavano i seguenti valori: le absolute maximum ratings per la tensione di ingresso  $V_I = 5.5V$  e per la tensione di alimentazione  $V_{CC} = 7V$ ; le tensioni di soglia di ingresso sono  $V_{IH} = 2V$  e  $V_{IL} = 0.8V$ ; le tensioni tipiche di uscita sono  $V_{OH} = 3.4V$  (con un minimo di  $2.4V$ ) e  $V_{OL} = 0.2V$  (con un massimo di  $0.4V$ ); le correnti di ingresso e uscita sono  $I_{IH} = 40\mu A$  e  $I_{OH} = -0.4mA$ .

Abbiamo alimentato l'integrato con  $V_{CC} = 5V$ , inviando in ingresso una rampa di  $5V$ .

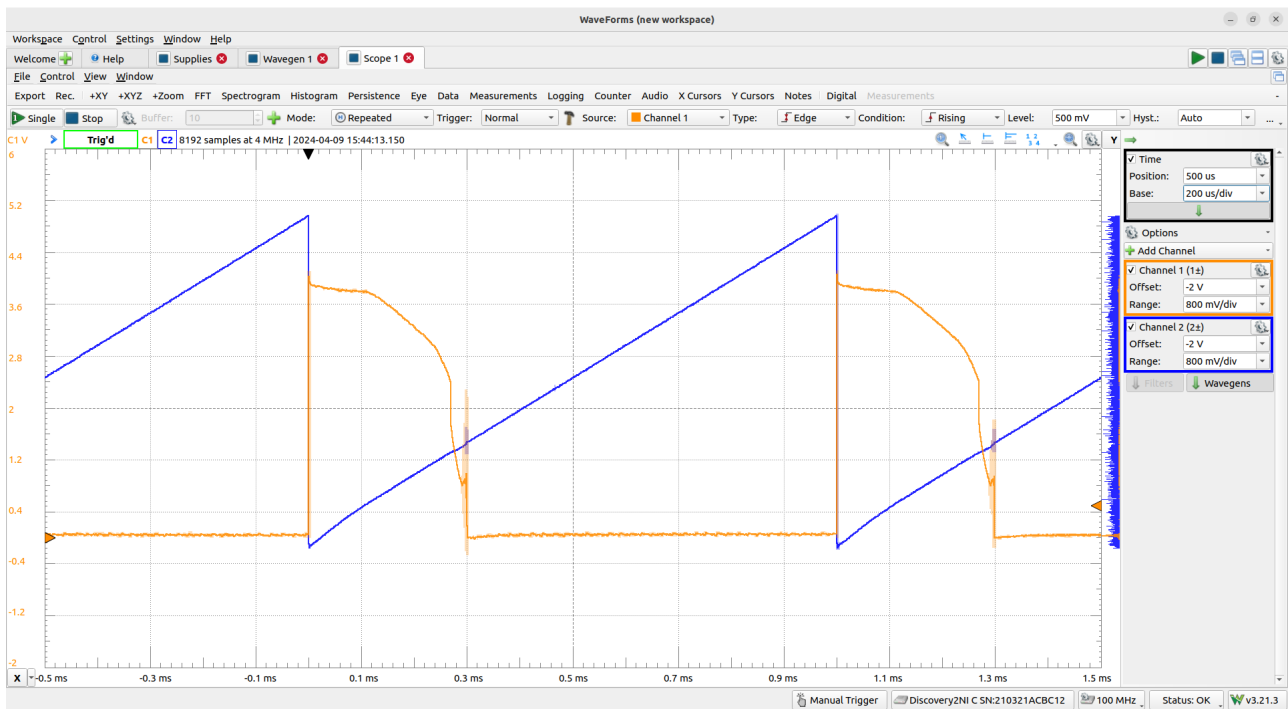


Figura 1: Segnale di rampa e di uscita NOT.

Le stime di  $V_{OUT_H}$  ( $0.8V$  in ingresso) e  $V_{OUT_L}$  ( $2.0V$  in ingresso) per ciascun membro del gruppo risultano rispettivamente  $3.44V$ ,  $3.49V$  e  $0V$  per entrambi. Avendo adottato la stessa procedura nella misura era da aspettarsi che i risultati di ogni membro fossero analoghi. I noise margin risultano quindi  $NM_H = 1.44V$ ,  $1.49V$  e il noise margin low è  $NM_L = 0.8V$ . I valori ottenuti sono quindi molto simili a quelli riportati nel datasheet, infatti quelli ottenuti dal datasheet sono  $NM_H = 1.4V$  e  $NM_L = 0.6V$ .

### Misura del Fan-out della porta

Inviando un segnale alto abbiamo misurato la corrente in ingresso  $I_{IH} = (19 \pm 1)\mu A$ . La corrente in uscita è invece  $I_{OH} = (827 \pm 8)\mu A$ . Il fanout risulta quindi  $I_{OH}/I_{IH} = (43.5 \pm 2)$ . Il valore atteso per il fanout è 10, che è minore di quello misurato come ci aspettavamo.

Per stimare il tempo di risposta delle porte not si sono collegate in serie tutte le 6 disponibili, inviando alla prima di queste un segnale onda quadra, permettendoci di misurare all'ultima un tempo di risposta complessivo di circa  $\delta t = 43ns$ . Dunque il tempo di risposta di una singola porta è di  $\delta t_1 = 7ns$ , in accordo col valore di  $8ns$  del datasheet.



Figura 2: Tensione in uscita in funzione della tensione in ingresso.

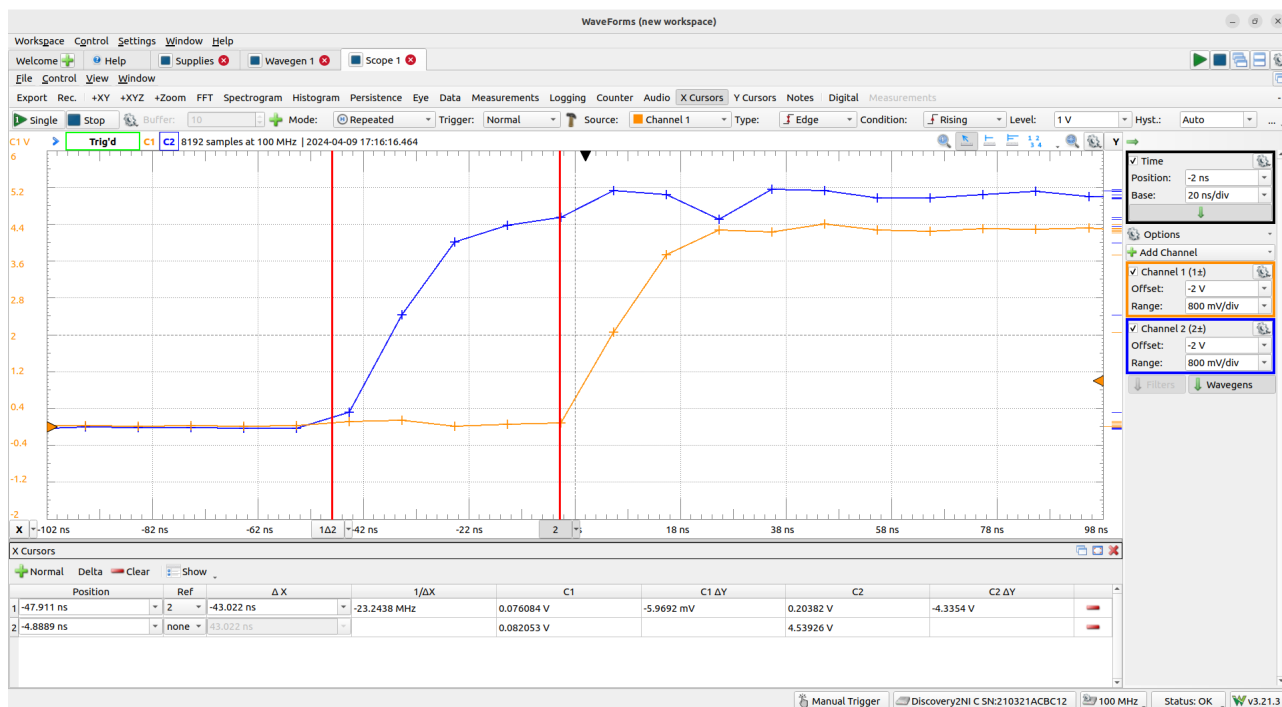


Figura 3: Misura del tempo di risposta dell'integrato.

## 2 Costruzione di circuiti logici elementari.

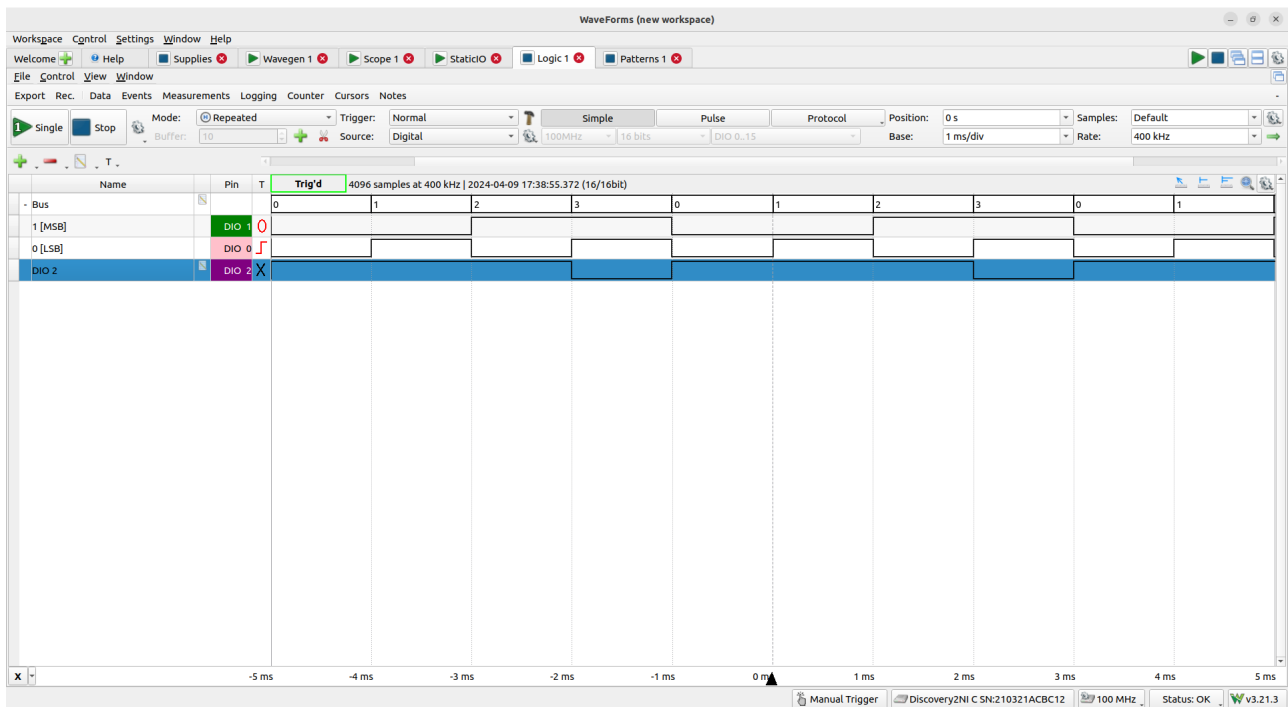


Figura 4: Verifica della porta NAND (DIO 2 è l'output).

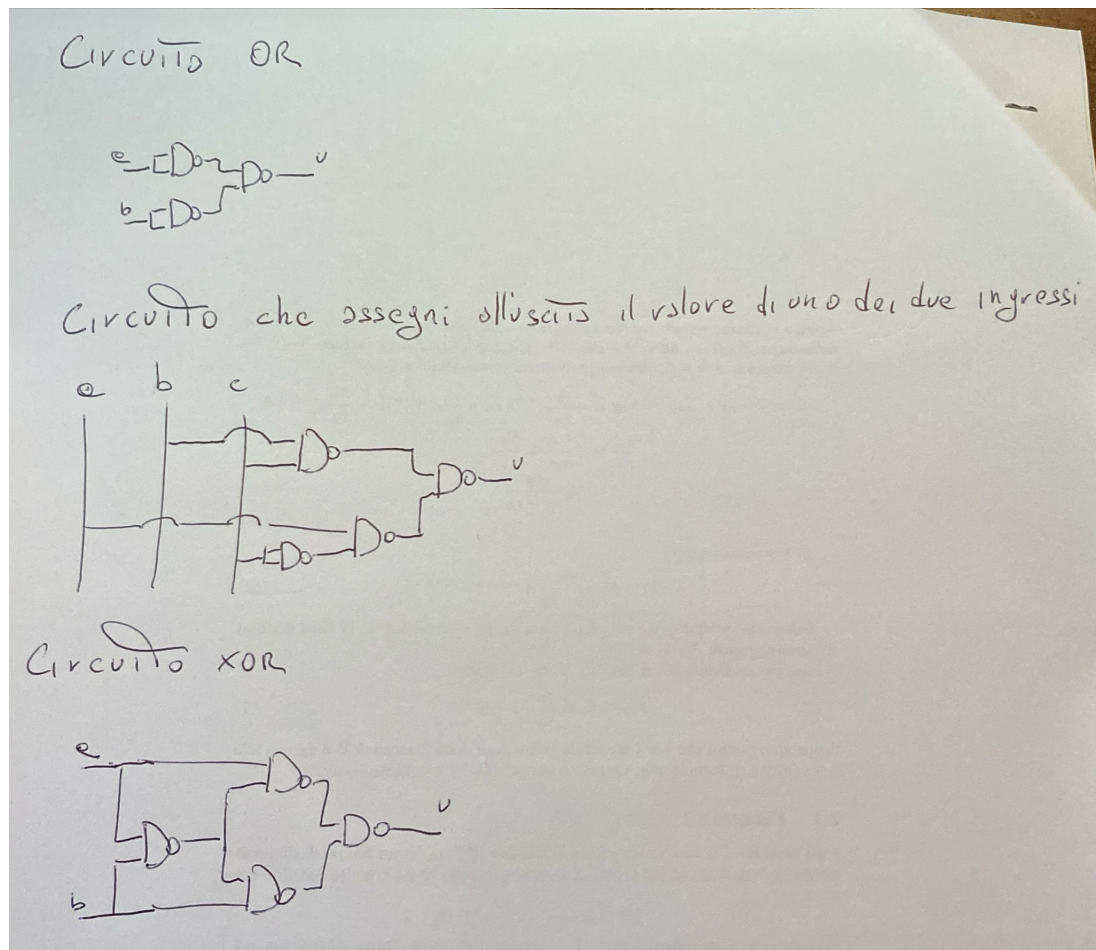


Figura 5: Schema dei circuiti utilizzando solo porte NAND. Il circuito OR si è visto a lezione. Il secondo circuito è quello che si ottiene con la funzione logica  $CB + \bar{C}A$ , dopo aver rimosso eventuali coppie di NOR a cascata. Il terzo è il risultato di una ricerca su internet (quello che si ottiene utilizzando le k-map e rimuovendo coppie di NOR a cascata utilizza 5 NAND, più di quelli che sono a disposizione nell'intergrato).

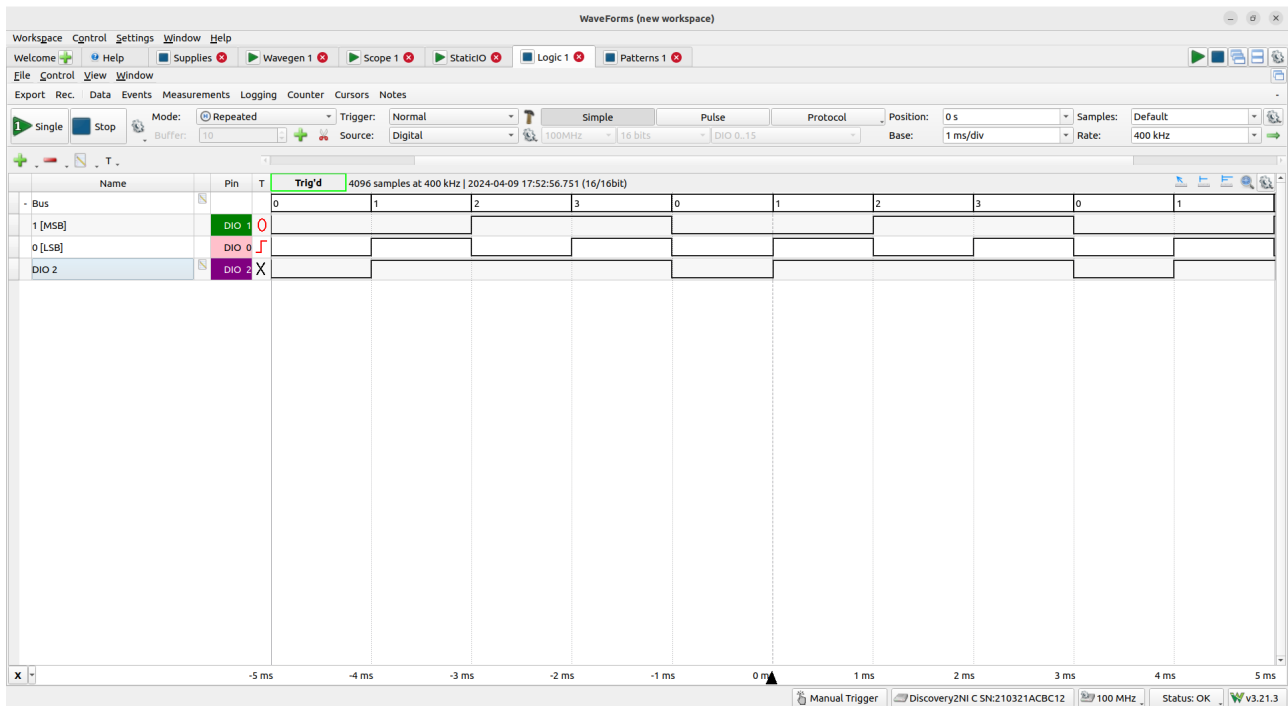


Figura 6: Acquisizione della porta OR costruita con NAND come porta universale (DIO 2 è l'output).

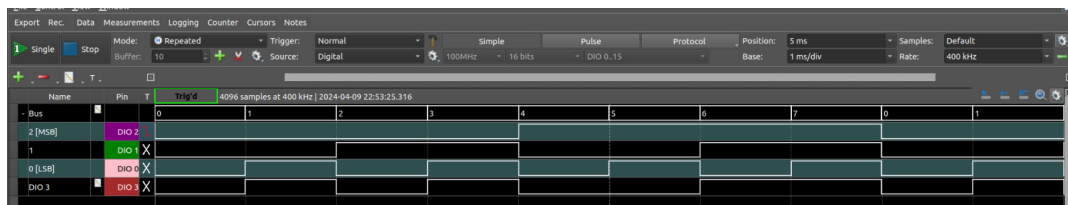


Figura 7: Acquisizione del secondo circuito costruita con NAND come porta universale (DIO 3 è l'output).

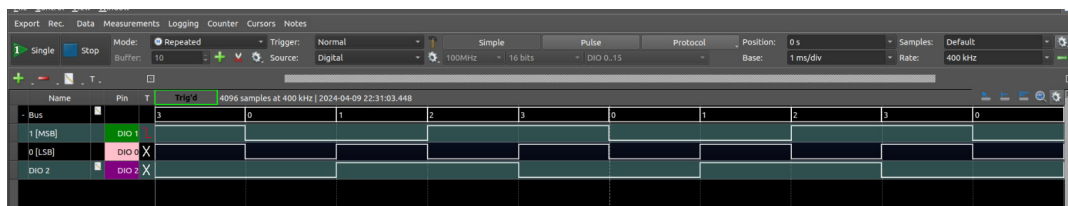


Figura 8: Acquisizione della porta XOR costruita con NAND come porta universale (DIO 2 è l'output).

### 3 Convertitore Gray-Binario

Un convertitore Gray-binario a 4 bit da le seguenti codifiche per 5 valori arbitrari

0000 → 0000

0001 → 0001

0011 → 0010

0010 → 0011

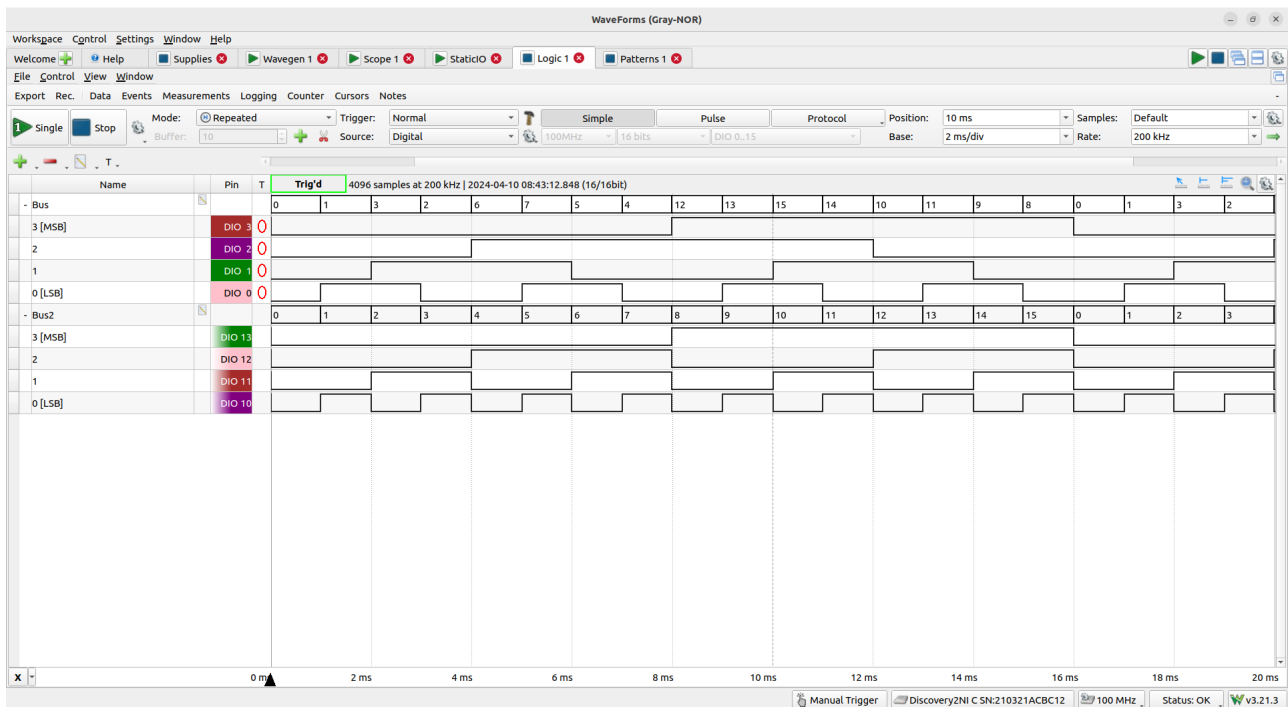


Figura 9: Convertitore Gray-binario, DIO 0-1-2-3 in input e 10-11-12-13 in output. Per i 5 valori arbitrari per cui si è calcolata la conversione si verifica il risultato atteso.

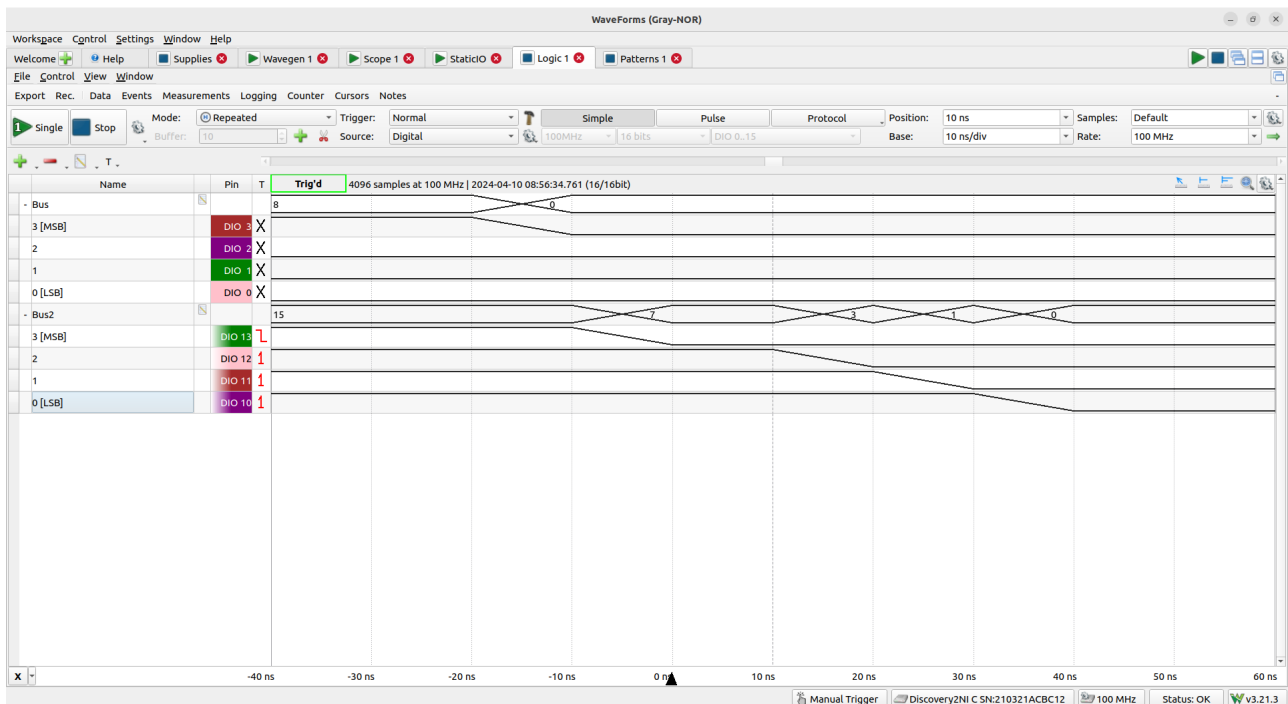


Figura 10: Osservate della transizione in uscita dal numero 15 al numero 0.

$$0110 \rightarrow 0100$$

Nella transizione in uscita dal numero 15 al numero 0 si osserva quanto atteso: l'ultima porta di uscita (DIO 13) è la prima a effettuare il passaggio da segnale alto a basso, mentre le precedenti presentano un ritardo sempre maggiore. Questo ritardo è dovuto al fatto che uno degli ingressi di ciascuna porta XOR dell'integrato (che produce l'output  $B_n$ ) coincide con l'uscita della porta che produce l'output  $B_{n+1}$ . Dunque è naturale che tra l'output  $n + 1$  e  $n$  ci sia un tempo pari al tempo di risposta della porta logica.