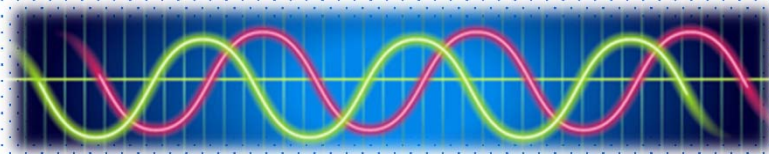


FONDAMENTI DI MISURE

- Conversione A/D e D/A-



Corso di laurea triennale in
Ingegneria dell'Informazione
Prof. Andrea Cataldo



Outline

- CONVERSIONE ANALOGICO-DIGITALE (A/D)
 - Richiami sul campionamento
 - Quantizzazione
 - Parametri principali di un quantizzatore
 - Caratteristica a gradinata
 - Errore di quantizzazione
 - ADC a singola rampa
 - ADC a doppia rampa
- CONVERSIONE DIGITALE-ANALOGICA (D/A)

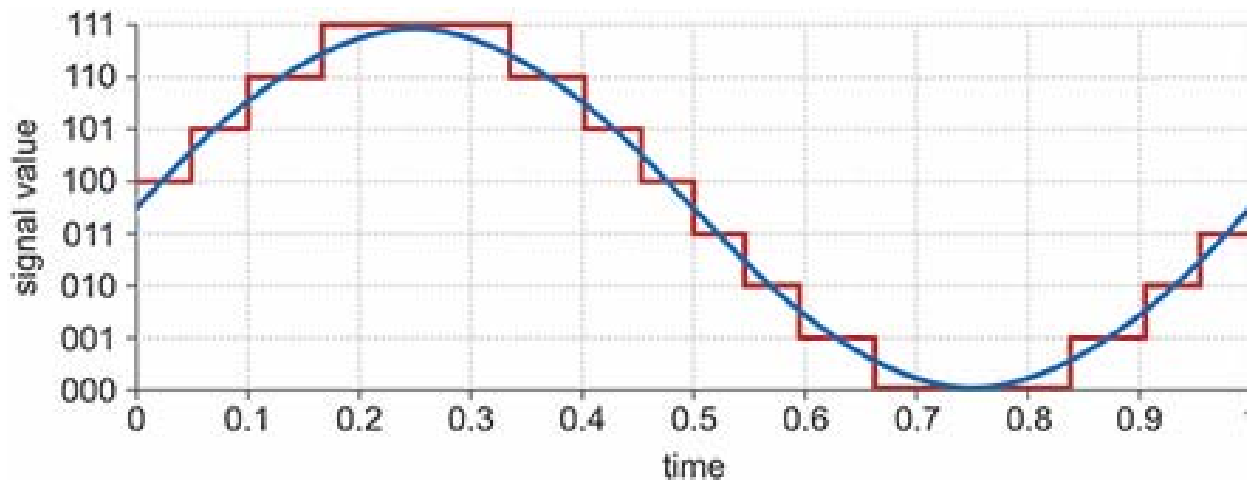




Conversione analogico-digitale

Conversione A/D Richiami

Come visto, la **conversione analogico-digitale (A/D)** consente il passaggio da un segnale analogico ad uno digitale. Una conversione A/D **ideale** permette di trasferire nel segnale digitale tutta l'informazione racchiusa in quello analogico (a meno di errori intrinseci)

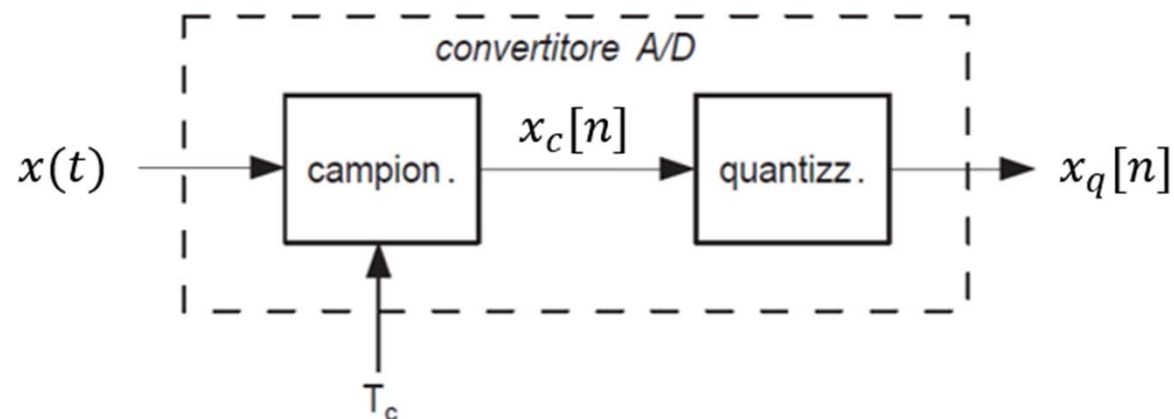


Conversione A/D

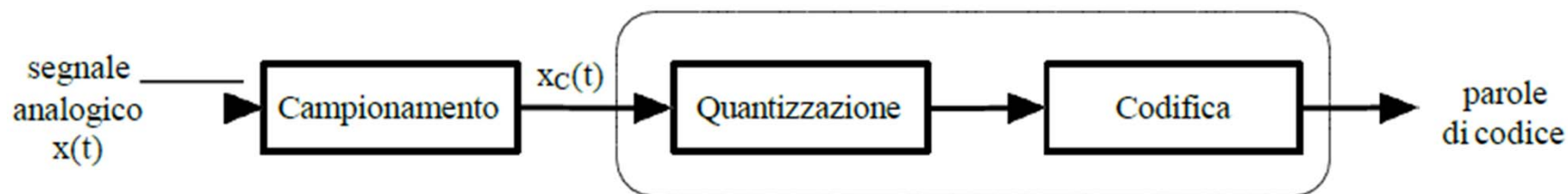
Richiami

La conversione A/D si compone di due operazioni principali distinte:

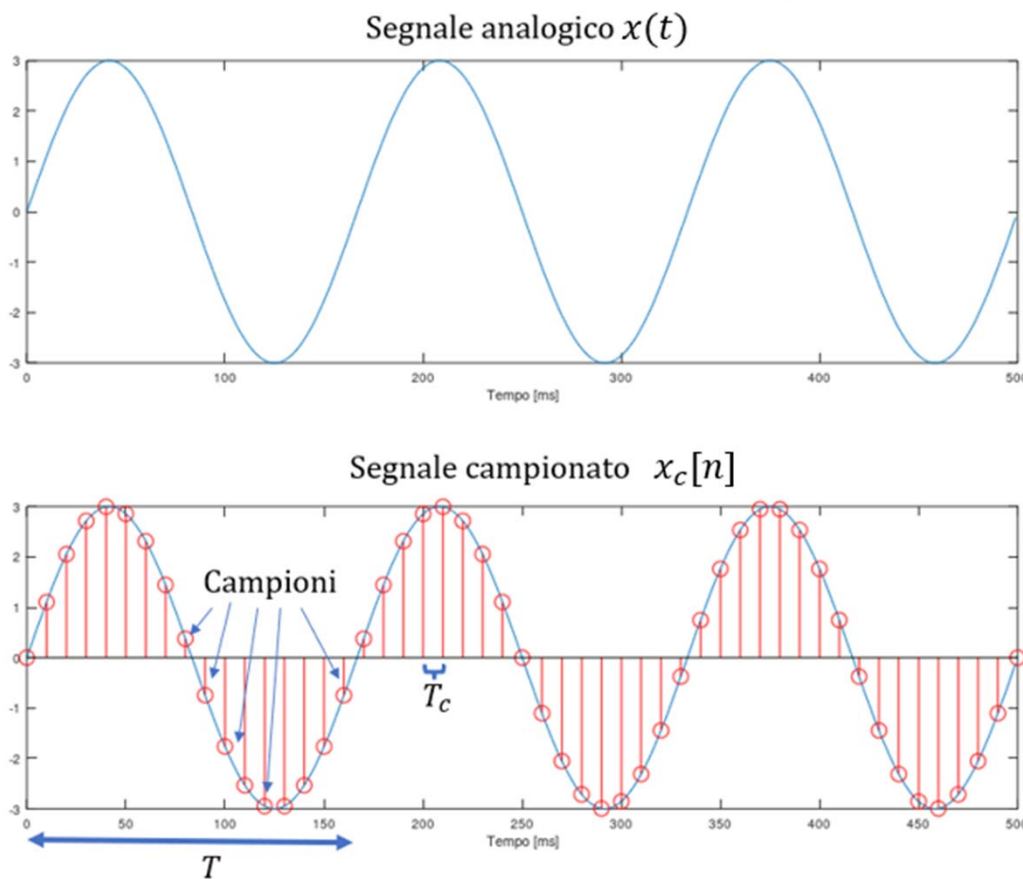
- 1) **campionamento**
- 2) **quantizzazione**



Successivamente vi è un'ulteriore fase chiamata **codifica**, con la quale a ciascuno degli stati discreti viene associato un codice numerico univoco. Lo schema completo è quindi il seguente:



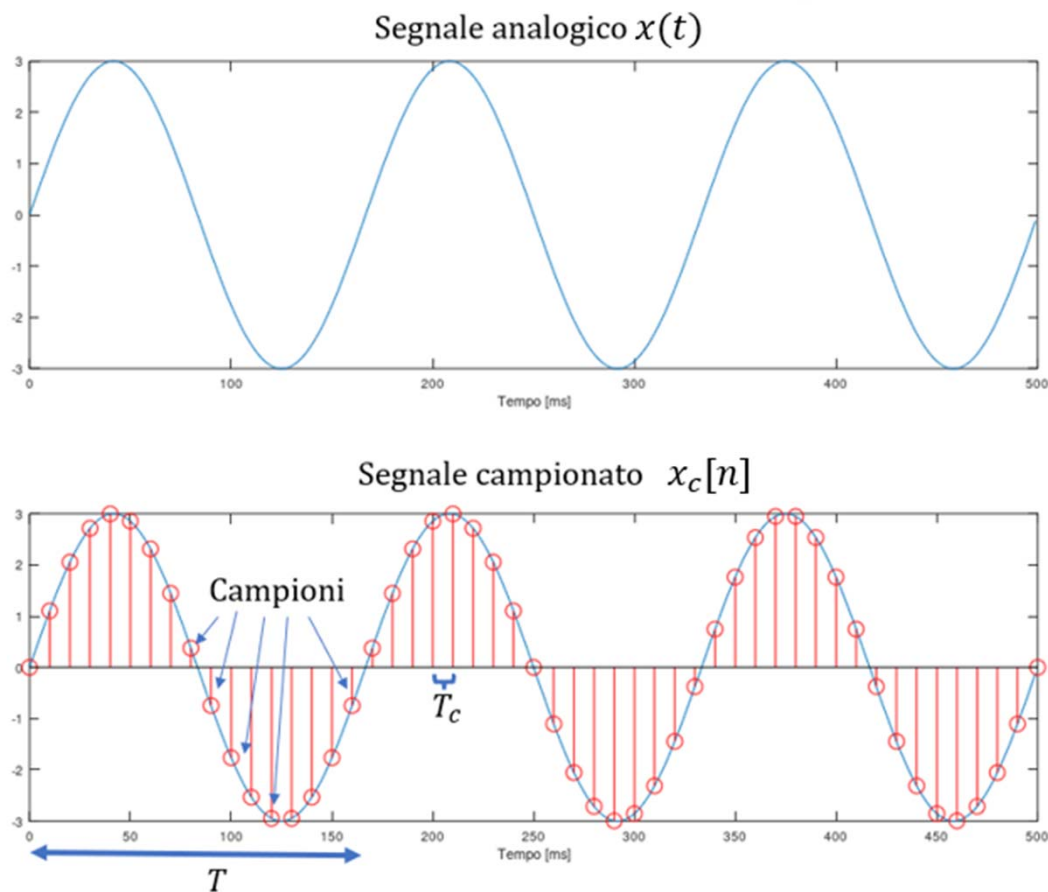
Conversione A/D Richiami



1) Ricordiamo il **CAMPIONAMENTO**: a partire dal segnale analogico $x(t)$ che si intende elaborare, si ottiene il segnale $x_c[n] = x[nT_c]$, prelevando da $x(t)$ i suoi campioni equispaziati nel tempo di una prefissata quantità $T_c \in \mathbb{R}_+$;

- T_c è detto **periodo di campionamento**
- $f_c = 1/T_c$ è detta **frequenza di campionamento**

Conversione A/D Richiami



Poichè $s(t)$ è un segnale ad *ampiezza continua*, il codominio del segnale TD $s_c[n]$ ottenuto a valle del campionamento è generalmente un sottoinsieme continuo di \mathbb{R} .

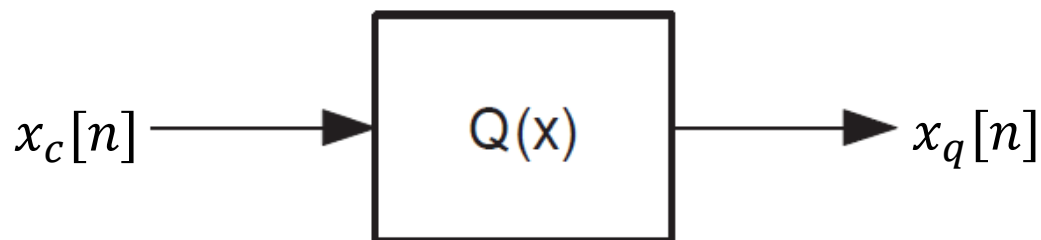
Ciò significa che abbiamo discretizzato l'asse temporale (il segnale può assumere solo determinati valori lungo x ora) ma l'ampiezza associata a tali campioni varia ancora in un insieme continuo

$s_c[n]$ non è ancora un segnale digitale

Quantizzazione

Conversione A/D

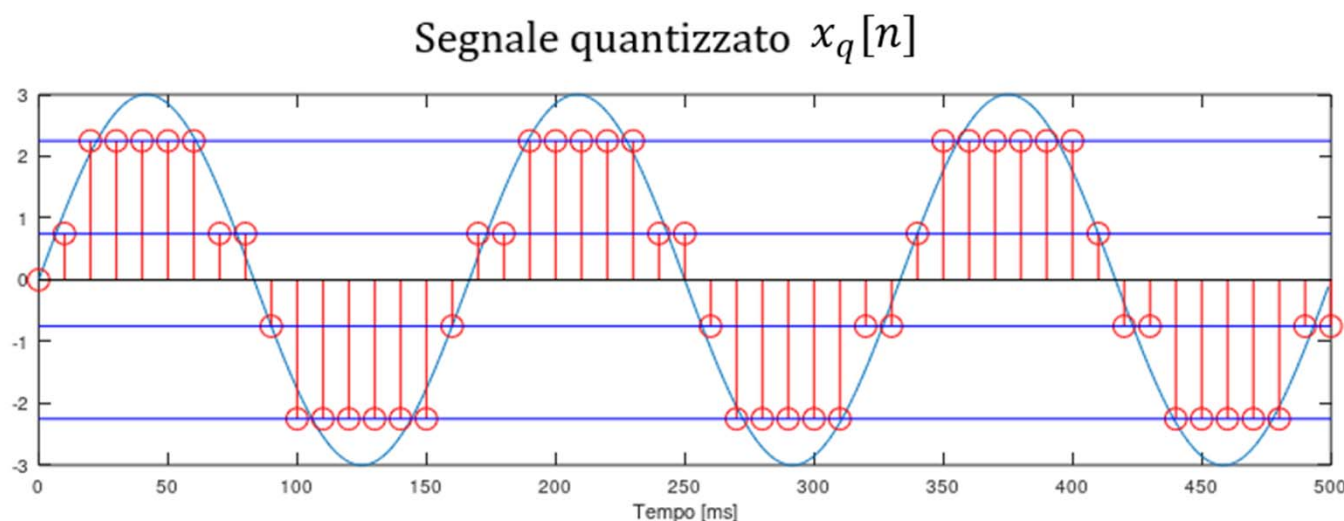
A valle del campionamento, il segnale TD $x_c[n]$ presenterà ampiezze appartenenti in generale ad un insieme continuo di valori, pertanto il segnale $x_c[n]$ non può essere ancora considerato digitale. Per completare allora la conversione A/D del segnale, bisogna discretizzare anche le ampiezze del segnale TD $x_c[n]$. Questa discretizzazione prende il nome di *quantizzazione*, ed il dispositivo che la effettua si chiama quantizzatore.



I convertitori A/D eseguono congiuntamente la *quantizzazione* e la *codifica* (al valore quantizzato si associa un valore numerico).

Conversione A/D

La fase di **quantizzazione** consiste quindi nell'assegnazione, a ciascun **campione analogico**, di un numero finito di livelli di uguale ampiezza, detti **quanti** (da cui la parola *quantizzazione*). L'ampiezza di tali quanti sarà indicata con il simbolo **Q**, per cui a ciascun campione analogico sarà associato un multiplo della quantità **Q**.





Conversione A/D

Parametri fondamentali di un quantizzatore

Detto **n** il **numero di bit** del quantizzatore:

- Il suo **numero di livelli** sarà pari a $M = 2^n$
- L'ingresso analogico può avere un intervallo di variabilità che per ADC unipolari va da 0 a X_{FS} (chiamato **valore di fondoscala**, il quale rappresenta il multiplo più grande della quantità Q). Per ADC bipolare invece la variabilità andrà da $-X_{FS}/2$ a $X_{FS}/2$.
- L'**ampiezza di ogni livello** sarà: $Q = \frac{X_{FS}}{M}$, e costituisce la **risoluzione** del dispositivo

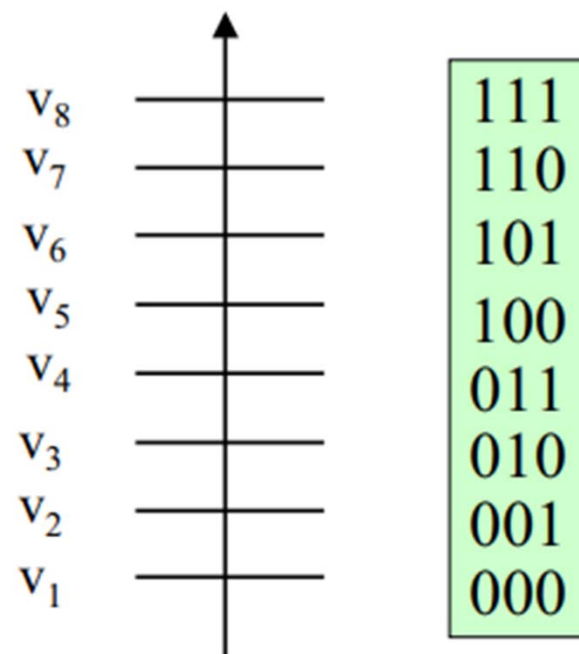


Conversione A/D

Parametri fondamentali di un quantizzatore

- Ad ogni livello si associa un codice di n bit:

Ad esempio, se $n=3$, otteniamo $M=8$ livelli di quantizzazione codificabili con 3 bit



Conversione A/D

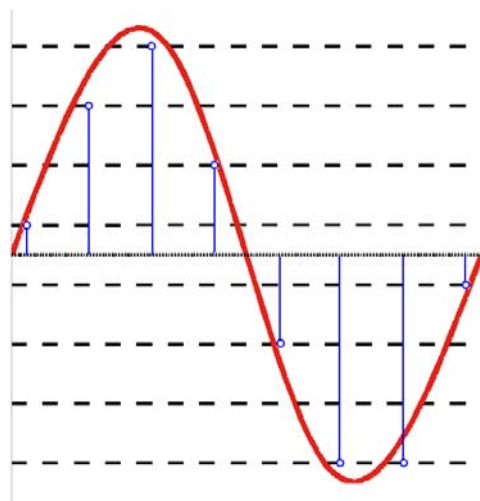
Esempi



11
10
01
00



Risoluzione a 2 bit con quattro livelli di quantizzazione



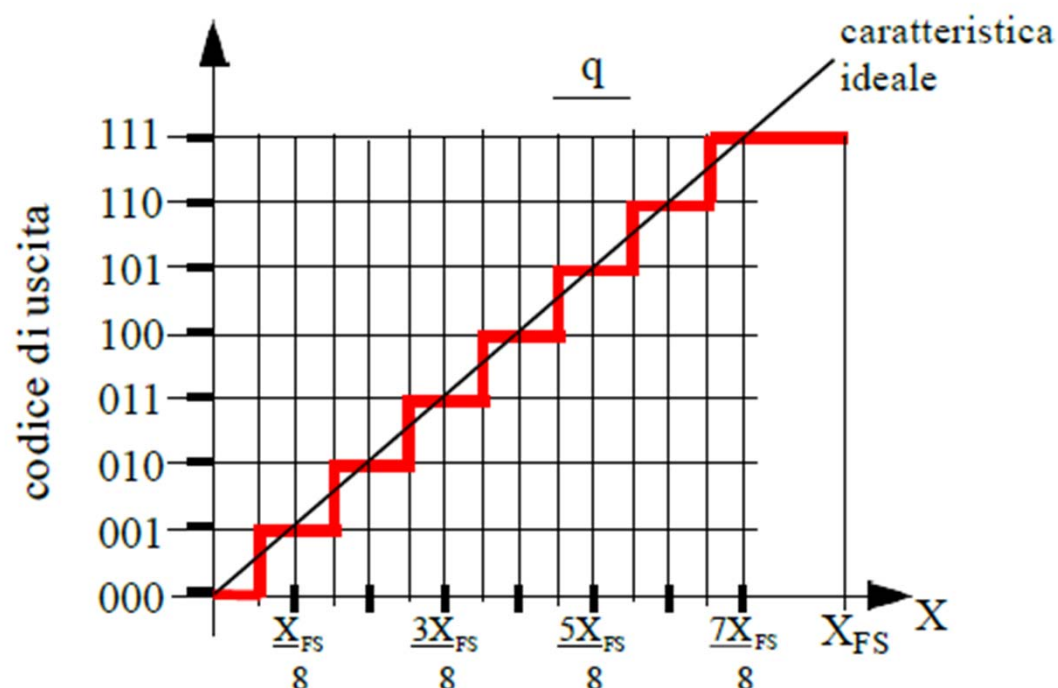
111
110
101
100
011
010
001
000



Risoluzione a 3 bit con otto livelli di quantizzazione

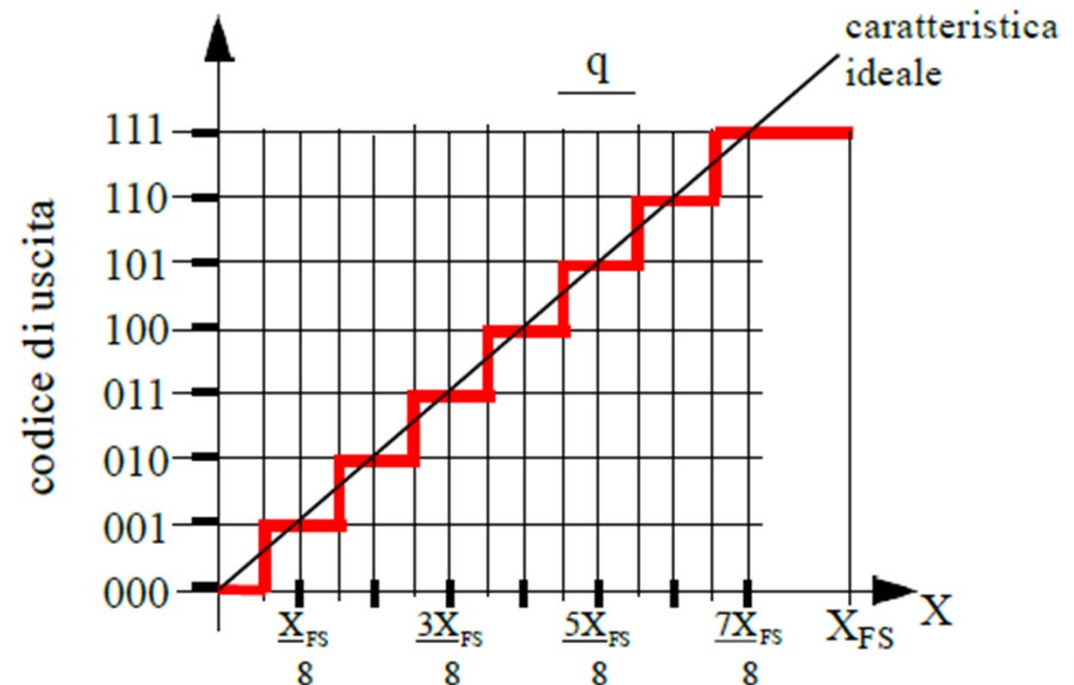
Conversione A/D

- Nel rappresentare in un diagramma cartesiano una **grandezza quantizzata**, si pongono in ascisse i valori del segnale analogico in ingresso e in ordinate le corrispondenti parole di codice.
- A livello puramente ideale, la caratteristica di trasferimento di un convertitore dovrebbe essere una linea retta che congiunge l'origine del piano cartesiano con il punto corrispondente alla massima tensione applicabile in ingresso (ascisse) ed al più elevato stato di uscita digitale (ordinate).
- Al contrario, nel caso reale, essendo finito il numero di stati digitali ottenibili in uscita, non si può che adottare una **caratteristica a scalinata**



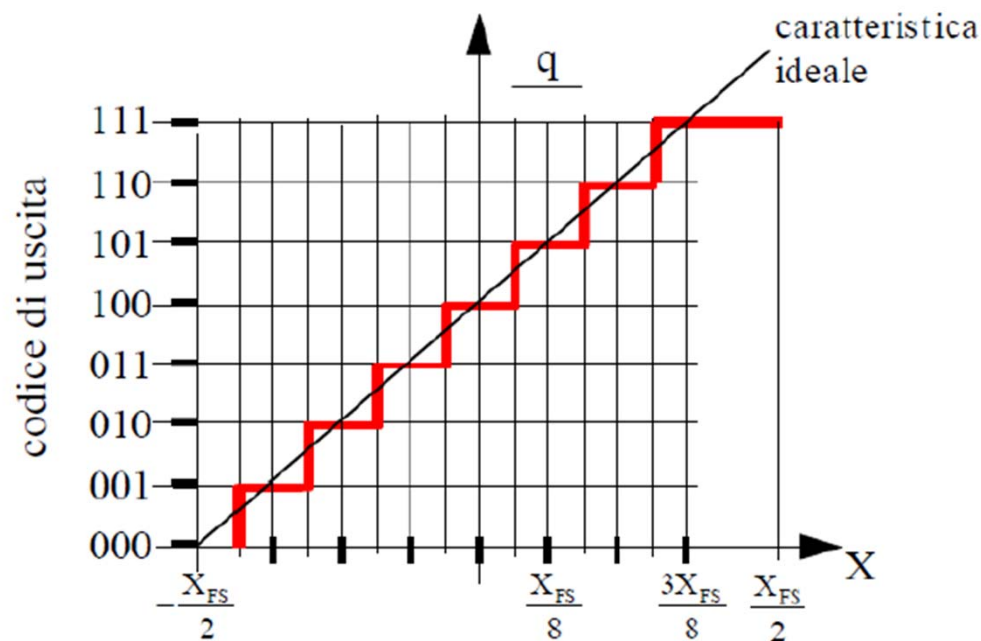
Conversione A/D

- Nell'esempio è riportata la caratteristica di trasferimento a gradinata, detta **ad arrotondamento**, per un ADC a 3 bit di tipo unipolare. I fronti verticali della caratteristica corrispondono ai cosiddetti livelli di soglia, oltre i quali cioè si passa da uno "stato" di uscita al successivo.
- Gli "stati" andrebbero indicati in ordinate, ma si è preferito indicare direttamente le parole binarie corrispondenti, in modo da racchiudere in un unico diagramma le due fasi di quantizzazione e codifica.
- E' anche tracciata la caratteristica ideale del convertitore.



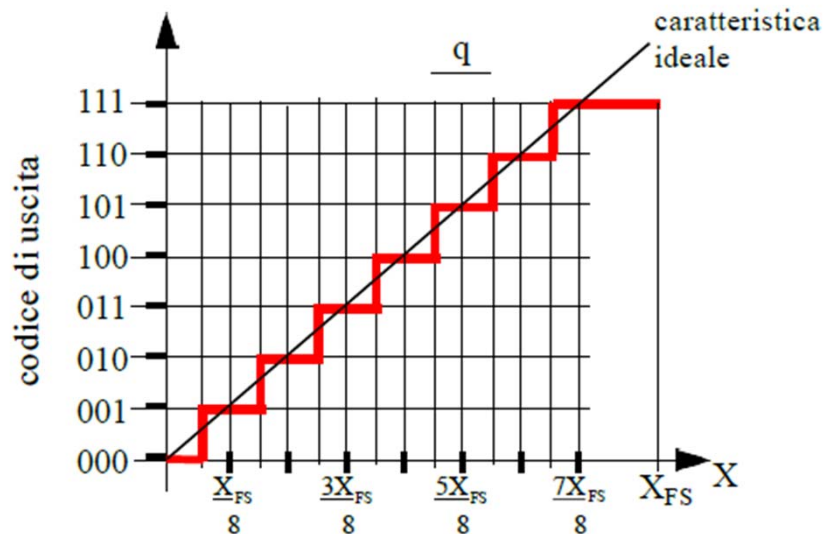
Conversione A/D

Se, invece, l'ADC fosse bipolare, per cui tollerasse in ingresso segnali di polarità sia positiva sia negativa, allora basterebbe traslare la curva verso sinistra e verso il basso, in modo da renderla simmetrica rispetto all'origine:



Conversione A/D

Osservazioni



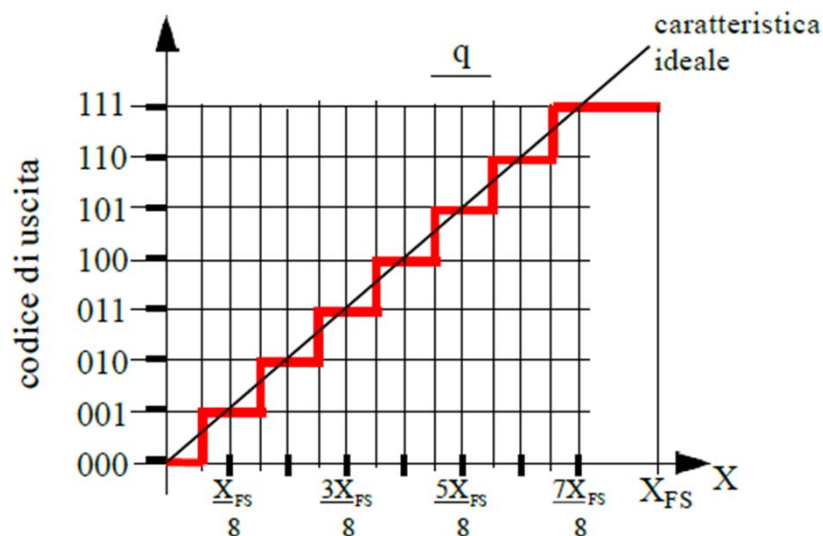
In diagrammi di questo tipo, è interessante notare che, mentre in ordinate sono presenti 2^n possibili stati di uscita, ci sono solo $2^n - 1$ *livelli di decisione analogica* (detti **livelli di soglia** e corrispondenti ai fronti verticali) nella funzione di trasferimento: nel caso dell'ADC a 3 bit, abbiamo per esempio 8 stati digitali ma solo 7 livelli di soglia (corrispondenti ai fronti verticali della “gradinata”). Questa differenza tra “livelli” in ingresso ed in uscita comporta che il valore massimo dell'ingresso analogico sia:

$$X_{MAX} = X_{FS} - Q$$

e cioè inferiore al **valore di fondo scala**, in modo tanto meno marcato quanto migliore (cioè più piccola) è la risoluzione.

Conversione A/D

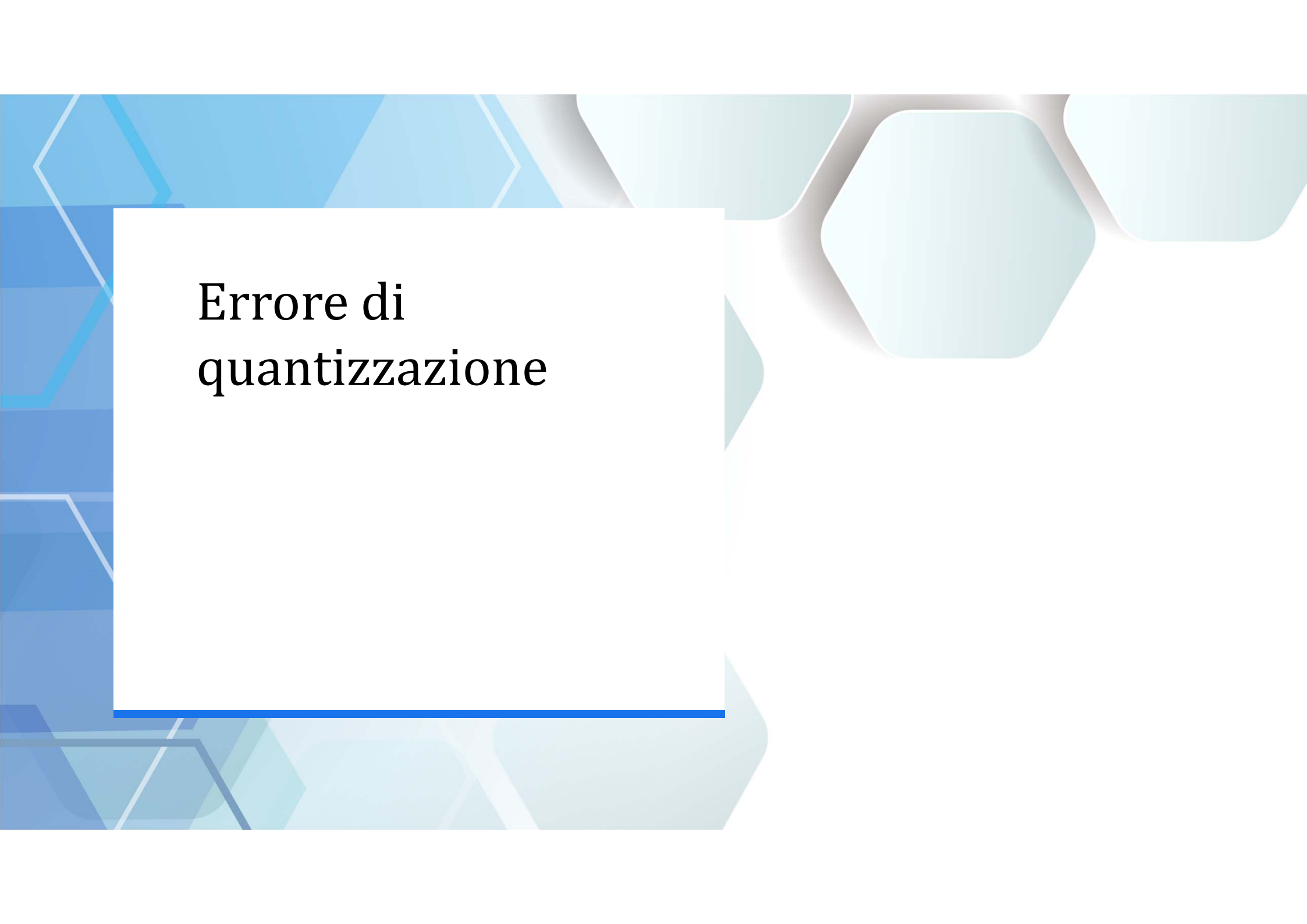
Osservazioni



In realtà, bisogna anche notare come il primo livello di soglia, anziché trovarsi in corrispondenza di $\frac{X_{FS}}{8}$, si trova in corrispondenza di $\frac{X_{FS}}{16}$, che poi corrisponde a $Q/2$. Questa traslazione verso sinistra di $Q/2$ permette, come vedremo a breve, di ridurre l'errore di quantizzazione intrinsecamente presente nel processo di conversione. Dobbiamo allora tenerne conto, andando a correggere le formule proposte poco fa, nel modo seguente:

$$X_{MAX} = X_{FS} - Q - Q/2$$

Notiamo dunque un aumento della differenza tra valore massimo e valore di fondo scala in ingresso, ma la cosa non crea problemi, in quanto di esso si tiene conto nel corso della taratura del dispositivo.



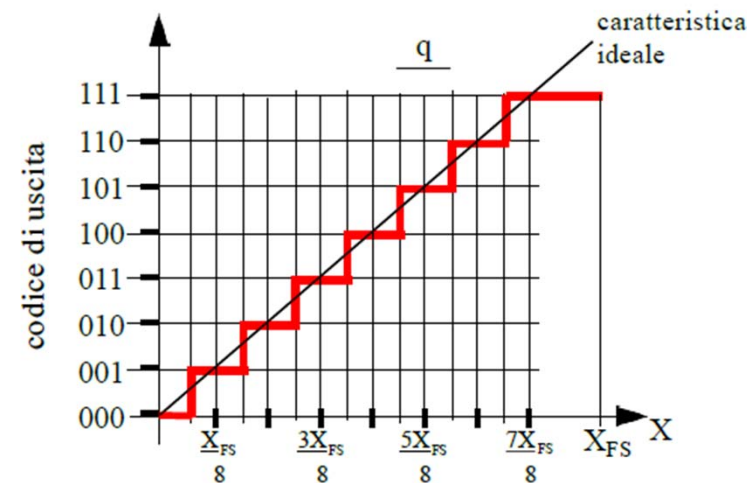
Errore di quantizzazione

Conversione A/D

Poichè viene utilizzata una curva a scalinata, la conversione A/D sarà sempre soggetta ad una perdita di informazione tra i livelli di soglia analogica.

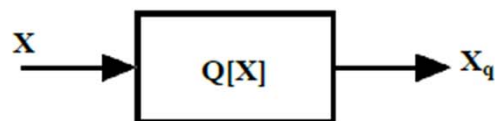
Infatti, un qualsiasi valore analogico X compreso, per esempio, fra $\frac{X_{FS}}{16}$ e $\frac{3X_{FS}}{16}$ sarà convertito sempre nel codice 001, per cui avremo una inevitabile distorsione del segnale in uscita rispetto a quello in ingresso (il discorso vale ovviamente per tutte le soglie).

Questa distorsione prende il nome di **errore di quantizzazione** ed è evidentemente intrinseco alla natura del processo di quantizzazione: esso non è eliminabile in alcun modo, ma solo riducibile.

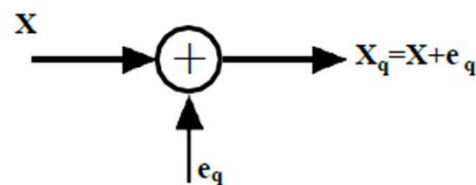


Conversione A/D

Dal punto di vista matematico, questo errore di quantizzazione può essere interpretato semplicemente come un **rumore di quantizzazione** che, dopo il processo di conversione, risulta sommato al segnale utile (cioè al segnale non quantizzato):



Dispositivo fisico



Modello matematico

Questa figura mostra che il segnale X_q in uscita dal quantizzatore è rappresentabile come somma del segnale utile X (uguale a quello in ingresso) e del rumore di quantizzazione e_q (che rende l'uscita inevitabilmente diversa dall'ingresso). Per determinare gli **effetti di quantizzazione** sulle prestazioni di un convertitore A/D, dobbiamo necessariamente adottare un approccio di tipo statistico



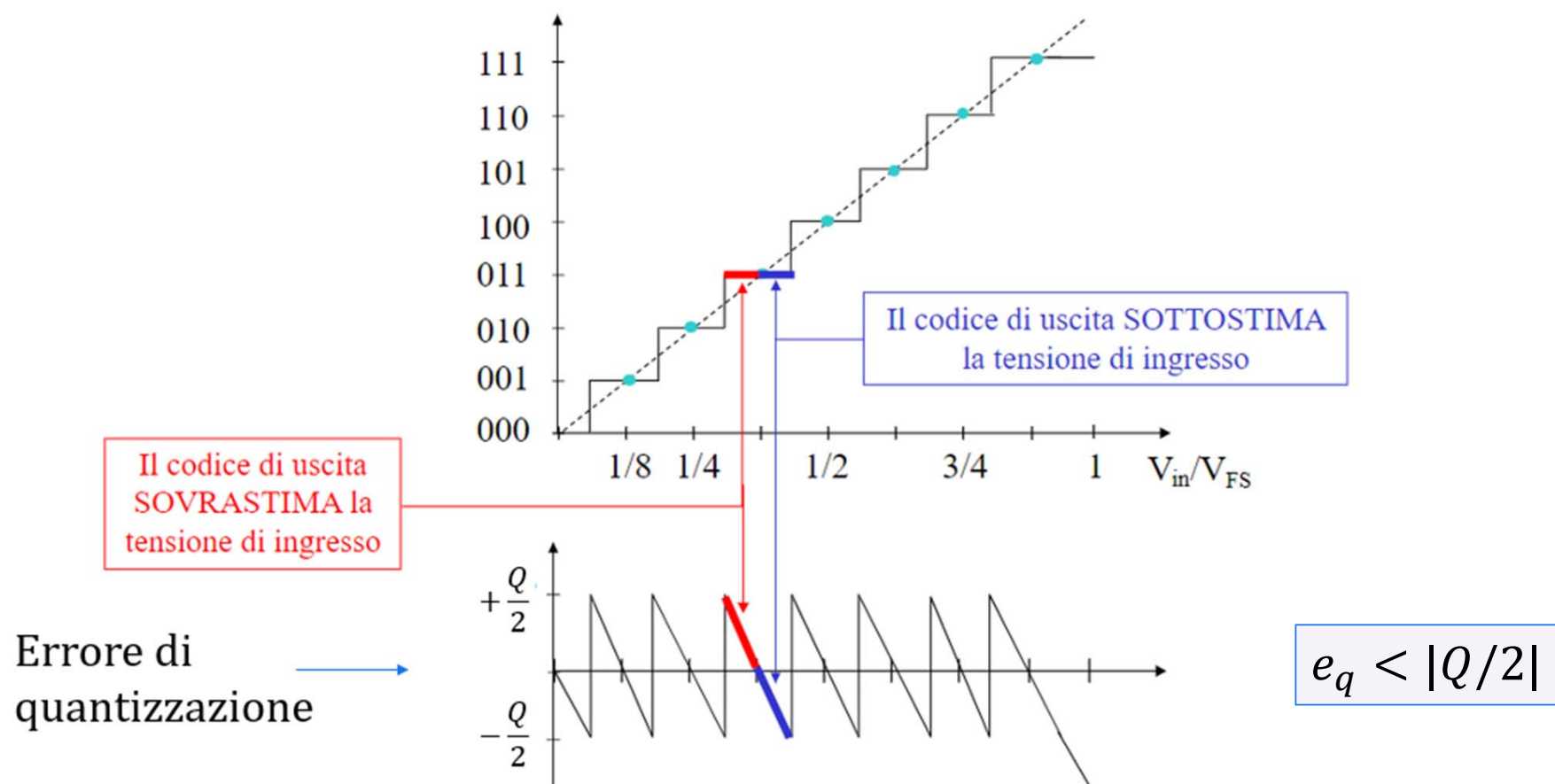
Conversione A/D

L'errore di quantizzazione è necessariamente limitato in ampiezza: per essere precisi, se indichiamo con e_q tale errore, se supponiamo di aver adottato una quantizzazione uniforme (cioè con intervalli di quantizzazione tutti di uguale ampiezza) e se indichiamo con Q l'ampiezza (costante) degli intervalli di quantizzazione, possiamo evidentemente scrivere che:

$$e_q < |Q/2|$$

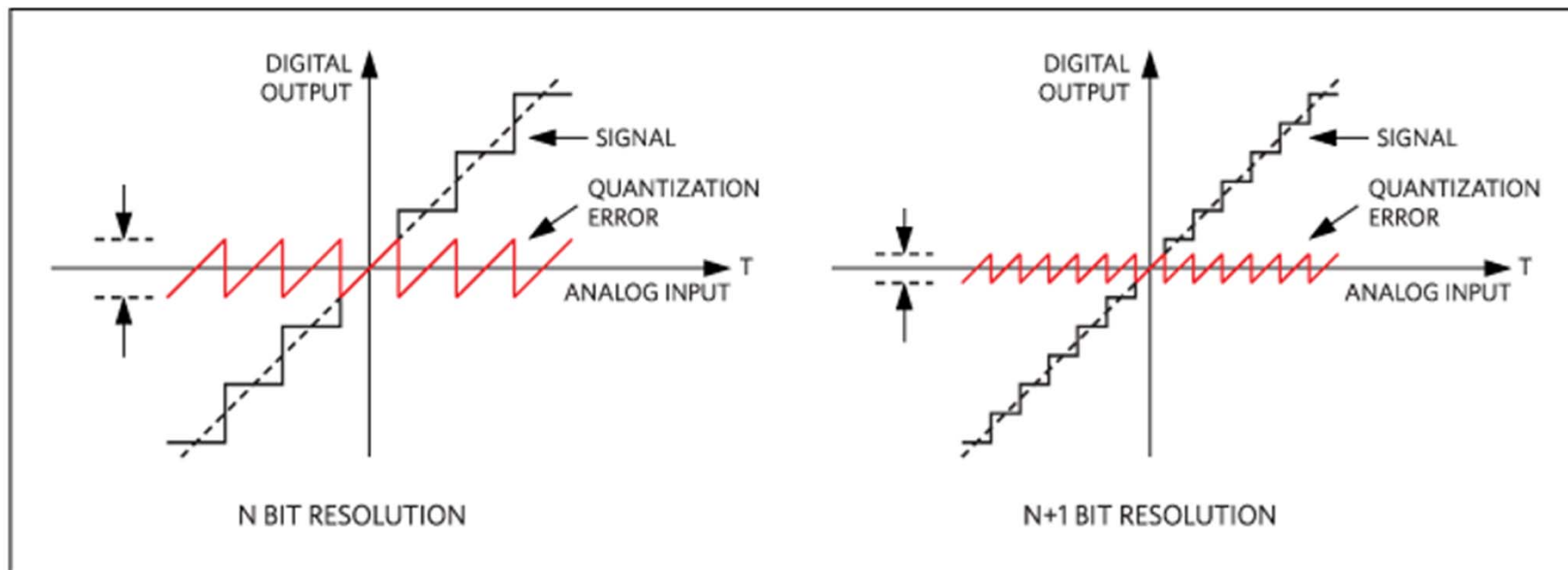


Conversione A/D

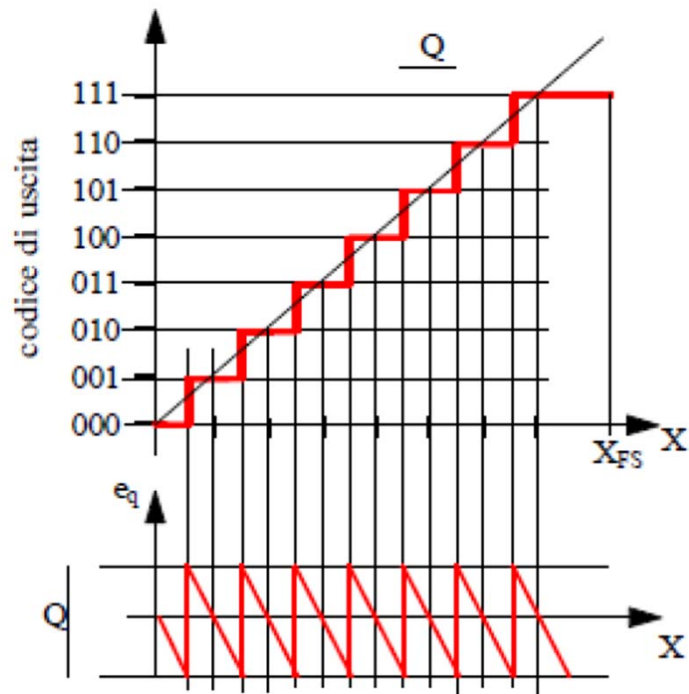


Conversione A/D

Come possiamo vedere, l'errore di quantizzazione diminuisce all'aumentare del numero di bit e quindi della risoluzione



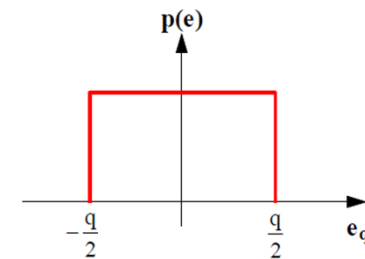
Conversione A/D



$$e_q < |Q/2|$$

L'andamento qui riportato è facilmente comprensibile: ad esempio, per valori di x inferiori al primo livello di soglia ($x_{FS}/16$), la configurazione binaria associata è 000, per cui l'errore di quantizzazione è chiaramente negativo e crescente in modulo fin quando x giunge proprio alla soglia **ed è invece nullo nei punti di intersezione fra caratteristica ideale e reale**.

Inoltre, possiamo ritenere, che l'errore di quantizzazione sia uniformemente distribuito nell'intervallo $[-Q/2, Q/2]$; ciò significa che, in tale intervallo, risulta uniformemente distribuita la funzione *densità di probabilità dell'ampiezza dell'errore di quantizzazione*.






Conversione A/D

Sotto opportune ipotesi, l'effetto del rumore e_q , che si somma al segnale può essere notoriamente quantificato tramite il rapporto segnale/rumore, eventualmente espresso in unità logaritmiche:

$$SQNR = \left. \frac{S}{N} \right|_{dB} = 10 \log_{10} \frac{S}{N} = 10 \log_{10} \frac{P_x}{P_N}$$

In questa relazione, SQNR sta per Signal-to-Quantization Noise Ratio e corrisponde appunto al rapporto tra la potenza P_x del segnale e la potenza P_N del rumore di quantizzazione. Avendo a che fare con segnali aleatori, sappiamo che tali potenze vanno misurate in termini di errore quadratico medio, ossia di varianza:

$$SQNR = 10 \log_{10} \frac{\sigma_x^2}{\sigma_N^2}$$





Conversione A/D

A questo punto, mentre la potenza del segnale utile X deve essere valutata caso per caso, possiamo dire qualcosa in più a proposito del rumore: abbiamo infatti supposto che la sua densità di probabilità sia uniformemente distribuita nell'intervallo $[-Q/2; Q/2]$: applicando allora la definizione di valore quadratico medio e considerando che si suppone anche che il processo di rumore sia a media nulla, possiamo scrivere che:

$$\sigma_N^2 = \int_{-Q/2}^{Q/2} e^2 p(e) de = \frac{1}{Q} \int_{-Q/2}^{Q/2} e^2 de = \frac{Q^2}{12}$$

Abbiamo dunque trovato il noto valore $\frac{Q^2}{12}$ della potenza del rumore di quantizzazione, valido per una quantizzazione uniforme e per una $p(e)$ uniformemente distribuita.





Conversione A/D

E' opportuno notare che per un ingresso sinusoidale che stimoli a piena scala il quantizzatore valgono le relazioni:

$$\sigma_x^2 = \frac{1}{2} \left(\frac{X_{FS}}{2} \right)^2 \quad \text{potenza del segnale}$$

$$\sigma_{e_q}^2 = \frac{Q^2}{12} = \frac{1}{12} \left(\frac{X_{FS}}{2^N} \right)^2 \quad \text{varianza del rumore di quantizzazione (uniforme)}$$

Il rapporto segnale-rumore massimo, che coincide con il range dinamico (DR) dell'ADC espresso in dB, è dato da:

$$SNR_{MAX} \equiv DR = 10 \log_{10} \left(\frac{\sigma_x^2}{\sigma_e^2} \right) = 10 \log_{10} \left(\frac{\frac{1}{2} \left(\frac{V_{FSR}}{2} \right)^2}{\frac{1}{12} \left(\frac{V_{FSR}}{2^N} \right)^2} \right) = 10 \log_{10} \left(\frac{3}{2} \cdot 2^{2N} \right) = 6.02 \cdot N + 1.76 \text{ [dB]}$$

Questa relazione consente di ricavare la risoluzione dell'ADC a partire dallo SNR massimo e ci consentirà di ottenere anche un fondamentale parametro degli ADC reali: l'ENOB (Effective Number Of Bits)

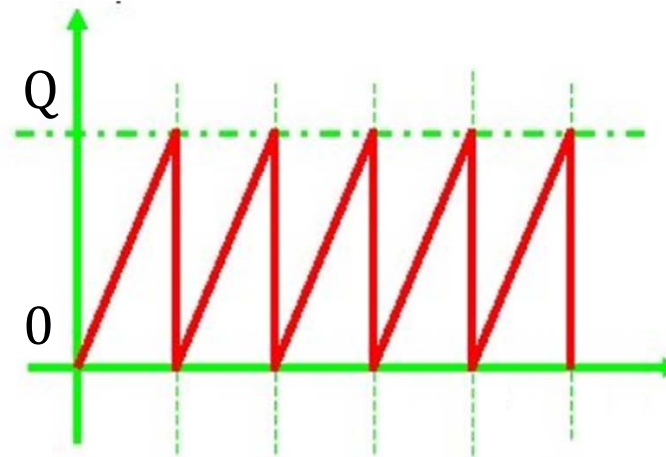
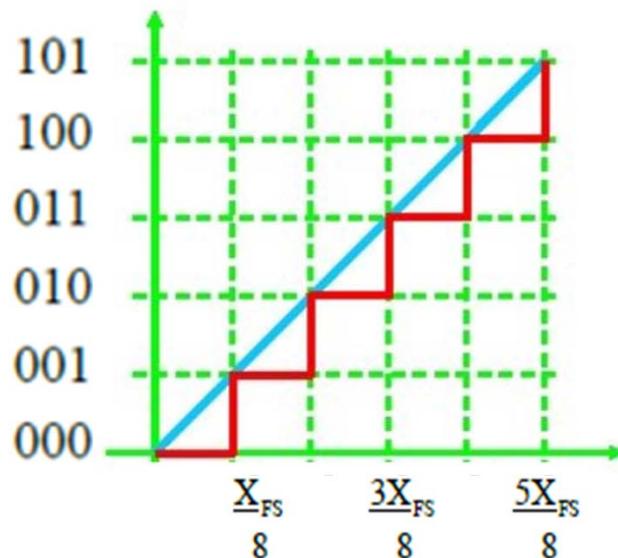
--



Conversione A/D

La scelta della **caratteristica ad arrotondamento** prima considerata, la quale taglia a metà la retta di interpolazione, determina uno shift a sinistra di una quantità $Q/2$ che permette di minimizzare l'errore di quantizzazione, che abbiamo visto essere: $e_q < |Q/2|$.

Se invece avessimo adottato la **caratteristica a troncamento**, senza lo shift a sinistra di $Q/2$, l'errore di quantizzazione sarebbe stato più grande e pari a $e < |Q|$.



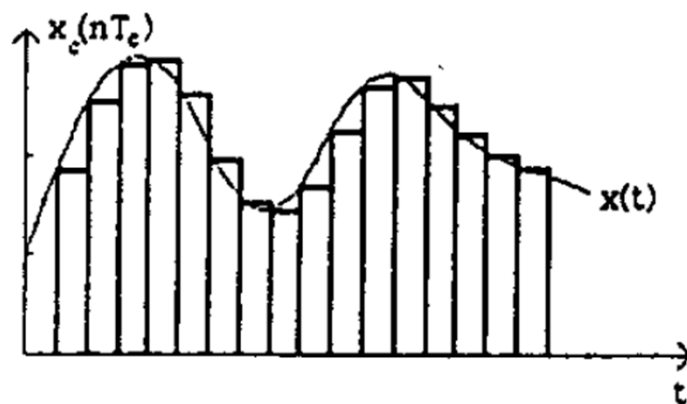
$$X_{MAX} = X_{FS} - Q$$



Tipologie di convertitori A/D

Conversione A/D

Analizziamo adesso alcuni importanti circuiti usati per una conversione analogico-digitale. Il segnale in ingresso a questi dispositivi è del tipo in uscita da un S/H (dispositivo a campionamento e tenuta), ossia una successione di impulsi rettangolari affiancati del tipo seguente:



Lo scopo degli ADC è quello di convertire ciascuna ampiezza dei vari rettangoli in un numero finito e discreto di livelli (o stati). Quindi in corrispondenza di un determinato valore V_X , avremo in uscita un numero N di livelli ad esso proporzionale:

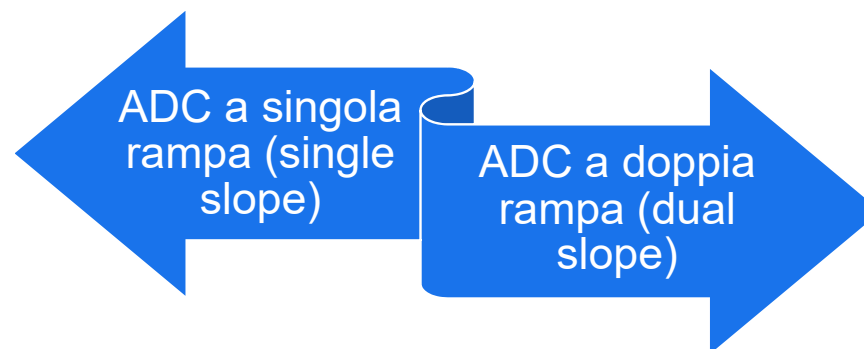
$$V_X = \text{cost} \cdot N$$

Conversione A/D

Per descrivere il funzionamento di un ADC, ricordiamo innanzitutto che grazie al S/H il segnale è tenuto praticamente costante durante il tempo di campionamento (indicheremo il campione sempre con V_X).

Esiste una tipologia particolare di ADC, detti **ADC a rampa**, in cui la conversione si basa sul fatto di contare, durante il tempo di conversione, quanti impulsi sono stati prodotti da un apposito generatore: il numero N di impulsi contati corrisponde al numero di livelli da associare all'ampiezza del *rettangolo* in esame. Per questo motivo, gli ADC a rampa rientrano nella categoria di convertitori **tensione-tempo**.

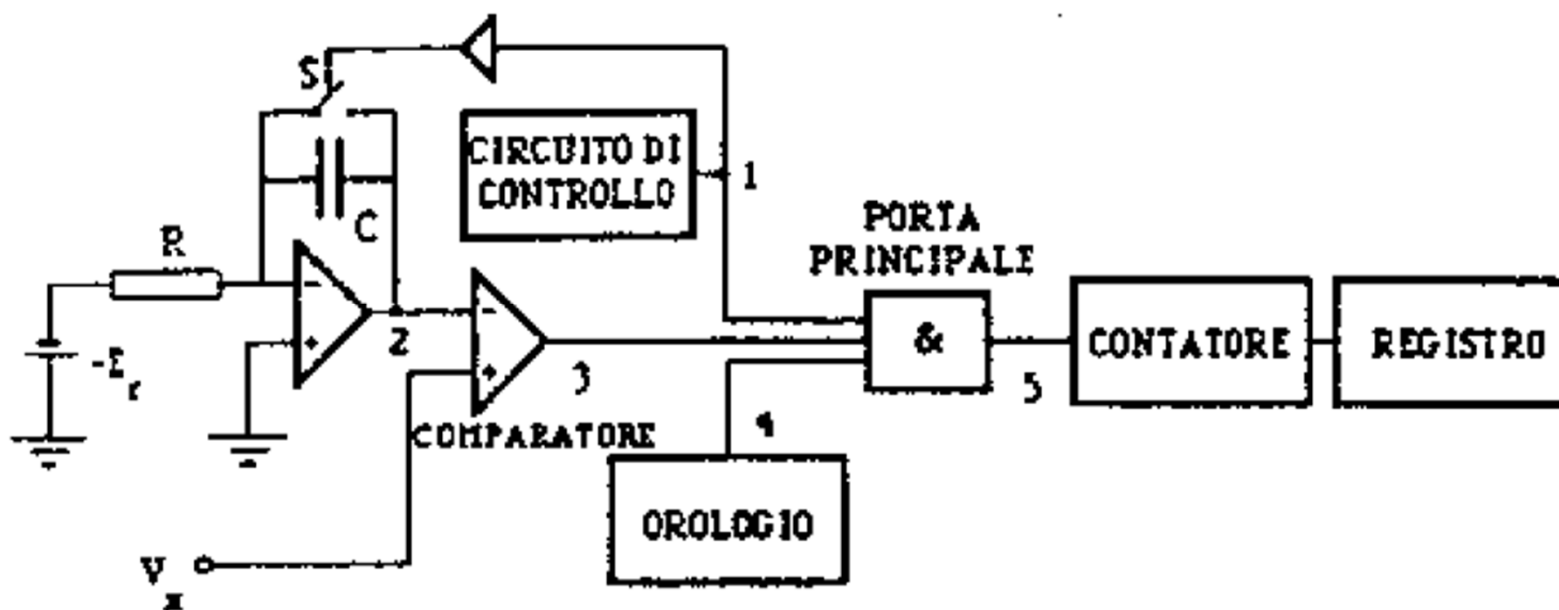
Quali possibili esempi di convertitori ADC:



Conversione A/D

Architettura a singola rampa (single slope)

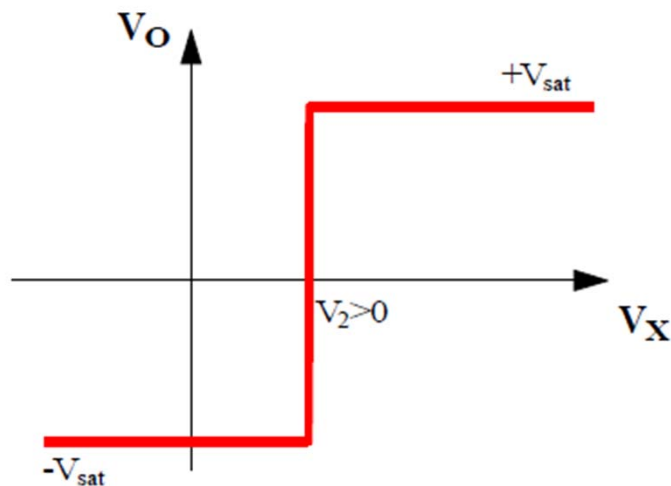
Il più semplice ADC a rampa è quello detto a singola rampa, di cui la figura seguente riporta una schematizzazione, nell'ipotesi che il segnale in ingresso possa essere solo positivo:



Conversione A/D

Architettura a singola rampa (single slope)

Il segnale continuo in ingresso è rappresentato dalla tensione V_x portata sul morsetto non invertente di un circuito comparatore realizzato mediante un op-amp. Il funzionamento di questo circuito è noto ed è descritto dalla seguente caratteristica, tracciata nell'ipotesi che la tensione sul morsetto invertente (indicata con V_2) sia anch'essa sempre positiva:

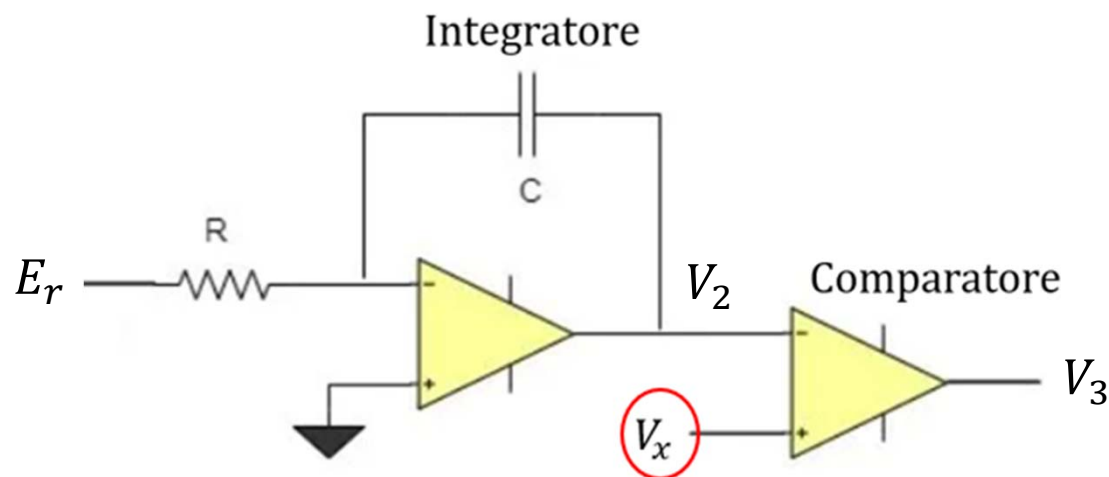


In base a questa caratteristica, il comparatore si mantiene nello stato logico 1 ($V_o = +V_{sat}$) fin quando la tensione V_x risulta superiore alla tensione V_2 , mentre invece commuta nello stato logico 0 ($V_o = -V_{sat}$) quando risulta $V_x \leq V_2$

Conversione A/D

Architettura a singola rampa (single slope)

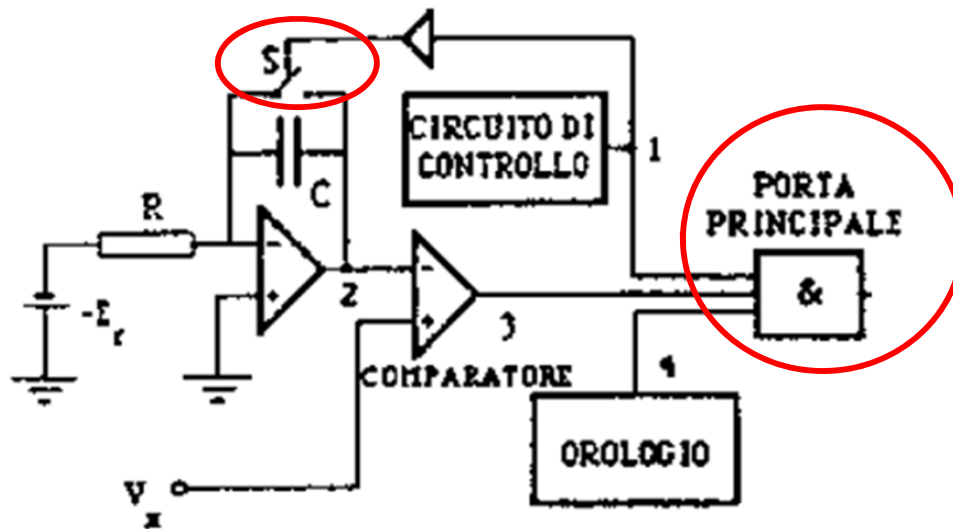
- Il segnale V_2 , applicato al morsetto invertente del comparatore è un segnale a rampa, generato dal circuito integratore realizzato anch'esso tramite un opamp: questo circuito riceve in ingresso un segnale continuo E_r , producendo in uscita la rampa lineare, generata ad intervalli regolari di tempo, in corrispondenza di ogni conversione.



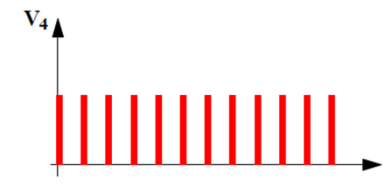
Conversione A/D

Architettura a singola rampa (single slope)

- Sempre nell'ambito dell'integratore, è presente un **interruttore elettronico S**, il quale si apre quando inizia la rampa: questa apertura viene rilevata dal circuito di controllo, il quale, nell'istante di apertura, consente l'inizio del conteggio, cioè la fase di conversione vera e propria.



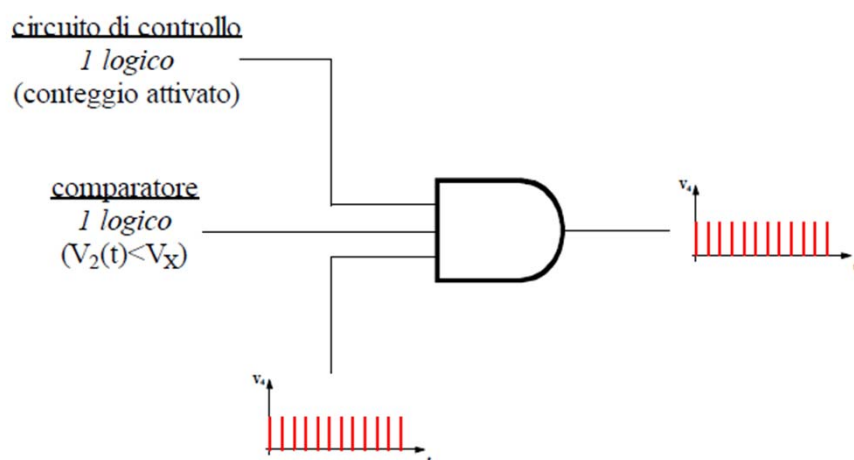
E' presente inoltre una **porta AND a 3 ingressi**: gli ingressi sono il segnale di uscita dal comparatore (che quindi può essere, dal punto di vista logico, solo 0 o 1), il segnale proveniente dal circuito di controllo (che vale 1 quando è attivato il conteggio e 0 altrimenti) ed il segnale proveniente da un clock (orologio), ovvero un treno di impulsi ideali a frequenza fissa f_0



Conversione A/D

Architettura a singola rampa (single slope)

Ogni impulso corrisponde ad un 1 logico in ingresso alla porta AND. Il funzionamento è il seguente: nell'istante in cui parte la rampa V_2 , il circuito di controllo abilita il conteggio, inviando un 1 logico al primo ingresso della porta AND; fin quando la rampa V_2 non raggiunge il valore V_x in ingresso, anche l'uscita del comparatore è all'1 logico; di conseguenza, la sequenza di impulsi porta alternativamente ad 1 ed a 0 l'uscita della porta AND:



In questa situazione, il contatore a valle della porta AND può dunque **contare il numero di impulsi che attraversano la porta**. Questo conteggio prosegue fin quando la rampa $V_2(t)$ non raggiunge il valore di V_x ; quando questo accade, il comparatore commuta allo 0 logico, per cui la porta AND commuta anch'essa allo 0 logico e quindi termina il conteggio degli impulsi.

Conversione A/D

Architettura a singola rampa (single slope)

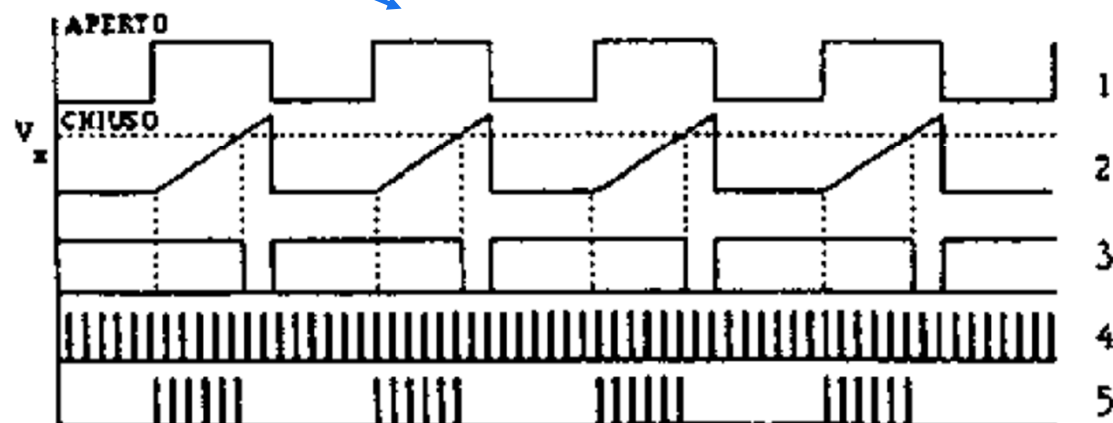
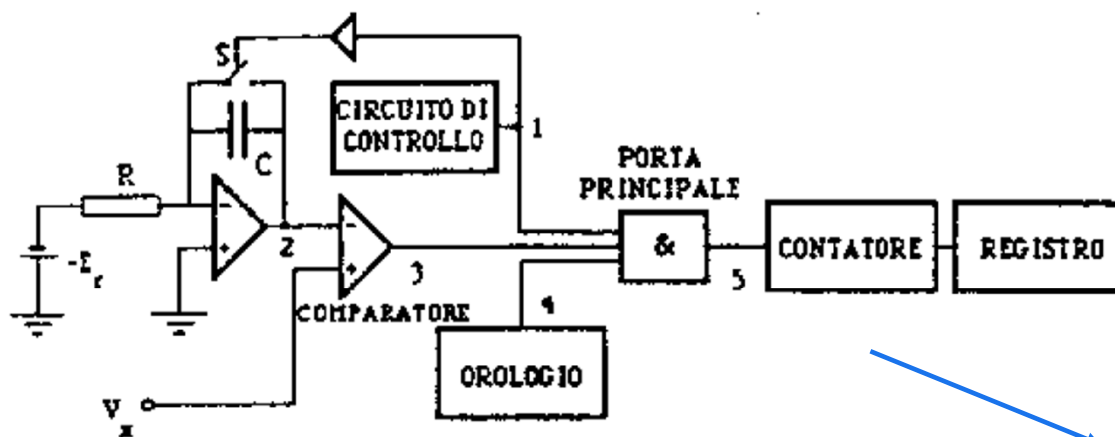


Diagramma temporale in cui vengono riportate le tensioni in alcuni punti importanti del circuito appena descritto

Conversione A/D

Architettura a singola rampa (single slope)

Possiamo adesso verificare a livello analitico il funzionamento dell'ADC appena descritto. Se f_0 è la frequenza di ripetizione degli impulsi forniti dal clock, la loro distanza temporale è $T_0 = \frac{1}{f_0}$; allora se il conteggio avviene durante un tempo t_c (detto appunto tempo di conteggio), il numero di impulsi contati in questo tempo è:

$$N = \frac{t_c}{T_0} = t_c f_0$$

Vediamo allora quanto dura t_c . Esso è evidentemente il tempo necessario affinché la rampa $V_2(t)$ eguagli il valore di V_x ; considerando che tale rampa è:

$$V_2(t) = \frac{1}{RC} \int_0^{t_c} E_r dt = \frac{1}{RC} E_r t_c$$


Possiamo scrivere che t_c è quel tempo necessario affinché si verifichi l'uguaglianza:

$$V_x = \frac{1}{RC} E_r t_c = \frac{1}{RC} E_r \frac{N}{f_0}$$



Conversione A/D

Architettura a singola rampa (single slope)

- Dalla relazione precedente risulta evidente la proporzione diretta tra il valore della tensione analogica V_x in ingresso ed il numero N di impulsi contati: questa proporzionalità fornisce la possibilità di convertire V_x da valore analogico in corrispondente valore digitale.
 - Il coefficiente di proporzionalità è $\frac{E_r}{RC}$ e corrisponde evidentemente alla pendenza della rampa $V_2(t)$.
 - Il numero N è quello fornito dal contatore posto a valle della porta AND; al termine di ciascun conteggio, questo numero viene memorizzato nell'apposito **registro**, per la successiva codifica ed elaborazione oppure semplicemente per la presentazione su un visualizzatore.
- 



Conversione A/D

Architettura a singola rampa (single slope)

Svantaggi

- In primo luogo, la pendenza $\frac{E_r}{RC}$ della rampa $V_2(t)$ dipende da R, C ed E_r e questi parametri (specialmente R e C) sono variabili sia con il tempo di utilizzo sia con la temperatura.
- In secondo luogo, la tensione da convertire è applicata direttamente all'ingresso del convertitore, senza un preventivo filtraggio

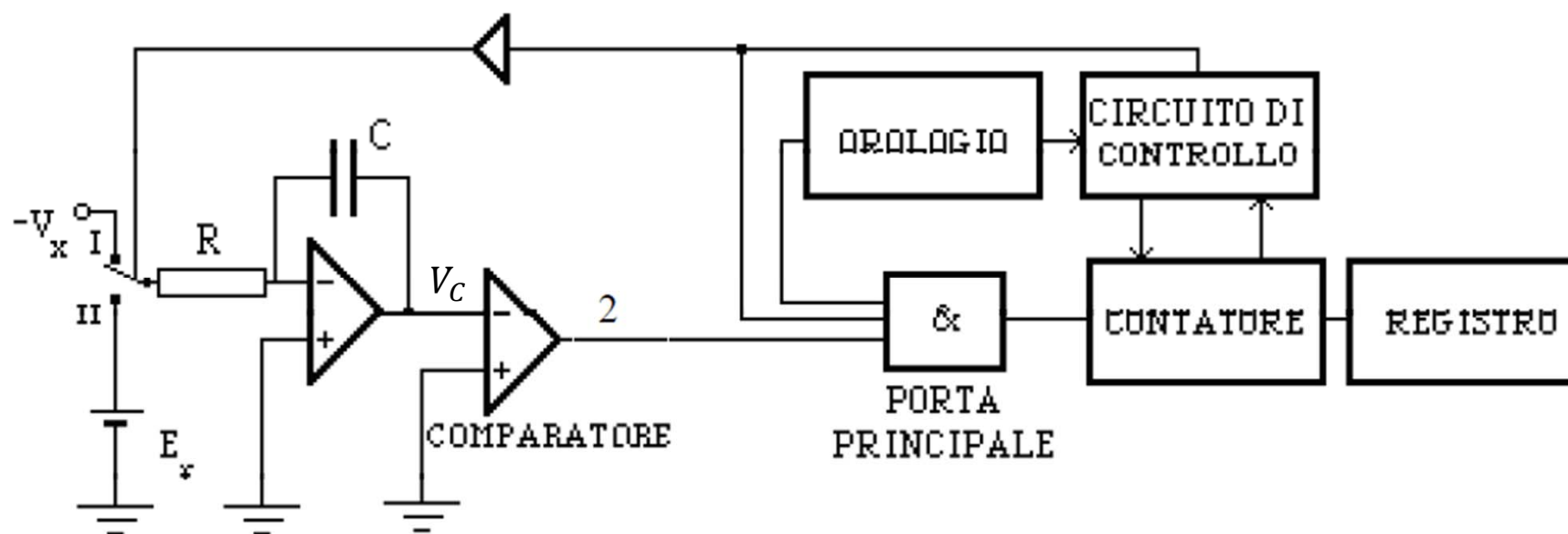
Per risolvere tali problemi si utilizza l'ADC a **doppia rampa** ->



Conversione A/D

Architettura a doppia rampa (dual slope)

Lo schema a blocchi di riferimento è il seguente:






Conversione A/D

Architettura a doppia rampa (dual slope)

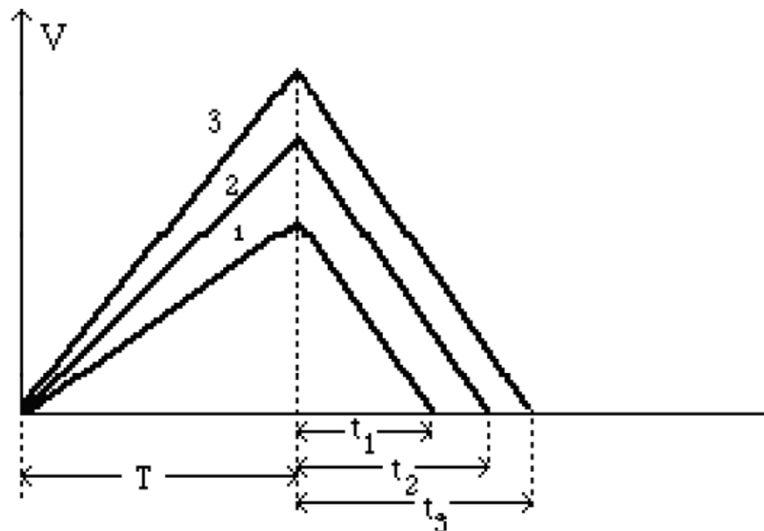
- 1) Il circuito di controllo tiene la sua uscita bassa per un tempo prefissato T . Durante questo tempo la porta AND è disabilitata e viene integrata la tensione $-V_x$. Alla fine la tensione dell'integratore è $V_C = \frac{V_x T}{RC}$.
- 2) Una volta esaurito il tempo T , il circuito di controllo porta il commutatore sulla tensione continua di riferimento E_r (presa con polarità opposta a V_x). La porta AND è abilitata e viene integrata la tensione E_r , per cui si ha:

$$V_C = V_x \frac{T}{RC} - E_r \frac{t}{RC}$$


Conversione A/D

Architettura a doppia rampa (dual slope)

Nel primo tratto la tensione è integrata in un tempo T costante con una pendenza variabile che dipende da V_x ; nel secondo tratto è integrata per un tempo t_i variabile con una pendenza che dipende da E_r



Conversione A/D

Architettura a doppia rampa (dual slope)

- 3) Quando il valore di V_C diventa zero il comparatore scatta, disabilitando la porta AND. Si ha quindi:

$$V_C = 0 \Rightarrow V_x \frac{T}{RC} = E_r \frac{t}{RC} \Rightarrow V_x T = E_r t$$

- 4) Detto T_0 la distanza temporale fra gli impulsi, inverso della frequenza di clock f_0 , detto n il numero di impulsi nell'intervallo di tempo T (dati da $n = \frac{T}{T_0} = T f_0$) e detto N il numero di impulsi conteggiati dal contatore nell'intervallo di tempo t :

$$V_x n T_0 = E_r N T_0 \Rightarrow N = \frac{V_x}{E_r} n$$

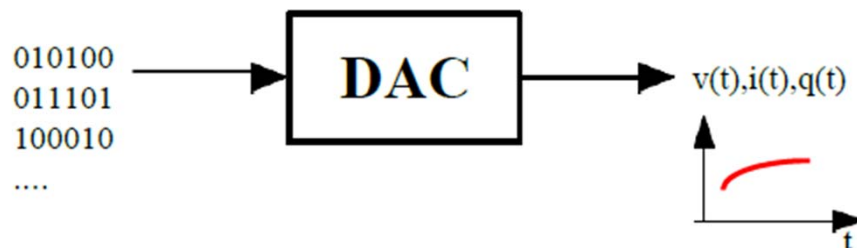
Il numero di impulsi conteggiato è proporzionale a V_x e non vi è più la dipendenza da R e C



Conversione digitale-analogica

Conversione D/A

Consideriamo ora la **conversione digitale-analogica**, ossia il passaggio dal segnale registrato in forma digitale a quello nuovamente in forma analogica. In particolare, dobbiamo tener conto che il **segnale in forma digitale** è una successione di numeri, mentre quello analogico è una tensione oppure una corrente oppure una carica elettrica variabile nel tempo (con continuità):



Di conseguenza, la base di tutte le tecniche di conversione $D \rightarrow A$ consta di due operazioni fondamentali:

- in primo luogo, dobbiamo convertire ciascun numero in ingresso in tante **unità base** del segnale di uscita;
- in secondo luogo, dobbiamo sommare tali unità base tramite un **circuito analogico sommatore**.

Conversione D/A

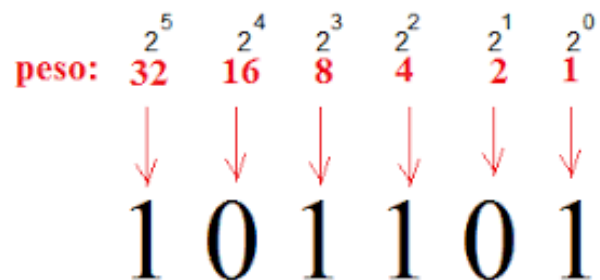
- Ipotizziamo che l'uscita del nostro convertitore D→A sia una tensione. In primo luogo, dobbiamo definire una unità base di riferimento, espressa in volt, che indichiamo con **Q**: questa quantità rappresenta semplicemente il minimo valore della tensione in uscita dal DAC (convertitore digitale→analogico) e cioè la sua **risoluzione**.
- In secondo luogo, supponiamo che il DAC abbia modulo $M = 2^n$: questo significa che i numeri in ingresso sono rappresentati da parole binarie da n bit; se supponiamo anche che il DAC sia unipolare, ossia con ingresso a solo numeri positivi, deduciamo che tali numeri andranno da 0 a $2^n - 1$. Possiamo esprimere la tensione in uscita dal convertitore tramite la seguente espressione:

$$V = Q \cdot (A_{n-1}2^{n-1} + A_{n-2}2^{n-2} + \dots + A_12^1 + A_02^0) = Q \cdot \sum_{i=0}^{n-1} A_i 2^i$$

Abbiamo cioè il prodotto tra la risoluzione del dispositivo ed una **somma pesata** di potenze di 2; i coefficienti di peso A_i possono ovviamente assumere solo i valori 0 ed 1.

Conversione D/A

- Supponiamo ad esempio di utilizzare un DAC a $n=6$ bit e di avere la parola codice: **101101**. Si avrà:



$$V = Q \cdot (A_5 2^5 + \cancel{A_4 2^4} + A_3 2^3 + A_2 2^2 + \dots + \cancel{A_1 2^1} + A_0 2^0)$$

Dove gli A_i saranno tutti 1 tranne che per $A_1 = 0$ e $A_4 = 0$

Per l'esempio varrà: $V = 45 \cdot Q$

Conversione D/A

- Indichiamo con V_{max} la tensione massima che possiamo avere in uscita dal nostro DAC, che si verifica quando tutti gli A_i sono uguali a 1. Essa sarà pari a:

$$V_{max} = Q \cdot \sum_{i=0}^{n-1} 2^i = Q \cdot (2^n - 1) = QM - Q$$

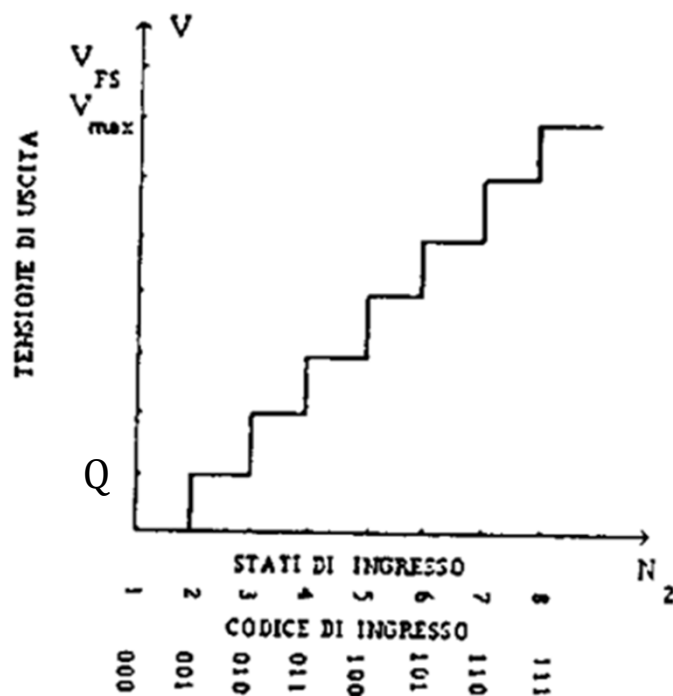
Il prodotto tra la risoluzione Q ed il modulo del dispositivo corrisponde al **valore di fondo scala**, indicato con V_{FS} . Scriviamo perciò che la massima tensione di uscita è:

$$V_{max} = V_{FS} - Q$$

N.B. : *la tensione massima di uscita è sempre inferiore al valore di fondo scala ma lo scarto è tanto più piccolo quanto migliore (cioè quanto più piccola) è la risoluzione.*

Conversione D/A

- La figura seguente mostra, tramite un diagramma cartesiano, la corrispondenza tra i numeri binari in ingresso al DAC e le tensioni in uscita



Caratteristica ideale di conversione
digitale→analogica per un DAC a 3 bit

Si considera, evidentemente, un **convertitore a 3 bit**, cioè con modulo $M=8$. Si nota immediatamente il fatto che la tensione massima (corrispondente alla parola binaria 111) è al di sotto del valore di fondo scala

A parità di valore di fondo scala V_{FS} , è chiaro che, all'aumentare del numero n di bit, la risoluzione migliora (cioè diminuisce) e quindi si riduce lo scarto sia tra due valori di tensione contigui sia tra il valore massimo e quello di fondo scala.

Conversione D/A

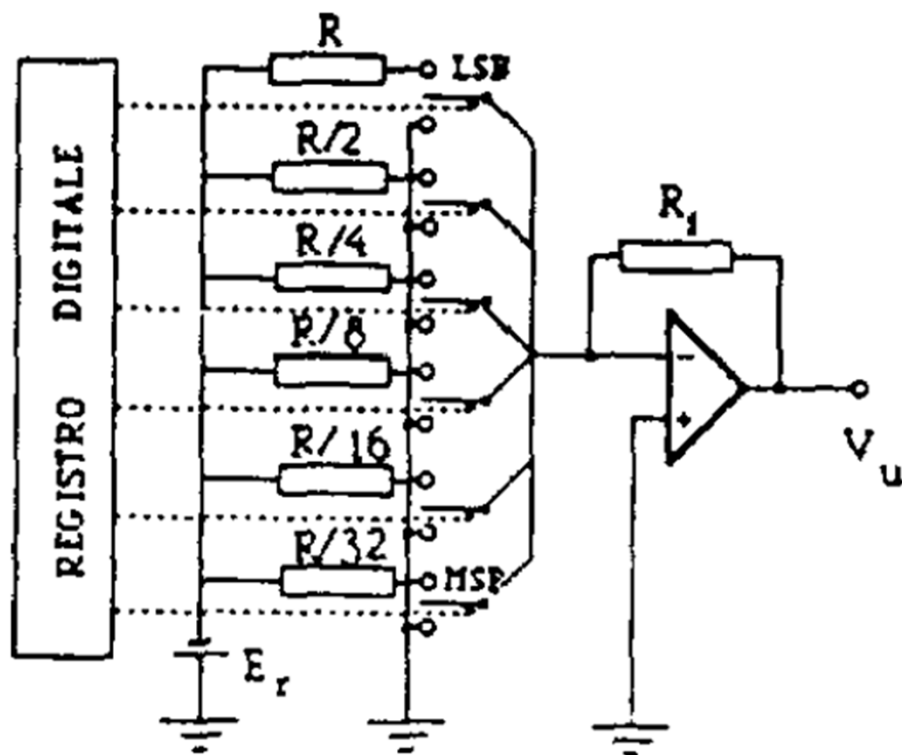
Per realizzare, in linea di principio, un DAC, è necessario partire dalla formula:

$$V = Q \cdot (A_{n-1}2^{n-1} + A_{n-2}2^{n-2} + \dots + A_12^1 + A_02^0) = Q \cdot \sum_{i=0}^{n-1} A_i2^i$$

In base a questa formula, dobbiamo disporre dei seguenti elementi:

- un **registro digitale** che possieda memorizzata la parola binaria da convertire nella corrispondente tensione analogica; il registro avrà n uscite binarie, corrispondenti agli n coefficienti di peso A_i che compaiono nella formula;
- un **generatore di tensione** continua che fornisca un valore di tensione E_R che faccia da riferimento;
- un **partitore di tensione** che ricavi, a partire dalla tensione di riferimento E_R , le singole tensioni corrispondenti ai termini A_i2^i ;
- un **sistema di n interruttori**, pilotati dalle uscite del registro digitale, che consentano di attivare o meno le varie sezioni del partitore;
- un dispositivo **sommatore** in uscita.

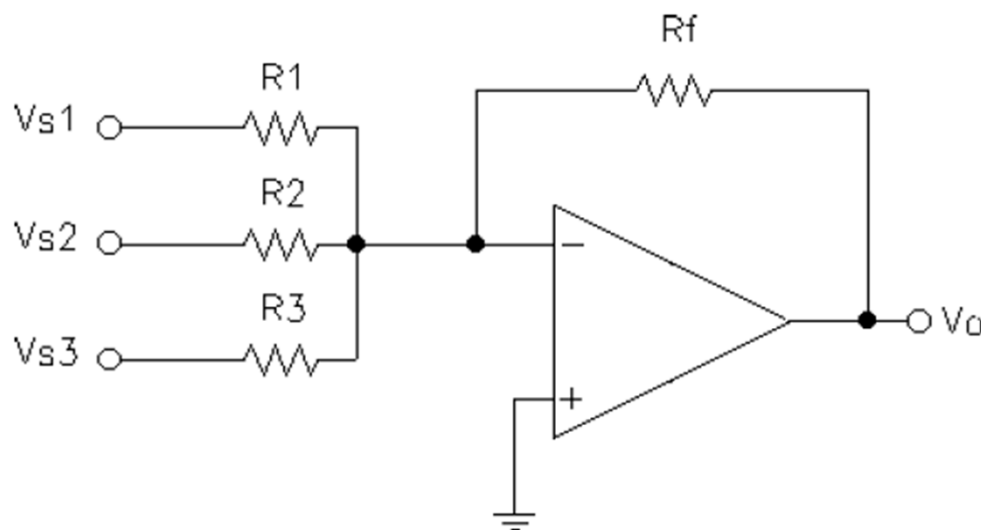
Conversione D/A



Tramite resistor di valore inversamente proporzionale alle potenze di 2 (da R a $\frac{R}{2^n}$), si ottiene la partizione della tensione di riferimento E_R su più livelli; pilotando, tramite le uscite del registro digitale, gli interruttori elettronici corrispondenti ai singoli resistori, è possibile inviare, al successivo amplificatore operazionale, una corrente che risulta una combinazione pesata delle correnti nei singoli resistori. Si ha cioè il classico circuito sommatore, i cui n ingressi vengono sommati secondo coefficienti di peso determinati dalle uscite del registro digitale.

Conversione D/A

Descriviamo allora il funzionamento del circuito sommatore, facendo riferimento al seguente schema semplificato, con 3 sole resistenze:

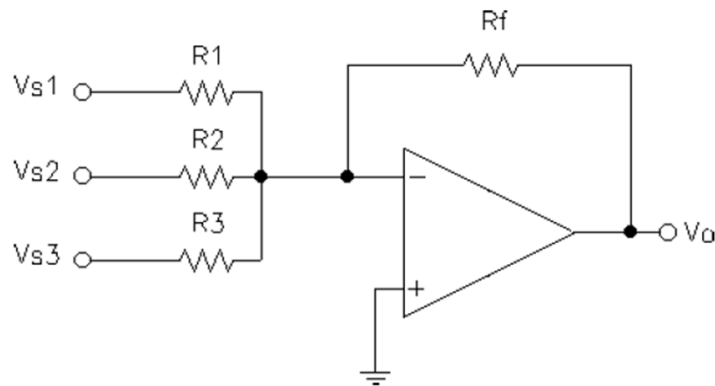


Dato che il morsetto non invertente dell'amplificatore operazionale è forzato al potenziale di terra, i resistori R_1 , R_2 ed R_3 hanno solo la funzione di convertire le rispettive tensioni V_{s1} , V_{s2} e V_{s3} in correnti ad esse proporzionali: $\frac{V_{s1}}{R_1}$, $\frac{V_{s2}}{R_2}$ e $\frac{V_{s3}}{R_3}$

Queste correnti si sommano e danno origine alla corrente che attraversa la resistenza di retroazione:

$$i_f = \frac{V_{s1}}{R_1} + \frac{V_{s2}}{R_2} + \frac{V_{s3}}{R_3}$$

Conversione D/A



Questa corrente passa attraverso la resistenza di retroazione generando una tensione pari a:

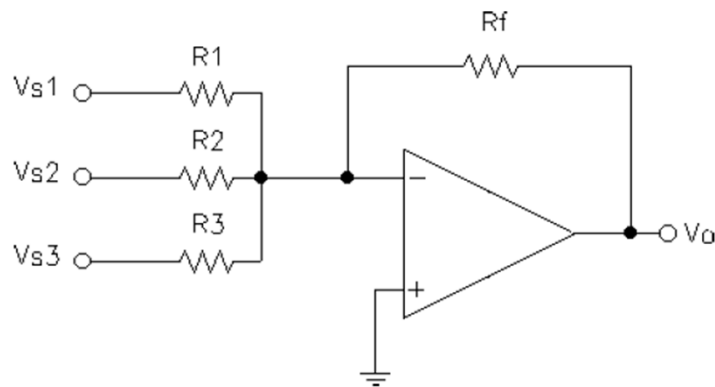
$$V_{Rf} = R_f i_f = R_f \left(\frac{V_{S1}}{R_1} + \frac{V_{S2}}{R_2} + \frac{V_{S3}}{R_3} \right)$$

Dato che $V_O = -V_{Rf}$, concludiamo che la tensione di uscita vale: $V_O = -R_f \left(\frac{V_{S1}}{R_1} + \frac{V_{S2}}{R_2} + \frac{V_{S3}}{R_3} \right)$

Nel nostro caso, le tensioni di ingresso sono le stesse, pari a $-E_R$ (la polarità della batteria viene invertita proprio per compensare l'azione invertente dell'operazionale) per cui:

$$V_O = R_f E_R \sum_{i=0}^{n-1} \frac{1}{R_i}$$

Conversione D/A



Inoltre, abbiamo detto che le resistenze sono inversamente proporzionali alle potenze di 2, per cui otteniamo:

$$V_O = R_f E_R \sum_{i=0}^{n-1} \frac{2^i}{R} = \frac{R_f}{R} E_R \sum_{i=0}^{n-1} 2^i$$

Questa formula va ovviamente perfezionata aggiungendo la presenza degli interruttori, che inseriscono o disinseriscono i vari resistori nel circuito, cioè abilitano o meno i corrispondenti ingressi al sommatore. Concludiamo però che:

$$V_O = \frac{R_f}{R} E_R \sum_{i=0}^{n-1} A_i 2^i$$

Conversione D/A

Confrontando questa espressione con quella teorica ricavata in precedenza:

$$V = Q \cdot \sum_{i=0}^{n-1} A_i 2^i$$

Deduciamo che la **risoluzione** dello strumento è: $Q = \frac{R_f}{R} E_r$

In realtà, il rapporto $\frac{R_f}{R}$ serve solo a decidere se il segnale in uscita deve essere amplificato (nel qual caso si deve porre $R_f > R$) oppure no ($R_f = R$), per cui **la risoluzione coincide di fatto con la tensione di riferimento E_r** .

L'andamento della tensione di uscita, in funzione della parola binaria in ingresso, ha dunque un andamento a gradino del tipo descritto in precedenza, dove ogni gradino ha ampiezza pari a E_r