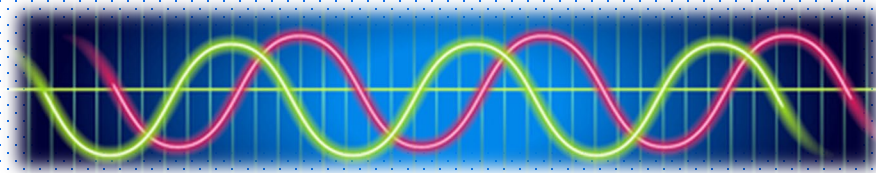


FONDAMENTI DI MISURE


- Circuito Sample and Hold (S/H) -



Corso di laurea triennale in
Ingegneria dell'Informazione
Prof. Andrea Cataldo



Outline

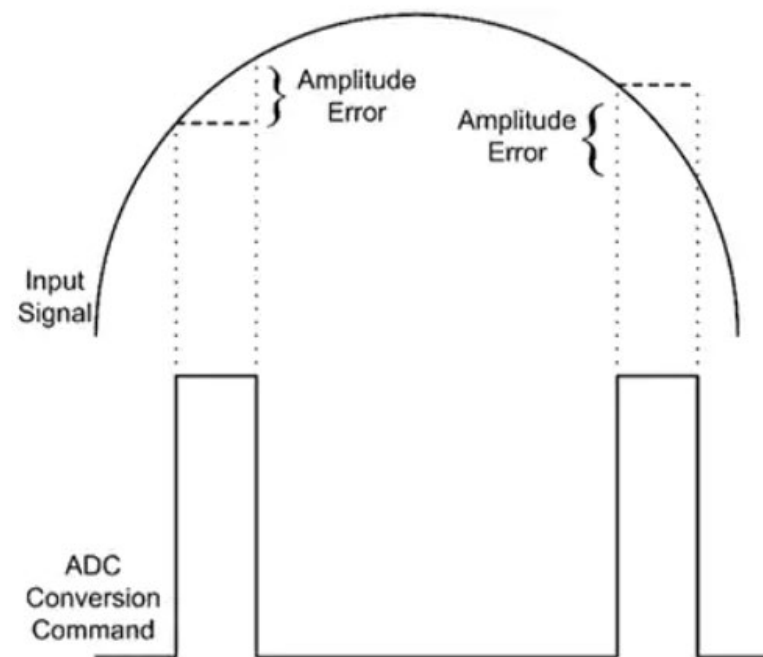
- INTRODUZIONE
 - CIRCUITO SAMPLE AND HOLD (S/H)
 - IMPLEMENTAZIONE SU MULTISIM
- 

Sample and Hold

La conversione di un segnale analogico in uno digitale è una funzione fondamentale, ma per essere eseguita in modo efficiente ed efficace, occorre comprendere alcuni principi di base.

Abbiamo visto il processo di campionamento, a cui segue la fase di quantizzazione.

E' importante notare che quando all'ingresso di un ADC viene applicato un segnale variabile, **l'ampiezza cambia continuamente**. Tuttavia, il processo di conversione da analogico a digitale richiede un **intervallo di tempo finito (da 1ms a 1ns)**, durante il quale eventuali variazioni della tensione di ingresso possono provocare errori gravi.




Un ADC con un segnale di ingresso variabile è soggetto a errori di ampiezza (in alto) dovuti alle variazioni di ampiezza del segnale durante la digitalizzazione (in basso).



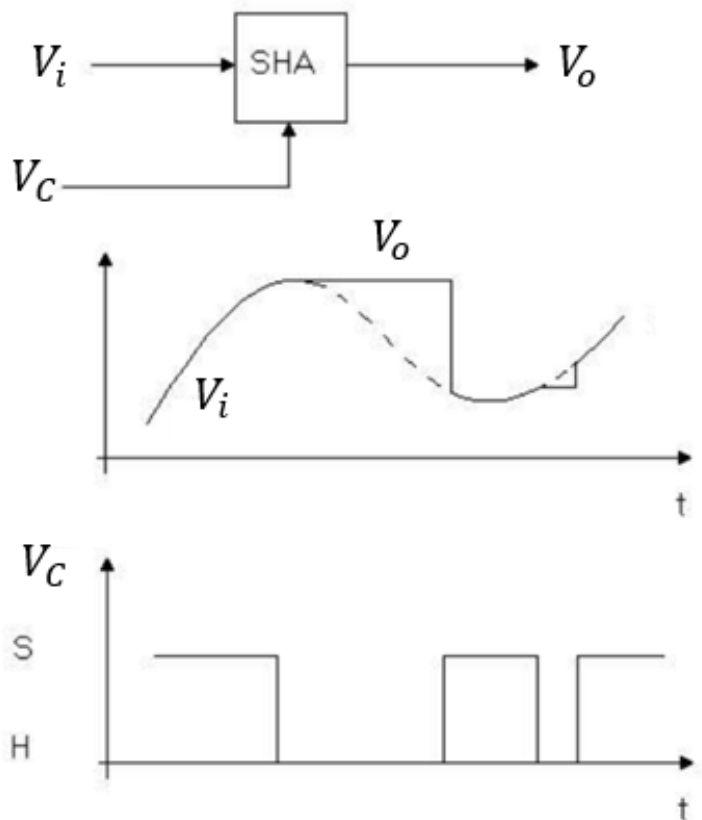
Sample and Hold

Per questo motivo è necessario campionare il segnale e mantenere stabile il valore acquisito mentre è in atto la conversione. Il circuito **Sample and Hold (S/H)** serve esattamente a questo scopo.



Sample and Hold

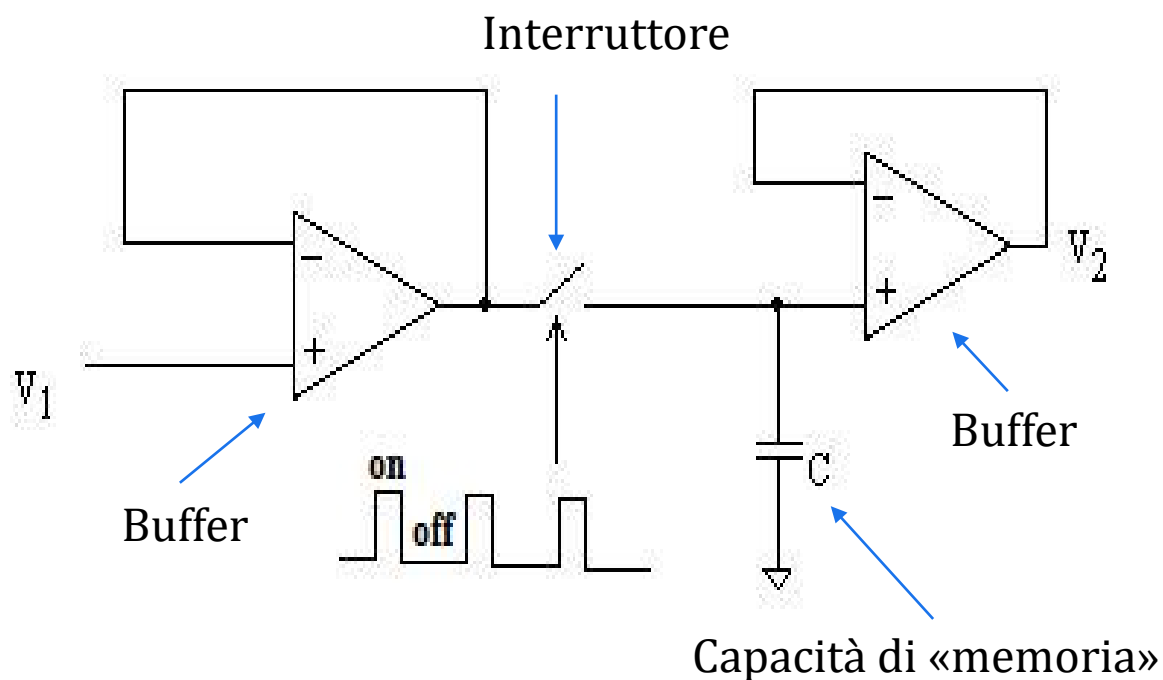
Un S/H ideale presenta due modi di funzionamento: il modo **sample** e il modo **hold**. Applicando dall'esterno un segnale di controllo si può comandare la transizione da un modo di funzionamento all'altro.



- Durante il modo **sample** la tensione di uscita V_o riproduce esattamente quella di ingresso V_i , di solito con guadagno unitario.
- Nel modo **hold**, invece, l'uscita mantiene il valore che aveva all'istante in cui è avvenuta la transizione dal modo sample a quello hold; questo valore è mantenuto finché non viene dato un successivo comando di sample. È durante l'intervallo di hold che l'ADC posto in cascata al SHA esegue la conversione.

Sample and Hold

Schema circuitale del Sample and Hold




Un S/H è costituito da un **interruttore** comandato e da un **condensatore**, il quale memorizza il valore assunto dal segnale di ingresso all'istante in cui l'interruttore viene aperto (istante di campionamento). La capacità C svolge quindi la funzione di **memoria temporanea** (hold) della tensione da convertire. L'interruttore rimane chiuso solamente durante il breve intervallo di tempo necessario ad acquisire il segnale di ingresso.



Sample and Hold

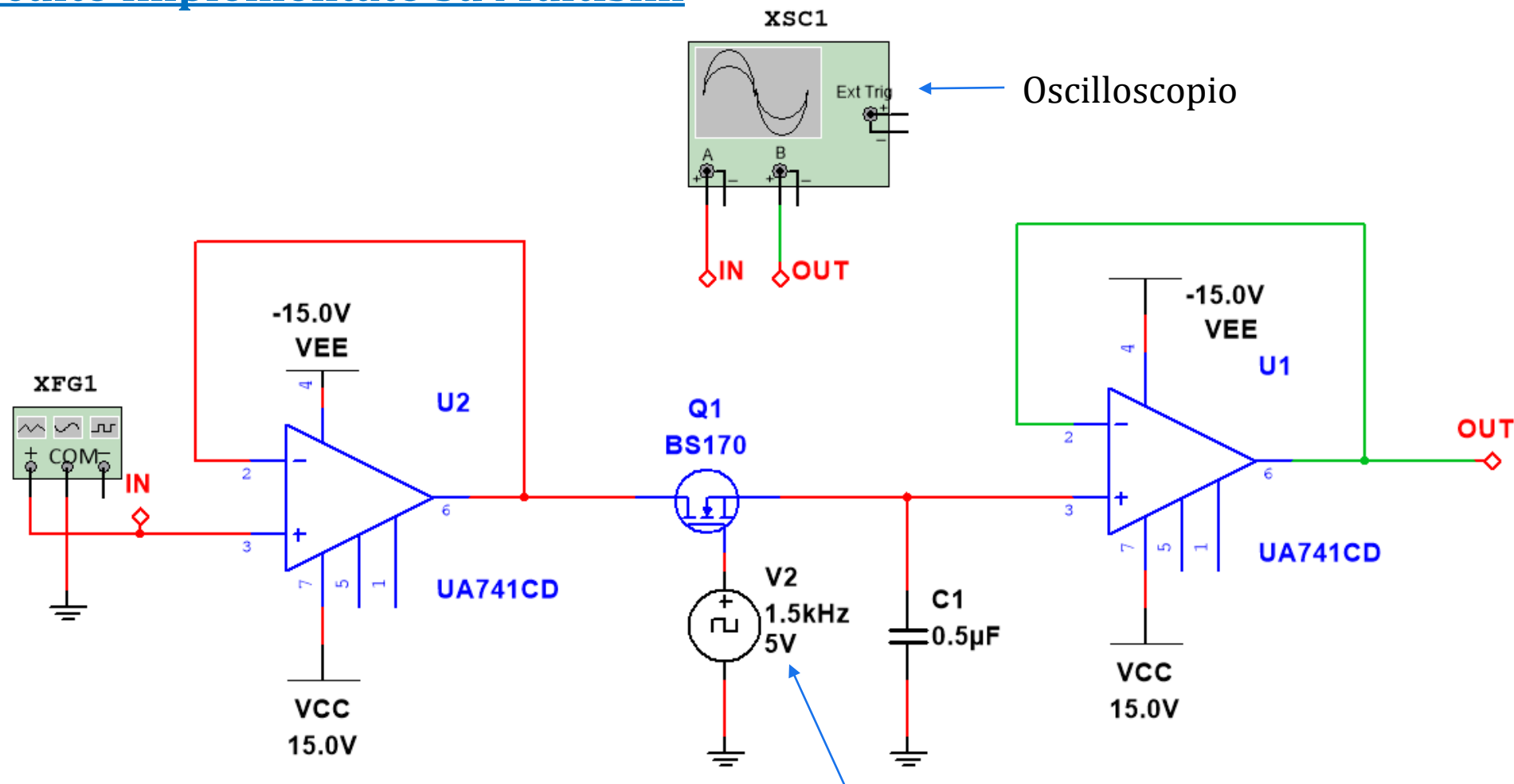
Osservazioni

- Ogni volta che l'interruttore si chiude, sulla capacità vi sarà ancora il valore riferito al campione precedente, per cui sarà necessario un piccolo transitorio di carica o scarica del condensatore per raggiungere il nuovo valore campionato.
 - Quando l'interruttore si apre, la capacità si scarica di una quantità che deve essere trascurabile rispetto a quella che è l'ampiezza dell'intervallo di quantizzazione dell'ADC in maniera tale che l'ADC non vada a commettere errore nella conversione in uscita.
 - La scelta del valore della capacità del condensatore dipende dal compromesso fra due esigenze opposte: da un lato deve essere di valore elevato, in modo da scaricarsi poco durante la fase di hold; dall'altro lato deve essere di valore piccolo, affinché durante la fase di sample la fase di carica sia rapida e quindi sia piccolo il tempo di acquisizione.
- 

Implementazione su Multisim

Sample and Hold

Circuito implementato su Multisim



Tramite la frequenza del clock, impostiamo il periodo di campionamento

Sample and Hold

Risultato ottenuto:

