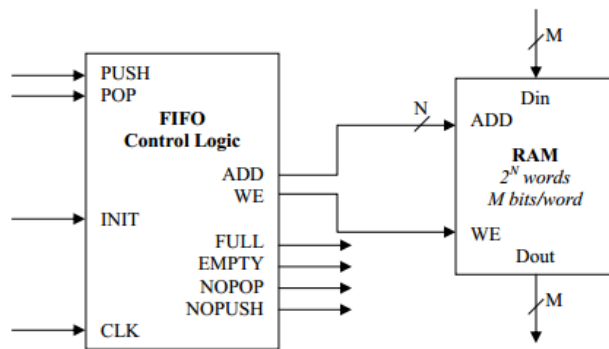


## FIFO op basis van pipelined RAM (Stack logic)



### Specificaties:

- First in, first out stack logic
- Alle signalen zijn 'active high'
- No operation als niet PUSH en niet POP
- Address bus ADD bestaat uit  $N = 3$ -bits en geeft het adres waarop wordt gelezen of geschreven. Er worden dus uiteinden van de lijst met data aangegeven.
- WE (write-enable) geeft aan of er geschreven moet worden bij de pointer voor schrijven ( $WE = '1'$ ) of gelezen bij de pointer voor lezen ( $WE = '0'$ ).

### Inputs:

- Rising edge triggered clock
- Synchrone reset/initialisatie (INIT)
- Push (toevoegen/schrijven)
- Pop (uitlezen/verwijderen)
- Toe te voegen/te schrijven data ( $M = 8$ -bits)

### Outputs:

- Flags:
  - FIFO\_full
  - FIFO\_empty
  - NOPOP (wanneer POP & FIFO\_empty)
  - NOPUSH (wanneer PUSH & FIFO\_full)
    - Ook NOPUSH als  $PUSH = '1'$  &  $POP = '1'$ ; omdat POP voorrang heeft, wordt wordt PUSH in dit geval niet uitgevoerd en POP wel)
- Uitgelezen/verwijderde data ( $M = 8$ -bits)

### Testbaarheid:

Simulatie van de gesynthetiseerde VHDL, op een klokfrequentie van 32 kHz, dient correcte resultaten op te leveren (d.w.z. dat de beschreven functie in de simulatie foutloos uitgevoerd wordt).