

设计说明：2-4译码器

概述

2-4译码器是一个基本的数字逻辑电路，用于将两个输入信号转换为四个输出信号。它可以将两个输入比特的不同组合映射到四个输出端口上，每个输入组合对应一个输出端口被激活，其他输出端口被禁用。

模块接口

- 输入端口 ('in')：2位输入信号，用于译码器的输入。
- 输出端口 ('out')：4位输出信号，表示译码器的输出。

功能描述

- 2-4译码器根据输入信号的不同组合，将对应的输出信号置为逻辑高电平（1），其他输出信号置为逻辑低电平（0）。
- 当输入信号为'00'时，输出信号0001为逻辑高电平，其他输出信号为逻辑低电平。
- 当输入信号为'01'时，输出信号0010为逻辑高电平，其他输出信号为逻辑低电平。
- 当输入信号为'10'时，输出信号0100为逻辑高电平，其他输出信号为逻辑低电平。
- 当输入信号为'11'时，输出信号1000为逻辑高电平，其他输出信号为逻辑低电平。

代码说明

- 使用 case 语句来根据不同的输入组合设置输出信号的值。
- 当输入信号不在 00、01、10、11 之间时，所有输出信号均置为逻辑低电平。

仿真验证

- 通过编写测试台，模拟不同的输入信号组合，并观察输出信号是否符合预期。
- 可以使用波形图来验证2-4译码器的功能是否正确。

设计说明：带有功能允许信号的模18加计数器

概述

带有功能允许信号的模18加计数器是一种数字电路，可以根据输入的时钟信号，在功能允许信号有效的情况下按照顺序递增计数。该计数器的计数范围为0到17，当计数值达到17时会回滚到0重新开始计数。通过控制功能允许信号，可以灵活地控制计数器的行为。

模块接口

- 输入端口
 - clk：时钟信号，用于驱动计数器的递增。
 - rst：复位信号，当复位信号为高时，计数器的值被复位为0。
 - enable：功能允许信号，当功能允许信号为高时，计数器执行递增操作。
- 输出端口
 - count：5位输出信号，表示计数器的当前值，范围从0到17。

功能描述

- 在每个时钟周期的上升沿，根据功能允许信号的状态，计数器可能会执行递增操作或保持当前值不变。
- 当复位信号为高时，计数器的值被复位为0。
- 当功能允许信号为高时，计数器在每个时钟周期的上升沿递增，直到计数值达到17为止；当计数值为17时，下一个时钟周期的上升沿会将计数器的值回滚到0重新开始计数。
- 当功能允许信号为低时，计数器保持当前值不变，不执行递增操作。

仿真测试

- 在每个时钟周期内，通过控制 clk 信号的变化来模拟时钟信号的输入。
- 每个测试情况的持续时间通过延时指令 # 控制，以确保仿真充分覆盖了计数器的各种情况
- 通过控制 enable 信号，来模拟“带有功能允许信号”
- 通过观察 count 信号的变化，可以验证模块的功能是否正确