



Cognome e nome

Matricola

Esercizio 1. Sia F una funzione che riceve in ingresso 2 interi A e B rappresentati su 2 bit in codice eccesso 2^{k-1} con $k=2$. Si assuma che non possa verificarsi che A e B riferiscano lo stesso valore. F restituisce 0 quando $A < B$, e 1 quando $A > B$. Realizzare un circuito che implementa F usando le mappe di Karnaugh sintetizzando in forma PoS. Riportare i passaggi e disegnare il circuito derivato.

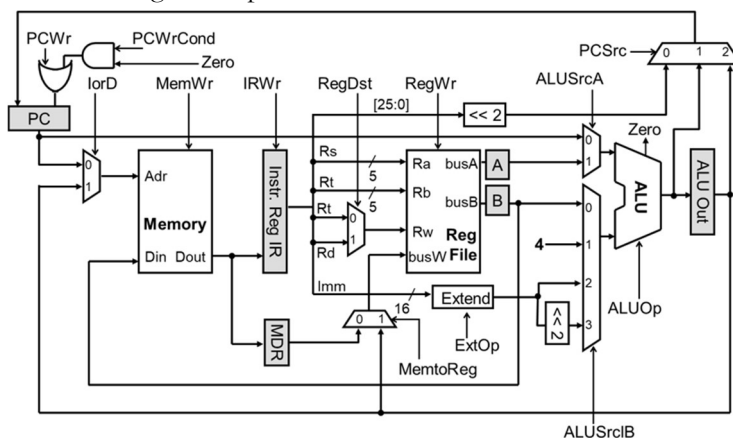
Esercizio 2. Derivare la codifica floating point IEEE 754 in singola precisione del numero $-360,8125$. Si ricorda che la mantissa va rappresentata su 23 bit e l'esponente su 8.

Esercizio 3. Realizzare una ALU dotata degli ingressi A e B , e di un'uscita U , tutti su 8 bit con rappresentazione cp2, e che in base ad un ingresso F gestisce le operazioni: $-A$, $-A+B$, $B \text{ div } 4$, e $2-A$. La ALU genera il bit di esito V che notifica eventuali overflow.

Esercizio 4. Progettare un circuito sequenziale sincrono che implementa un contatore modulo 4 dotato di un ingresso I di 1 bit. Quando $I=1$ il circuito conta in avanti di 1, mentre, quando $I=0$ conta all'indietro di 1. Il circuito è dotato di un'uscita O che riferisce su 2 bit il valore memorizzato dal contatore. Per la realizzazione circuitale è necessario usare Flip-Flop D minimizzandone il numero, e usare le mappe di Karnaugh. E' sufficiente mostrare uno schema circuitale ad alto livello di astrazione, rappresentando come blocchi le reti combinatorie che compongono il circuito, ma è necessario indicare le funzioni logiche implementate da tali reti.

Esercizio 5. Facendo riferimento al datapath multicycle del MIPS in figura, indicare i trasferimenti tra registri che si verificano durante l'esecuzione dell'istruzione *andi rt, rs, imm16* (and immediate), motivando le risposte date.

Si ricorda che *andi* carica nel registro *rt* l'esito dell'operazione di and bitwise tra il contenuto di *rs* e il campo *imm16* opportunamente esteso.



Fase	Trasferimenti tra registri	Motivo (breve spiegazione, max 3 righe)
1)		
2)		
3)		
4)		
5)		

Esercizio 6. Si consideri un sistema di memoria caratterizzato da una memoria di lavoro di 32 KB indirizzata a livello di Byte, e una cache ad indirizzamento diretto inizialmente vuota. La cache gestisce 8 blocchi, ognuno composto da 16 parole di 64 bit. Considerando la sequenza di richieste alla memoria riportata in tabella, si chiede di completare la tabella che illustra il comportamento della cache nel rispetto delle indicazioni seguenti:

- Nella colonna *esito* riportare H (hit) se il blocco richiesto si trova nella cache, M (miss) se invece il blocco deve essere caricato dalla memoria.
- Nelle colonne *dati* deve essere riportato l'indice del blocco della memoria (in decimale), presente nel corrispondente blocco della cache.
- Nella colonna *azione* indicare il blocco a cui si accede in caso di hit, o in cui si caricano i dati della memoria in caso di miss e l'indice del blocco caricato (in decimale).

Indicare la struttura degli indirizzi e riportare i procedimenti di calcolo seguiti.

[illegible]