



Cognome e nome

Matricola

Esercizio 1. Sia F una funzione che riceve in ingresso un numero intero n rappresentato su 4 bit in codice eccesso 2^{k-1} con $k=4$. F assume valore 0 quando n vale -4, -2, -1, 1, 3, 5, 6 o 7 e può assumere indifferentemente il valore 1 o 0 quando n vale -7, -6, o 2. F restituisce 1 per gli altri valori di n . Realizzare il circuito che implementa F usando le mappe di Karnaugh, e sintetizzando in forma SoP. Riportare i passaggi e disegnare il circuito derivato.

Esercizio 2. Consideriamo la funzione booleana $F(A, B, C) = \overline{C}(A + B + C\overline{B})(A + \overline{A}B + \overline{C}) + \overline{C}\overline{A} + \overline{C}\overline{B}$. Ridurre F in forma minima giustificando i passaggi, e disegnare il circuito che la implementa.

Esercizio 3. Indicare la codifica floating point IEEE 754 in singola precisione del numero -41,5625. Si ricorda che l'esponente va rappresentato su 8bit e la mantissa su 23bit. Riportare il procedimento di calcolo seguito.

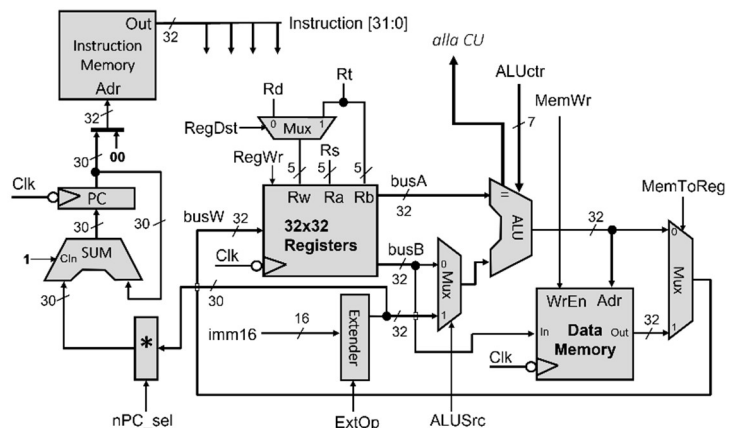
Esercizio 4. Progettare un circuito contatore sincrono modulo 5 che in base ad un segnale booleano I conta in avanti di 1 o di 3. Più precisamente, denotato con V il valore corrente del contatore, e con V' il suo prossimo valore, se $I=0$, $V'=(V+1) \bmod 5$, mentre, se $I=1$, $V'=(V+3) \bmod 5$. L'incremento viene effettuato sul fronte di salita di ogni ciclo di clock. Il circuito restituisce il valore memorizzato su un'uscita O su 3 bit. Realizzare il circuito impiegando la codifica di stato a singolo 1 (un solo bit per stato vale 1). Per la realizzazione circuitale è necessario usare Flip-Flop D, e possono essere usati blocchi funzionali di libreria.

Esercizio 5. Facendo riferimento al datapath a singolo ciclo del MIPS in figura, indicare il valore dei segnali scambiati tra l'unità di controllo e le componenti del datapath durante l'esecuzione dell'istruzione *andi rt, rs, imm16* (and immediate) giustificando la risposta data.

La semantica di *andi rt, rs, imm16* in RTL è definita come segue:

$R[rt] \leftarrow R[rs] \text{ and ZeroExt}(imm16)$

$PC \leftarrow PC + 4$



Segnale	Valore	Motivo (breve spiegazione, max 2 righe)
RegDst		
RegWr		
ALUctr	(operazione)	
MemWr		
MemToReg		
ALUSrc		
ExtOp	(sign / zero)	
nPC_sel		

Esercizio 5. Si consideri un sistema di memoria caratterizzato da una memoria di lavoro di 8 KB indirizzata a livello di Byte, e una cache set associativa a 4 vie. La cache gestisce 8 blocchi, riferiti A, B, C, D, E, F, G e H, ripartiti in tal ordine tra i set, seguendo l'ordine crescente dell'indice del set. Ogni blocco è composto da 32 parole da 64 bit. Considerando la sequenza di richieste alla memoria riportata in tabella, e assumendo per la gestione dei blocchi in cache la politica LRU, si chiede di completare la tabella che illustra il comportamento della cache nel rispetto delle indicazioni seguenti:

- Nella colonna “esito” riportare H (hit) se il blocco richiesto si trova nella cache, M (miss) se invece il blocco deve essere caricato dalla memoria.
- Nelle colonne “dati” deve essere riportato l’indice del blocco della memoria (in decimale), presente nel corrispondente blocco della cache.
- Nella colonna “azione indicare il blocco a cui si accede in caso di hit, o in cui si caricano i dati della memoria in caso di miss e l’indice del blocco caricato (in decimale).

[illegible]