



Cognome e nome:

Matricola:

Esercizio 1 (12 punti). Sia F una funzione che riceve in ingresso un numero intero n rappresentato su 4 bit in codice eccesso $2^{(k-1)}$ con $k=4$. F restituisce 0 quando n vale -8, -6, -4, -2, 0, 2, o 6, e restituisce 1 per gli altri valori di n .

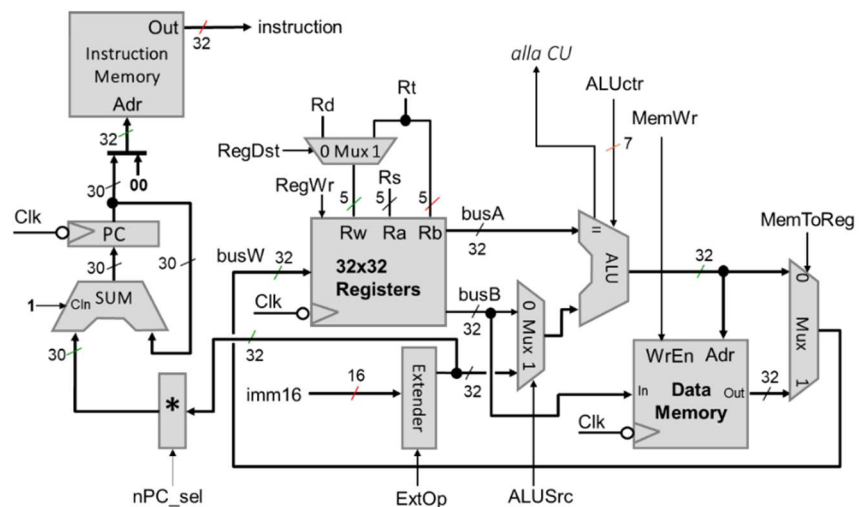
- Derivare il circuito che implementa F usando le mappe di Karnaugh, sintetizzando in forma PoS ed impiegando solo porte logiche a 1 o 2 ingressi. Riportare i passaggi e disegnare il circuito derivato.
- Ridurre l'espressione derivata al punto a) in forma minima, giustificando i passaggi, e disegnare il circuito che implementa l'espressione ottenuta.
- Calcolare la frequenza di commutazione dei circuiti derivati al punto a) e al punto b) assumendo una latenza di 3ns per le porte AND, di 2ns per le porte OR, e 1ns per le porte NOT.

Esercizio 2 (6 punti). Derivare il valore decimale del numero rappresentato con la seguente codifica floating point IEEE 754 in singola precisione.

1	0	1	1	1	1	1	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

Esercizio 3 (7 punti). Facendo riferimento al datapath a singolo ciclo del MIPS riportato in figura, si chiede di indicare nella seguente tabella il valore dei segnali scambiati tra l'unità di controllo e le componenti del datapath durante l'esecuzione dell'istruzione $sw\ rt, rs, imm16$ (store word) giustificando la risposta data. La specifica di $sw\ rt, rs, imm16$ in RTL è:

$Mem[R[rs] + SignExt[imm16]] \leftarrow R[rt]$
 $PC \leftarrow PC+4$



Segnale	Valore	Motivo
RegDst		
RegWr		
ALUctr	(indicare l'operazione)	
MemWr		
MemToReg		
ALUSrc		
ExtOp		

Esercizio 5 (6 punti). Si consideri un sistema di memoria caratterizzato da una memoria di lavoro di 64 KB indirizzata a livello di Byte, e una cache set associativa a 2 vie di dimensione 2 KB (senza tag). Il sistema gestisce 4 blocchi di 512 Bytes, riferiti A, B, C e D. I blocchi A e B appartengono al set 0 e i blocchi C e D al set 1. Considerando la sequenza di richieste alla memoria riportata in tabella, e assumendo per la gestione dei blocchi in cache la politica di LRU, si chiede di completare la tabella che illustra il comportamento della cache nel rispetto delle indicazioni seguenti:

- Nella colonna “esito” riportare H (hit) se il blocco richiesto si trova nella cache, M (miss) se invece il blocco deve essere caricato dalla memoria.
- Nelle colonne “dati” deve essere riportato l’indice del blocco della memoria (in decimale), presente nel corrispondente blocco della cache.
- Nella colonna “azione” deve essere indicato il set a cui si accede in caso di hit, o in cui vengono caricati i dati della memoria in caso di miss e l’indice del blocco caricato (in decimale).

	Esito	Blocco A			Blocco B			Blocco C			Blocco D			Azione
		Valido	Etichetta	Dati	Valido	Etichetta	Dati	Valido	Etichetta	Dati	Valido	Etichetta	Dati	
Situazione iniziale	--	0			1	100001	66	1	100111	79	0			--
Passo 1) Richiesta indirizzo: 10000111 11000101														
Passo 2) Richiesta indirizzo: 10000001 00010110														
Passo 3) Richiesta indirizzo: 00000111 00100111														
Passo 4) Richiesta indirizzo: 10000000 11110111														

NB: se il contenuto di un blocco non cambia da un passo all’altro non è necessario trascriverlo