

Esercizio 2

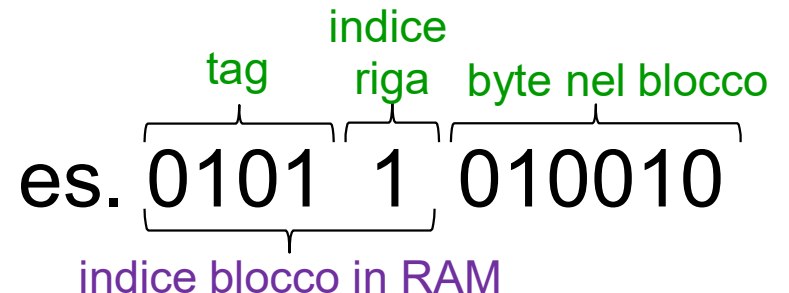
- Si consideri un sistema di memoria + cache avente le dimensioni seguenti:
 - ▶ memoria di lavoro di 2 KByte, indirizzata a livello di singolo byte;
 - ▶ cache di 256 Byte;
 - ▶ ogni blocco della cache contiene 64 Byte.
- Considerando la sequenza di richieste alla memoria riportata qui sotto, si chiede di completare la tabella che illustra il comportamento di una cache **set-associativa a 2 vie** nel rispetto delle indicazioni seguenti:
 - ▶ Nella colonna “**esito**” riportare **H** (hit) se il blocco richiesto si trova nella cache, **M** (miss) se invece il blocco deve essere caricato dalla memoria.
 - ▶ Nelle colonne “**dati**” deve essere riportato il **numero del blocco della memoria** che si trova nel corrispondente blocco della cache.
 - ▶ Nella colonna “**azione**” deve essere indicato il **blocco cui si accede** (in caso di successo, H) o il blocco in cui vengono caricati i dati della memoria (in caso di fallimento, M).
 - ▶ I blocchi **A** e **B** appartengono al set **0** e i blocchi **C** e **D** al set **1**.
 - ▶ La politica di sostituzione adottata nella cache è la LRU (Least Recently Used).

Esercizio 2

Passo	Indirizzo richiesto	Esito	Blocco A			Blocco B			Blocco C			Blocco D			Azione
			Valido	Etichetta	Dati	Valido	Etichetta	Dati	Valido	Etichetta	Dati	Valido	Etichetta	Dati	
0			1	1000	16	0	0001	2	1	0001	3	0			Situazione iniziale
1	010 1101 0010														
2	000 1101 0100														
3	000 1011 1111														
4	000 0000 1010														
5	100 1101 0010														
6	011 1100 0110														

Esercizio 2: soluzione

- Indirizzi
 - ▶ memoria di lavoro di 2 KByte (indirizzata a livello di singolo byte) → 11 bit di indirizzo
 - ▶ cache di 256 Byte → 8 bit di indirizzo
 - ▶ ogni blocco contiene 64 Byte → 6 bit per indirizzare il byte all'interno del blocco
- Set-associativa a due vie: ogni riga ha 2 blocchi da 64 byte, cioè 128 byte in totale.
- Poiché l'intera cache consta di 256 byte, ci sono solo due righe → 1 bit di indirizzo
- In conclusione:
 - ▶ 6 bit per il byte nel blocco
 - ▶ 1 bit per l'indice del gruppo (riga) nella cache
 - ▶ 4 (i rimanenti 11-6-1) bit di etichetta

es. 

Esercizio 2: soluzione

Passo	Indirizzo richiesto	Esito	Set 0						Set 1						Azione
			Blocco A			Blocco B			Blocco C			Blocco D			
			Valido	Etichetta	Dati	Valido	Etichetta	Dati	Valido	Etichetta	Dati	Valido	Etichetta	Dati	
0			1	1000	16	0	0001	2	1	0001	3	0	0000		Situazione iniziale
1	0101 1 010010	M										1	0101	11	Carica blocco 11 in D
2	0001 1 010100	H													Accesso a blocco 3 in C
3	0001 0 111111	M				1	0001	2							Carica blocco 2 in B
4	0000 0 001010	M	1	0000	0										Carica blocco 0 in A
5	1001 1 010010	M										1	1001	19	Carica blocco 19 in D
6	0111 1 000110	M	1						1	0111	15				Carica blocco 15 in C

- Si noti che valori dei Dati sono riportati come numeri decimali (base dieci), mentre le etichette sono scritte in binario. Per questo motivo l'indirizzo 000 0001 0010 individua un byte compreso nel blocco di ram $00000_2 = 0_{10}$ (che quindi ha come etichetta il valore binario 0000).

Esercizio 3

- Si consideri un sistema di memoria (memoria + cache) caratterizzato dalle seguenti dimensioni:
 - ▶ memoria di 4 GigaByte (indirizzata a livello di byte);
 - ▶ cache di 1 MByte;
 - ▶ ogni blocco della cache contiene 128 Byte.
- Indicare la struttura degli indirizzi per la memoria cache nelle seguenti situazioni:
 - ▶ cache a indirizzamento diretto (direct mapped)
 - ▶ cache completamente associativa
 - ▶ cache set-associativa a 8 vie

Esercizio 3: soluzione

- Indirizzi
 - ▶ memoria di 4 GigaByte (indirizzata a byte) → 32 bit
 - ▶ cache di 1 MByte → 20 bit
 - ▶ ogni blocco della cache contiene 128 Byte → 7 bit
- Struttura degli indirizzi a indirizzamento diretto
 - ▶ Byte offset nel blocco: 7 bit
 - ▶ Indice blocco: 13 bit (20-7)
 - ▶ Tag: 12 bit (32-20)
- Struttura degli indirizzi cache completamente associativa
 - ▶ Tag: 25 bit (32-7)
- Struttura degli indirizzi cache set-associativa a 8 vie
 - ▶ Offset byte nel blocco: 7 bit
 - ▶ Ogni riga consta di $8 * 128 = 1K$ righe → Indice da 10 bit
 - ▶ Tag: 15 bit (32-17)

Esercizio 5

- Si consideri un sistema di memoria (memoria + cache) caratterizzato dalle seguenti dimensioni:
 - ▶ memoria di lavoro di 4 KByte, indirizzata a livello di singolo byte;
 - ▶ cache a **indirizzamento diretto** di 1 KByte di dati;
 - ▶ ogni blocco della cache contiene 256 Byte.
- Considerando la sequenza di richieste alla memoria riportata qui sotto, completare la tabella che illustra il comportamento della cache a **indirizzamento diretto**



Esercizio 5

Passo	Indirizzo richiesto	Esito	Blocco 0			Blocco 1			Blocco 2			Blocco 3			Azione
			Valido	Etichetta	Dati	Valido	Etichetta	Dati	Valido	Etichetta	Dati	Valido	Etichetta	Dati	
0			0	00	0	1	11	13	1	01	6	1	00	3	Situazione iniziale
1	1000 0000 0000														
2	1101 0001 0000														
3	0011 1111 1111														
4	1110 0101 1010														
5	1111 0111 0010														
6	0000 1101 1110														



Esercizio 5: soluzione

- Indirizzi
 - ▶ memoria di lavoro di 4 KByte, indirizzata a livello di singolo byte → 12 bit
 - ▶ ogni blocco della cache contiene 256 Byte → 8 bit
 - ▶ cache a indirizzamento diretto di 1 KByte di dati
 - 4 righe ($1K/256$) → 2 bit
 - ▶ Restano 2 bit di Tag

Esercizio 5: soluzione

Passo	Indirizzo richiesto	Esito	linea 0			linea 1			linea 2			linea 3			Azione
			Valido	Etichetta	Dati	Valido	Etichetta	Dati	Valido	Etichetta	Dati	Valido	Etichetta	Dati	
0			0	00	0	1	11	13	1	01	6	1	00	3	Situazione iniziale
1	1000 0000 0000	M	1	10	8										Carico b. 8 in linea 0
2	1101 0001 0000	H													Accesso a b. 13 in linea 1
3	0011 1111 1111	H													Accesso a b. 3 in linea 3
4	1110 0101 1010	M							1	11	14				Carico b. 14 in linea 2
5	1111 0111 0010	M										1	11	15	Carico b. 15 in linea 3
6	0000 1101 1110	M	1	00	0										Carico b. 0 in linea 0