



Cognome e nome:

Matricola

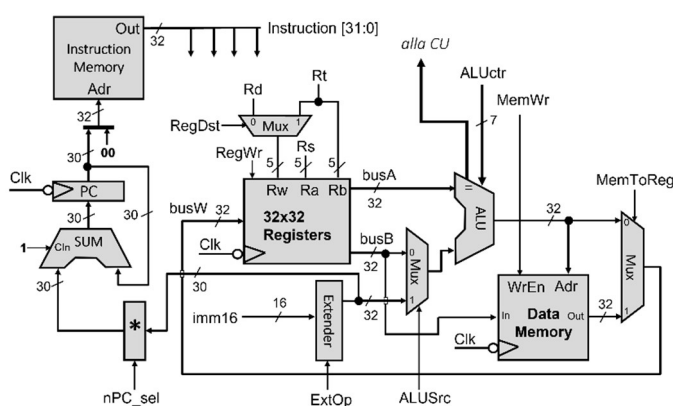
Esercizio 1. Sia F una funzione che riceve in ingresso un numero intero n rappresentato in complemento a 2 su 4 bit. F assume valore 1 quando n vale -2, -1, 0, 6 o 7 e può assumere indifferentemente il valore 1 o 0 quando n vale -7, -6, -5, o 1. F restituisce 0 per gli altri valori di n . Realizzare il circuito che implementa F usando le mappe di Karnaugh e sintetizzando in forma PoS. Riportare i passaggi e disegnare il circuito derivato.

Esercizio 2. Si consideri la funzione booleana $F(A, B, C, D) = (A + \bar{B} + C + \bar{D})(A + \bar{C})(A + \bar{D})$. Ridurre F in forma minima riportando i passaggi, e disegnare il circuito che la implementa.

Esercizio 3. Progettare una ALU dotata degli ingressi A e B , e dell'uscita U , tutti su 4 bit, che in base ad un ingresso di selezione F gestisce le operazioni: $A-B$ (con A e B da interpretare come interi in cp2), e $A \text{ xor } B$ (xor bitwise di A e B). La ALU deve generare i bit di esito: Z , che indica se il risultato dell'operazione eseguita interpretato come intero vale 0, e V che indica se si è verificato overflow. Spiegare cosa indica l'asserzione di Z come esito dell'operazione $A \text{ xor } B$.

Esercizio 4. Progettare un contatore modulo 4 dotato di un ingresso di reset attivo basso, impiegando il minimo numero di Flip-Flop D. Il circuito deve riportare su un'uscita O il valore memorizzato dal contatore.

Esercizio 5. Facendo riferimento al datapath a singolo ciclo del MIPS in figura, indicare il valore dei segnali inoltrati dall'unità di controllo durante l'esecuzione dell'istruzione *beq* *rt*, *rs*, *imm16*. Si ricorda che l'istruzione *beq* (branch on equal) determina l'indirizzo della prossima istruzione da eseguire in base all'esito del controllo di uguaglianza del contenuto dei registri *rs* e *rt*.



Segnale	Valore	Motivo (breve spiegazione)
RegDst		
RegWr		
ALUctr	(operazione)	
MemWr		
MemToReg		
ALUSrc		
ExtOp	(sign / zero)	
nPC_sel		

Esercizio 5. Si consideri un sistema di memoria caratterizzato da una memoria di lavoro di 4 KB indirizzata a livello di Byte, e una cache a indirizzamento diretto. La cache gestisce 8 blocchi composti da 16 parole di 32 bit. Considerando la sequenza di richieste alla memoria riportata in tabella, e supponendo che la cache sia inizialmente vuota, si chiede di completare la tabella che illustra il comportamento della cache nel rispetto delle indicazioni seguenti:

- Nella colonna “esito” riportare H (hit) se il blocco richiesto si trova nella cache, M (miss) se invece il blocco deve essere caricato dalla memoria.
- Nelle colonne “dati” deve essere riportato l’indice del blocco della memoria (in decimale), presente nel corrispondente blocco della cache.
- Nella colonna “azione” indicare il blocco a cui si accede in caso di hit, o in cui si caricano i dati della memoria in caso di miss e l’indice del blocco caricato.

Indicare la struttura degli indirizzi riferendo quali bit denotano i tag, quali gli indici di linea, e quali il byte offset nei blocchi.

Riportare i procedimenti di calcolo seguiti.

[illegible]