

3.5.5 MIPS32处理器设计

(指令时间特性分析)

※CPU设计的主要任务

※拟定指令集 ✓

※数据通路设计 ✓

※控制器设计 ✓

RISC32单/多周期处理器，指令周期如何确定？时效特性如何？

假设各部件的硬件延时（ 10^{-12} 秒，皮秒）：

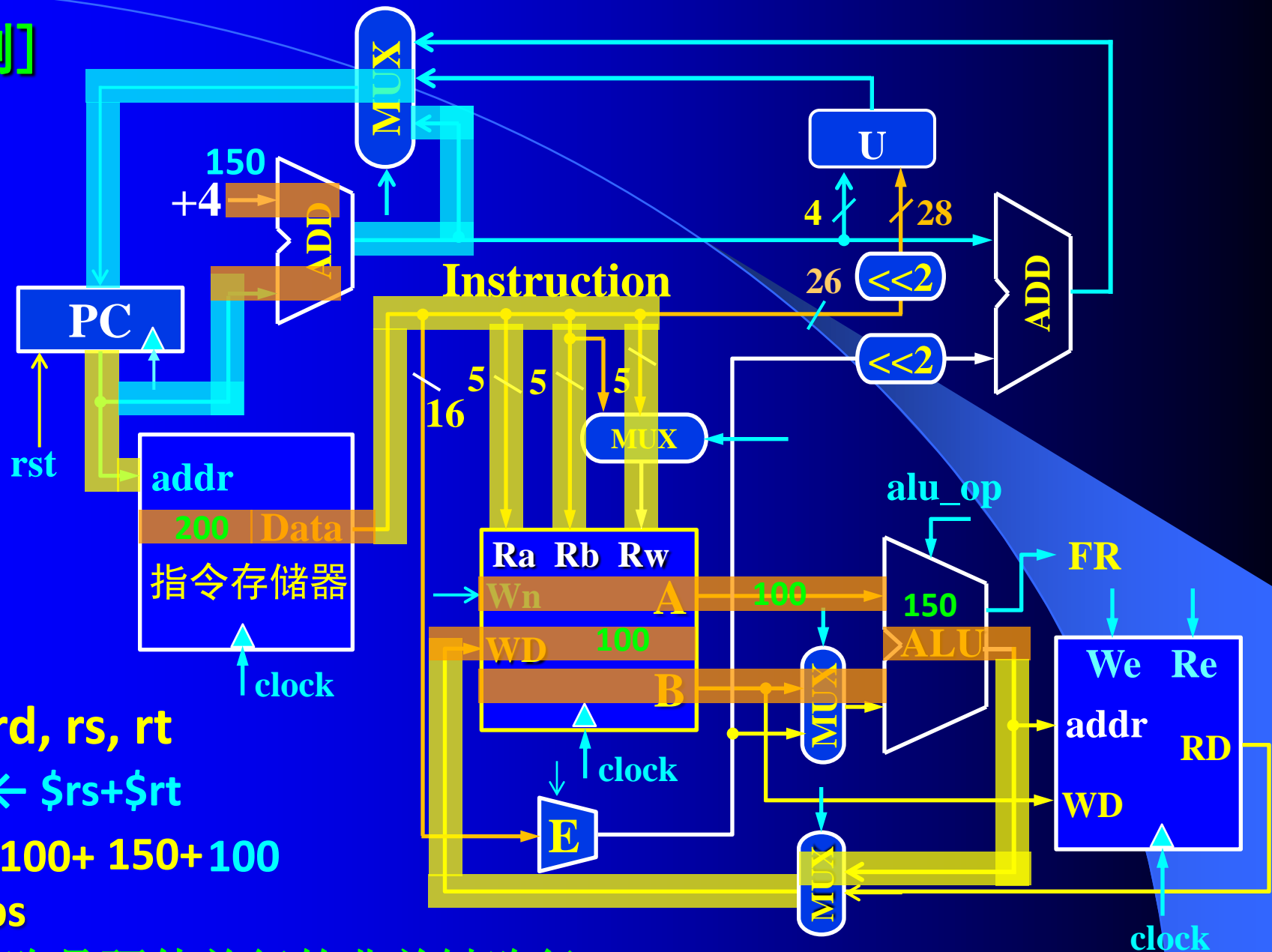
- √存储器的读写操作：200ps
- √寄存器堆的读写操作：100ps
- √ALU和加法器运算：150ps
- √拼接器：50ps
- √其它部件忽略不计：0ps

1. MIP32单周期CPU分析

基于前述设计的处理器，

它能支持R、I、J型共11条目标指令。

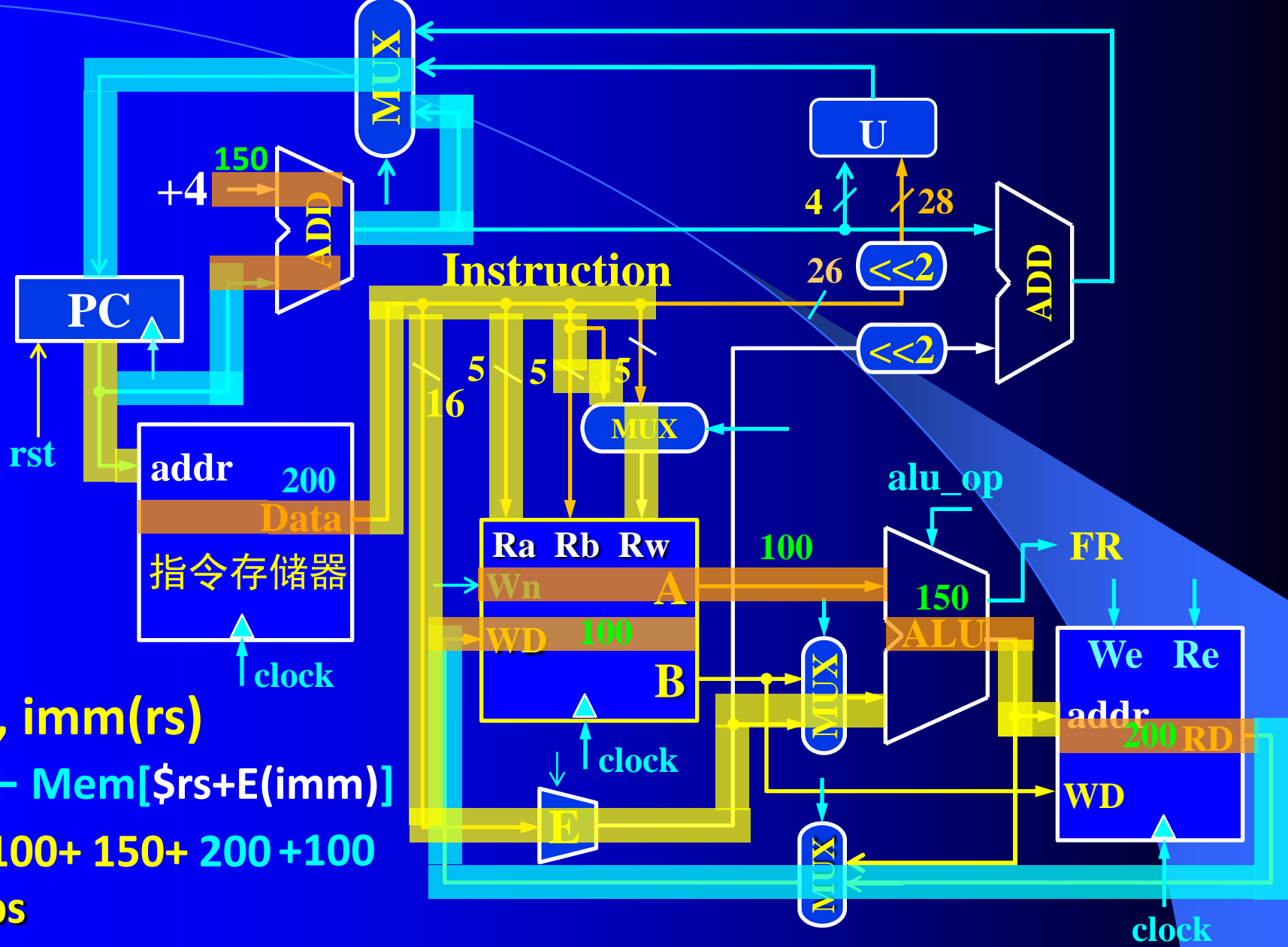
[举例]



add rd, rs, rt
$\$rd \leftarrow \$rs + \$rt$

200 + 100 + 150 + 100
= 550ps

PC回路是硬件并行的非关键路径



lw rt, imm(rs)

\$rt ← Mem[\$rs+E(imm)]

200+100+ 150+ 200+100

=750ps

PC回路是硬件并行的非关键路径

用同样方法可得到如下时间：

| 指令类别 | 路径分段延时 (ps) | 最长延时 (ps) |
|----------|-----------------------|-----------|
| R/I型运算指令 | $200+100+150+0+100$ | 550 |
| I型lw | $200+100+150+200+100$ | 750 |
| I型sw | $200+100+150+200$ | 650 |
| I型beq | $200+100+150$ | 450 |
| J型指令 | $200+50$ | 250 |

由此可见：lw指令耗时最长：750ps

→ 单周期CPU的指令周期T应不小于lw指令时间

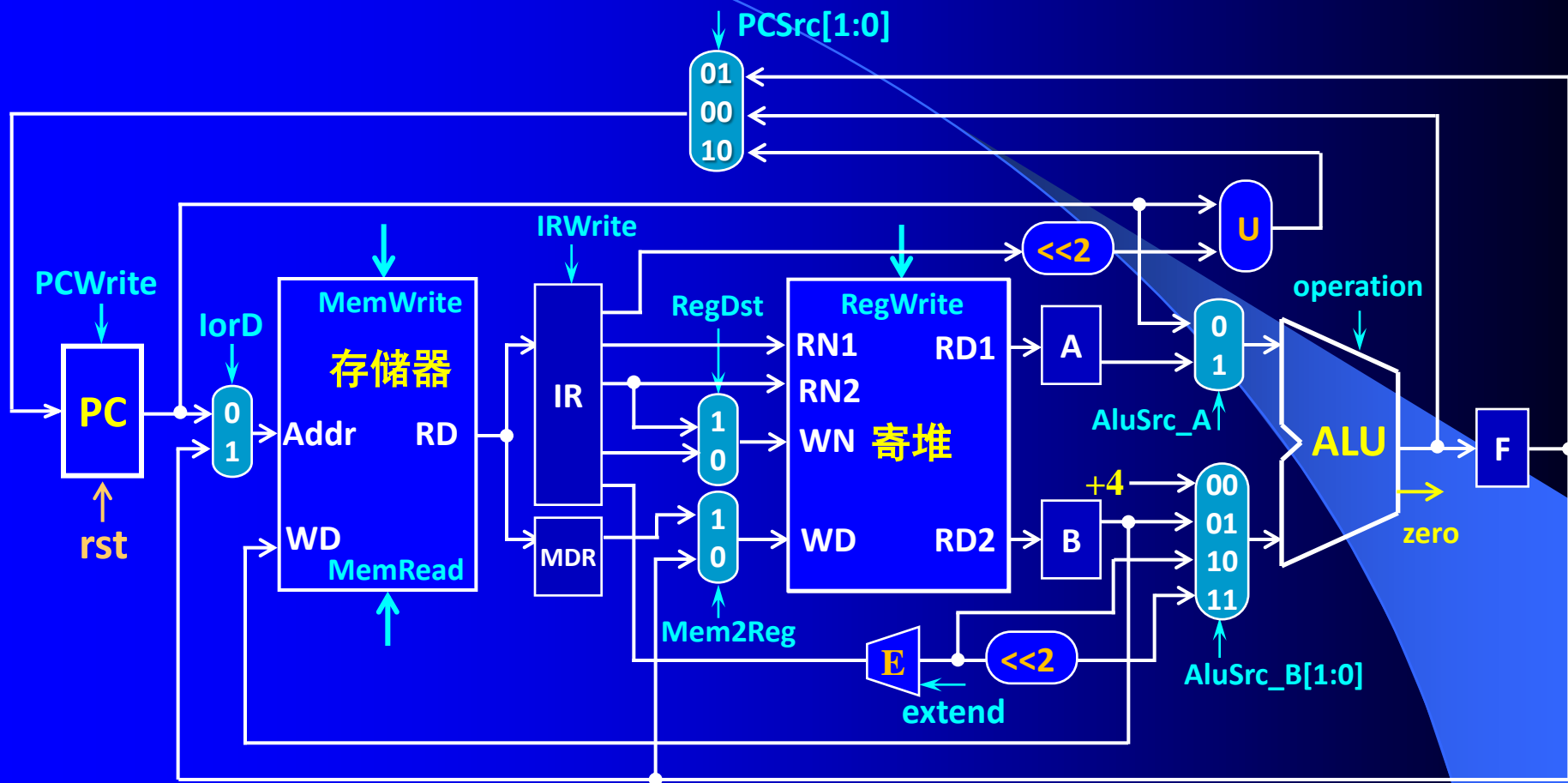
→ $T=750\text{ps}$

→ CPU主频 $\approx 1.33\text{GHz}$

※单周期CPU特性总结

- (1) 指令周期与时钟周期等长，且宽度较大；
 - (2) 处理器的CPI=1；
 - (3) 在指令周期中，各种硬件资源均被相应的功能操作独占，不能共享，硬件利用率低；
 - (4) 所有指令无论其实际执行时间长短，均分配较长的时钟周期，时间浪费严重；
- 对简单的小规模指令集支持较好；
- 难胜任浮点或更复杂指令集；

2. MIPS32多周期CPU分析



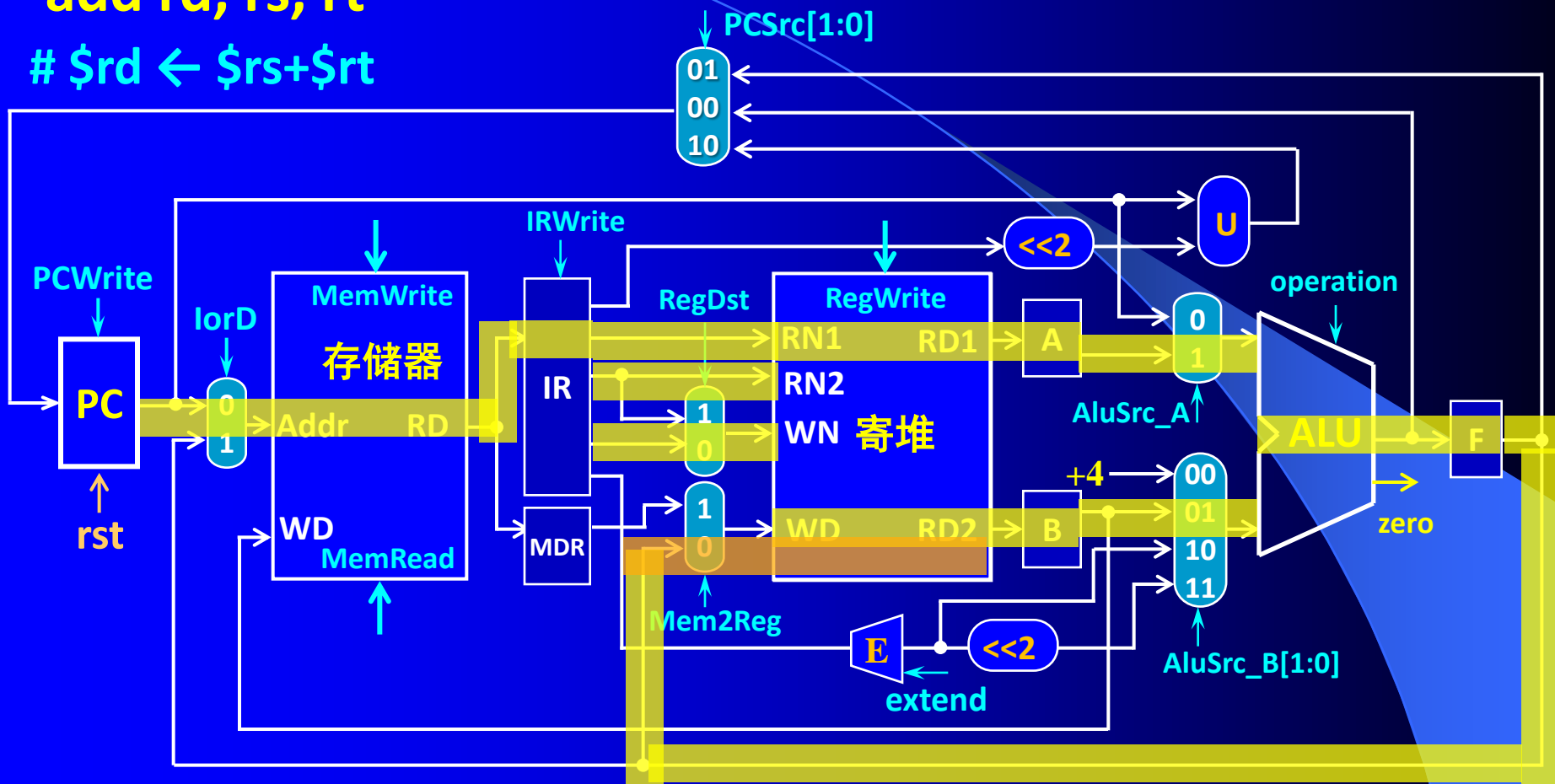
已能支持:

部分R型运算、I型(访存/分支/运算等)和J型指令;

[举例]

add rd, rs, rt

\$rd ← \$rs+\$rt



共 4T: (FT)200+ (DT)100+ (ET)150+ (RT)100
=550ps

用同样方法，可得如下结果：

| 指令 | FT | DT | ET | MT | RT | 合计 | 指令周期 |
|-------|-----|-----|-----|-----|-----|-----|---------|
| I/R运算 | 200 | 100 | 150 | X | 100 | 550 | 4T=800 |
| I型lw | 200 | 100 | 150 | 200 | 100 | 750 | 5T=1000 |
| I型sw | 200 | 100 | 150 | 200 | X | 650 | 5T=1000 |
| I型beq | 200 | 150 | 150 | X | X | 500 | 3T=600 |
| J型指令 | 200 | 50 | X | X | X | 250 | 2T=400 |

由此可见：耗时最长的步骤为读写存储器-200ps

→ T=200ps → CPU主频≈5GHz

※多周期CPU特性总结

- (1) 缩短时钟周期，可以为不同的指令安排多个时钟周期， $CPI \geq 2$ ；
- (2) 不同类型指令分配的时钟周期数可以不同；
- (3) 指令周期的长度一般会变长，执行速度降低；
- (4) 硬件可共享，硬件资源的综合利用率高。