

4.3 半导体存储器

4.3.1 存储器的设计原则

存储器通常有：**RAM型 ROM型 RAM+ROM混合型**

设计存储器时, 要考虑以下因素:

(1) 接口协议的匹配

**物理特性、功能规范、电平特性、时序逻辑
等等。**

(2) 存储芯片（颗粒）选择

失电后保存信息：SRAM或ROM芯片

运行期存储信息：DRAM芯片

存储器指标 { 地址空间、
位宽、
工作频率、
电压等 } → 选择存储芯片(技术规格)

(3) 存储器的地址分配与地址译码

芯片内部地址、芯片选择信号

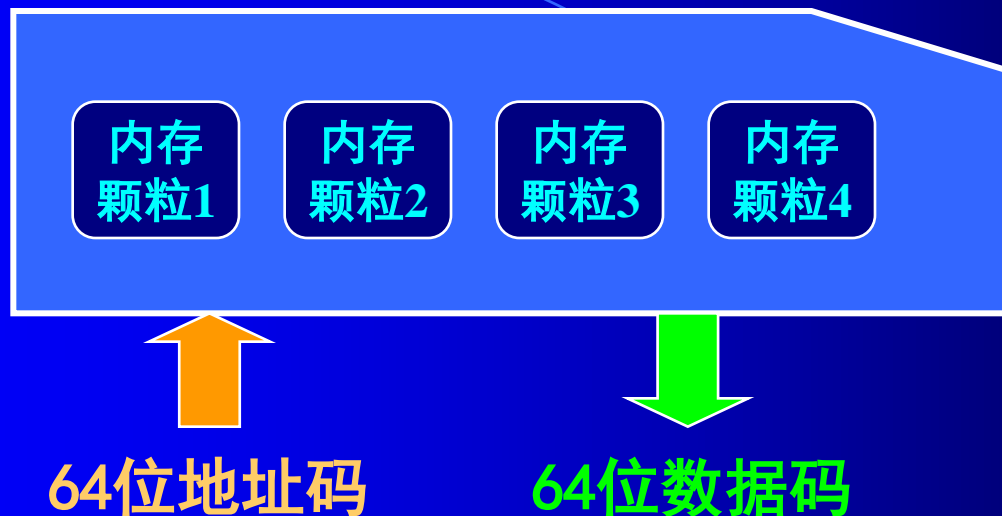
(4) 芯片的布局和排线

地址线、数据线、片选、R/W控制线等。

4.3.2 半导体存储器逻辑设计

需解决：芯片的选用、
片内地址分配与片选逻辑、
信号线的连接。

对于如下的内存结构示意图：



在已知内存总容量和内存颗粒规格情况下：

- 1、如何选用芯片？（技术规格、数量）
- 2、芯片地址分配与片选逻辑？
- 3、线路的连接、布局？

[例1]

用2114 ($1K \times 4$) SRAM芯片组成容量为 $4K \times 8$ 的存储器。地址总线A15~A0 (低), 双向数据总线D7~D0 (低), 读/写信号线R/W。

请给出芯片内部地址分配与片选逻辑,并画出M的结构原理框图。

1. 计算芯片($1K \times 4b$)数量 (总容量: $4K \times 8b$)

(1) 可以先扩展位数, 再扩展地址空间

| | |
|---------------|---------------|
| $1K \times 4$ | $1K \times 4$ |
| $1K \times 4$ | $1K \times 4$ |
| $1K \times 4$ | $1K \times 4$ |
| $1K \times 4$ | $1K \times 4$ |

2片 $1K \times 4 \longrightarrow 1K \times 8$

4组 $1K \times 8 \longrightarrow 4K \times 8$

} 8片($1K \times 4b$)

(2) 也可以先扩展地址空间, 再扩展位数

| | |
|---------------|---------------|
| $1K \times 4$ | $1K \times 4$ |
| $1K \times 4$ | $1K \times 4$ |
| $1K \times 4$ | $1K \times 4$ |
| $1K \times 4$ | $1K \times 4$ |

4片 $1K \times 4 \longrightarrow 4K \times 4$

2组 $4K \times 4 \longrightarrow 4K \times 8$

} 8片($1K \times 4b$)

2. 地址分配与片选逻辑

存储器寻址逻辑：两级译码寻址系统

芯片选择(第1级)+芯片内寻址(第2级)



哪些地址信号作为
片选信号?



哪些地址信号作为
片内寻址信号?

存储空间分配:

4KB存储器在16位地址空间（64KB）中占据任意连续区间。

16位地址线

A15...A12 A11A10 A9 ... A0

0 ... 0 0 0 0 ... 0

0 ... 0 0 0 1 ... 1

0 ... 0 0 1 0 ... 0

0 ... 0 0 1 1 ... 1

0 ... 0 1 0 0 ... 0

0 ... 0 1 0 1 ... 1

0 ... 0 1 1 0 ... 0

0 ... 0 1 1 1 ... 1

全0

片选

片内地址

每组1K寻址空间:

$$2^{10}=1K$$

片内 $A_9 \sim A_0$

共4组芯片:

$$2^2=4$$

片选 $A_{11} \sim A_{10}$

64KB

| | |
|------|------|
| ⋮ | |
| 1K×4 | 1K×4 |
| 1K×4 | 1K×4 |
| 1K×4 | 1K×4 |
| 1K×4 | 1K×4 |
| ⋮ | |

地址码=片选地址 (2位)+片内地址 (10位)

芯片组 片内地址 片选信号 片选逻辑

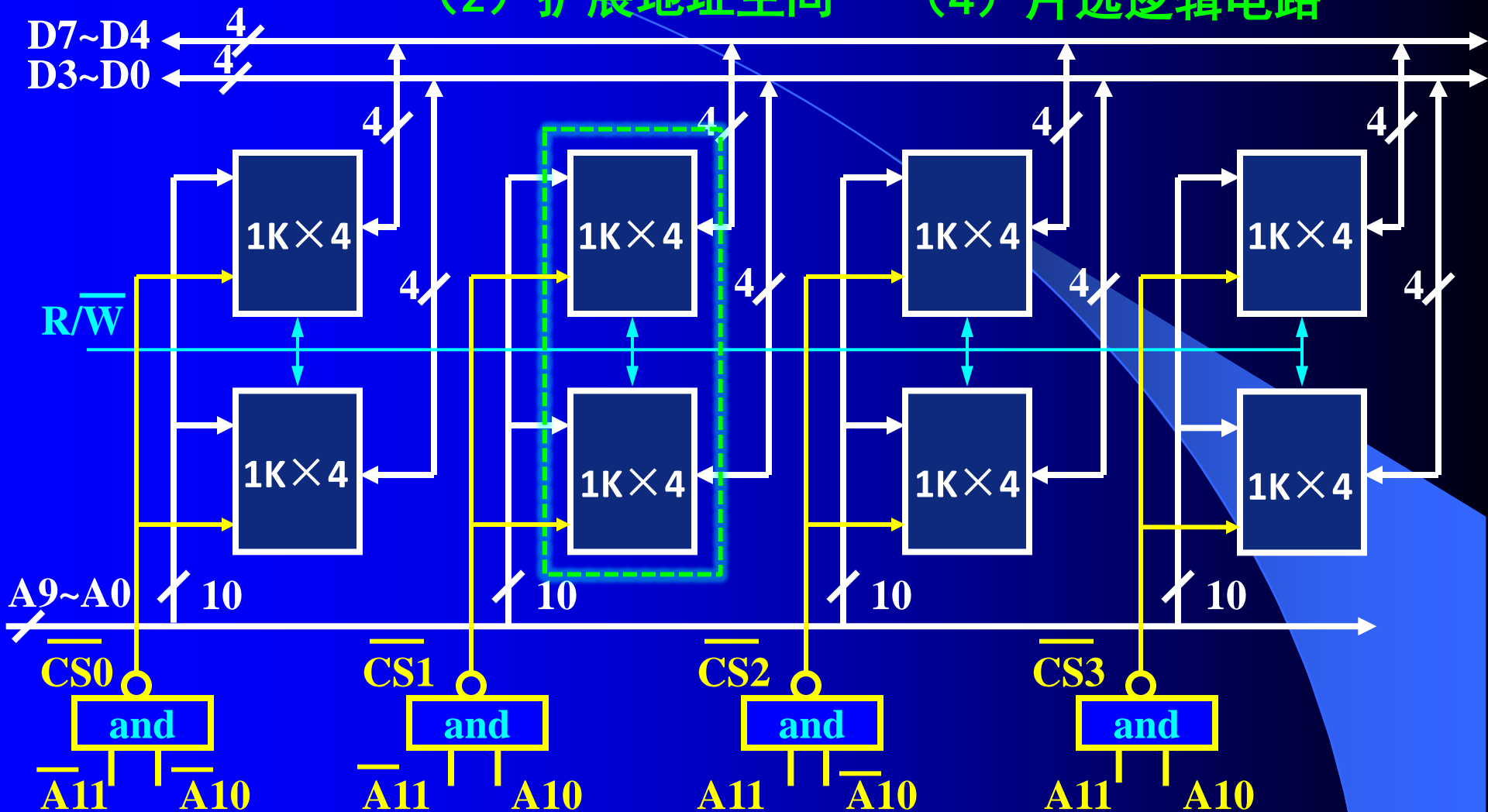
| | | | | | | |
|------|-------|-------------------|--------------------------------------|---|------|------|
| 1K×8 | A9~A0 | \overline{CS}_0 | $\overline{A_{11}}\overline{A_{10}}$ | 0 | 1K×4 | 1K×4 |
| 1K×8 | A9~A0 | \overline{CS}_1 | $\overline{A_{11}}A_{10}$ | 1 | 1K×4 | 1K×4 |
| 1K×8 | A9~A0 | \overline{CS}_2 | $A_{11}\overline{A_{10}}$ | 2 | 1K×4 | 1K×4 |
| 1K×8 | A9~A0 | \overline{CS}_3 | $A_{11}A_{10}$ | 3 | 1K×4 | 1K×4 |

高4位地址A15~A12全0，可以不使用。

3. 线路连接

(1) 扩展位数
(2) 扩展地址空间

(3) 读写控制线
(4) 片选逻辑电路



总线地址：00000101010101，试分析其寻址情况

[例2] 某半导体存储器，按**字节**编址。其中，**0000H~07FFH**为ROM区，选用EPROM芯片(**2KB/片**)；**0800H~13FFH**为RAM区，选用RAM芯片(**2KB/片**和**1KB/片**)。地址总线**A15~A0**（低）。给出地址分配和片选逻辑。

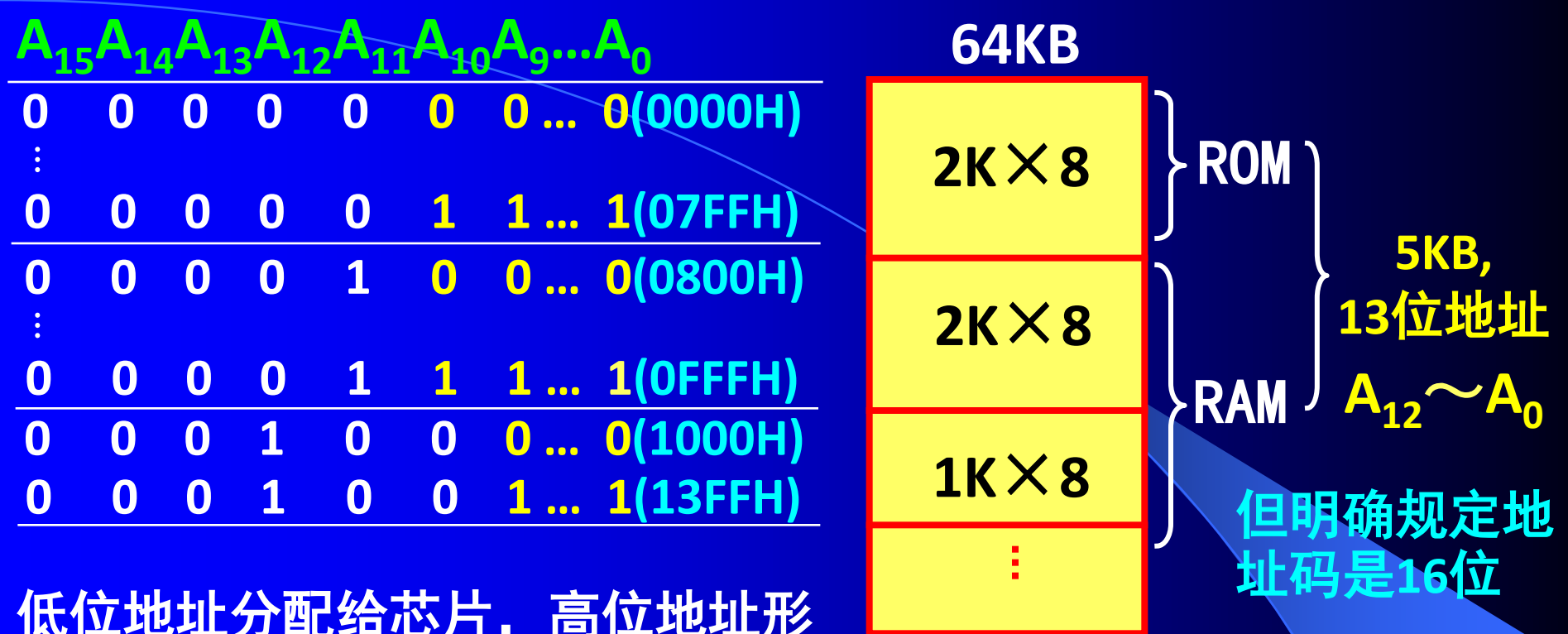
1. 计算容量和芯片数

ROM区： $(07FF_{16} - 0000_{16} + 1_{10}) \div 1024_{10} = 2K \dots 1\text{片}$

RAM区： $(13FF_{16} - 0800_{16} + 1_{10}) \div 1024_{10} = 3K \dots \text{各}1\text{片}$

2. 地址分配与片选逻辑

存储空间分配： 先安排大容量芯片（放地址低端），再安排小容量芯片。
便于拟定片选逻辑。

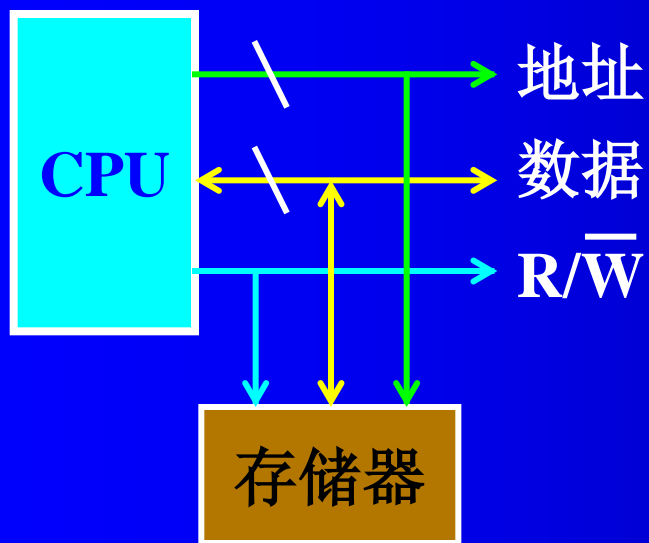


低位地址分配给芯片，高位地址形成片选逻辑：

| 芯片组 | 片内地址 | 片选信号 | 片选逻辑 |
|--------|-------------------|-------------------|--|
| 2K × 8 | $A_{10} \sim A_0$ | \overline{CS}_0 | $\overline{A_{15}} \overline{A_{14}} \overline{A_{13}} \overline{A_{12}} \overline{A_{11}}$ |
| 2K × 8 | $A_{10} \sim A_0$ | \overline{CS}_1 | $\overline{A_{15}} \overline{A_{14}} \overline{A_{13}} \overline{A_{12}} A_{11}$ |
| 1K × 8 | $A_9 \sim A_0$ | \overline{CS}_2 | $\overline{A_{15}} \overline{A_{14}} \overline{A_{13}} A_{12} \overline{A_{11}} \overline{A_{10}}$ |

4.3.3 主存与外部的连接

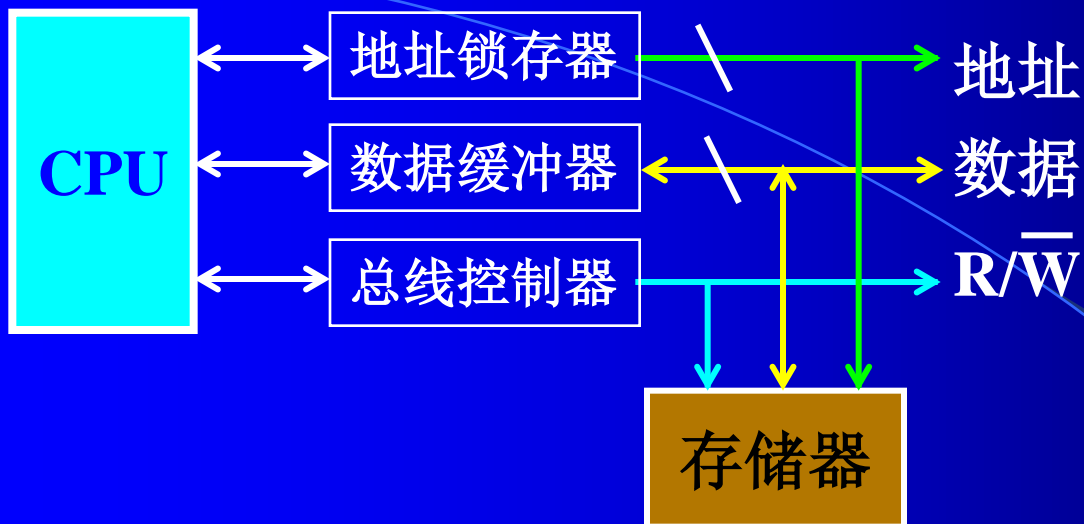
1. 系统的结构模式



(a) 模块式直连

连接特点:

- ※ CPU与存储器直接相连;
- ※ 存储器容量小, SRAM;
- ※ CPU-存储器, 两者集成在一块插卡上, 作为一个单独的计算模块来使用;



(b) 部件式总线挂接

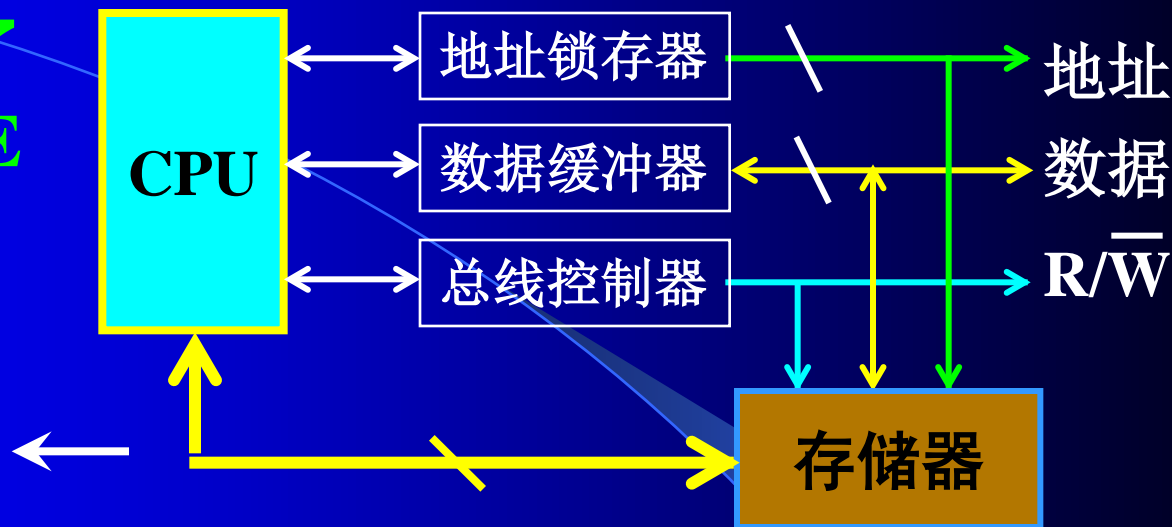
微机系统（如个人电脑）中，普遍采用这种模式。

连接特点:

- ※ 存储器通过总线与CPU相连;
- ※ 存储器独立、容量大, DRAM;
- ※ 会与总线上的其它部件争夺总线控制权;

CPU 直接集成了
存储管理、PCI-E
等接口

高速
存储总线



(C) 专用存储总线

连接特点:

- ※ 存储器与CPU之间增设了专用的高速存储总线;
- ※ 存储器独立、容量大, DRAM;
- ※ 存储器独享存储总线的带宽;

2. 速率匹配与时序控制

要确保主存与外部的数据速率、时序一致

3. 数据通路匹配

主要是数据位宽的匹配。

4. 有关的控制、状态信号

读写控制、行列控制、忙/空状态等

4.3.5 动态存储器的刷新

1. 刷新含义和原因

含义：定期向电容补充电荷 → 刷新。

[原因]

动态存储器依靠电容电荷存储信息，没有电源(V_{CC})持续供电，电荷会泄漏，故需定期向电容补充电荷，才能维持存储的信息不变。

注意刷新与重写的区别

破坏性读出后的自动操作，以恢复原来信息。
与读写操作无关，定期自动补充电荷以保持信息。

2. 最大刷新间隔 DDR: 64ms

以封装后的一个存储芯片为单位，64ms内必须对所有片内存储单元刷新一遍。

3. 刷新方法：逐行刷新

刷新1行所用的时间：刷新周期 T_{ref} （小于存取周期）

刷新1块芯片所需的刷新周期数由芯片的刷新矩阵的行数和最大刷新间隔决定。

对比访存与刷新

(1) CPU访存

由CPU通过地址总线（AB）提供行+列地址，进行随机访问。

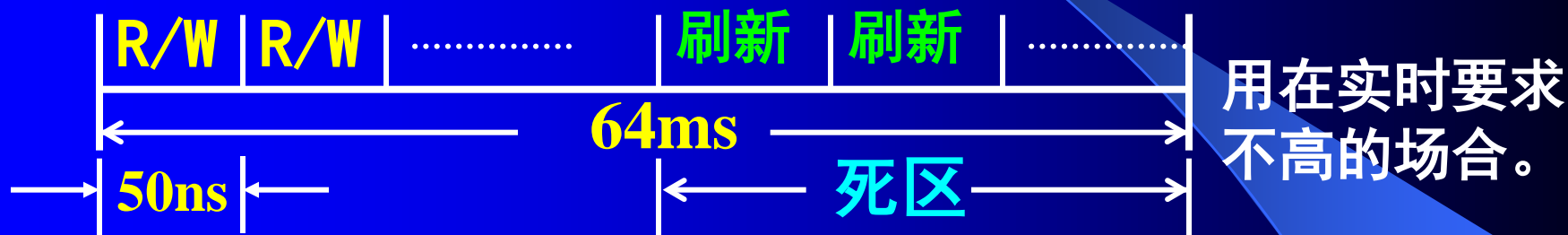
(2) 动态芯片刷新

由刷新地址计数器提供行地址（RA），在64ms内逐行完成全部存储单元的刷新

4. 刷新周期的安排

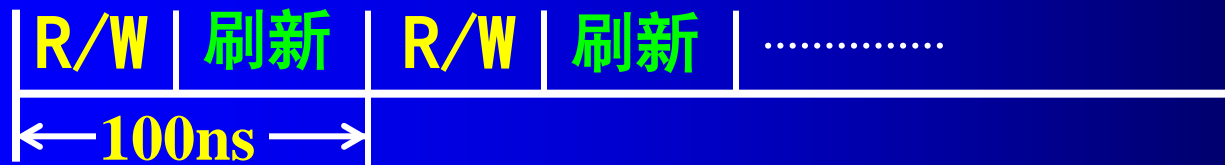
(1) 集中刷新

64ms内集中安排所有刷新周期。



(2) 分散刷新

各刷新周期分散安排在存取周期中。



用在低速系统中。

(3) 异步刷新

各刷新周期分散安排在64ms内, 每隔一段时间刷新1行。



[例] 某DDR内存容量**8GB**, 其刷新的技术规格标注为:
4096 Refresh Cycles/64ms, 请计算 T_{ref}

$$T_{ref} = 64\text{ms} / 4096\text{行} \approx 15.625\text{微秒/行}$$

即平均**15.625 μs** 自动刷新**1行**, **64ms**内才能完成片内所有行的刷新。

目前的**DDR系列**存储器, 采用这种刷新方式。