

**UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL  
INSTITUTO DE INFORMÁTICA  
CONCEPÇÃO DE CIRCUITOS INTEGRADOS I**

**Trabalho Final - Projeto de datapath de somador de 4 bits com Carry-Look-Ahead do  
tipo “Manchester Carry-Chain”**

Alexandre Lima - 273164  
Matheus Adam dos Anjos - 318590

22 de fevereiro de 2024

## TRABALHO PRÁTICO FINAL - Projeto, Layout full-custom, e Análise de desempenho de um circuito Operador Aritmético de 4 bits.

**OBJETIVO:** A dupla de projetistas deverá fazer especificação, o projeto lógico hierárquico, o projeto elétrico das células-folha, o layout de células-folha, verificação completa de layout, extração de elementos de circuito parasitas a partir de layout, e a caracterização elétrica do desempenho, potência e área do Trabalho Final.

### Especificação e planejamento:

O projeto implementado pela dupla é um **Somador inteiro de 4 bits com acelerador Carry-Look-Ahead do tipo “Manchester Carry-Chain” dinâmico.**

Para esse projeto, utilizaremos alguns componentes já realizados e vistos em aula, como inversor, registrador e portas AND e XOR. Para aceleração de carry, usaremos o seguinte esquemático de Manchester Carry-Chain para 1 bit:

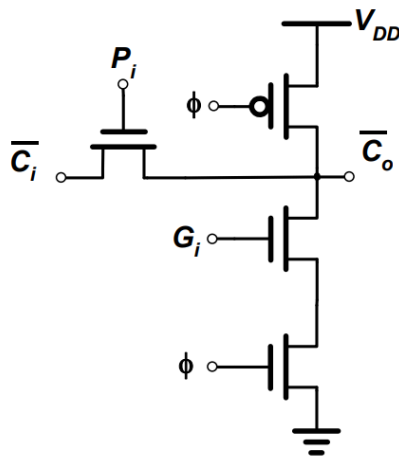


Fig. 1 - Esquemático de antecipação de carry Manchester (1 bit)

Para fazer uso desse circuito, precisamos gerar os sinais P e G, que dependem das entradas A e B, além da soma S, que depende de P e Carry-in ( $C_{IN}$ ) como segue:

$$\text{Generate (G)} = AB$$

$$\text{Propagate (P)} = A \oplus B$$

$$S(G, P) = P \oplus C_i$$

Para os bits 1, 2 e 3 não é necessário o registrador de carry-in, que virá direto do bloco Manchester Carry-Chain (MCC) do bit anterior. Para o bit 3, será necessário um registrador de Carry-out para sinal de overflow. Um inversor na entrada de carry-in 1, 2 e 3 se faz necessário para o cálculo de S (ou saída de carry 0, 1 e 2).

Com tudo isso considerado, planejamos o seguinte *floorplanning* para implementar o somador de 4 bits, cujas entradas são  $A[0:3]$ ,  $B[0:3]$  e  $C_{IN}[0]$ , e saídas  $S[0:3]$  e  $C_{OUT}$ :

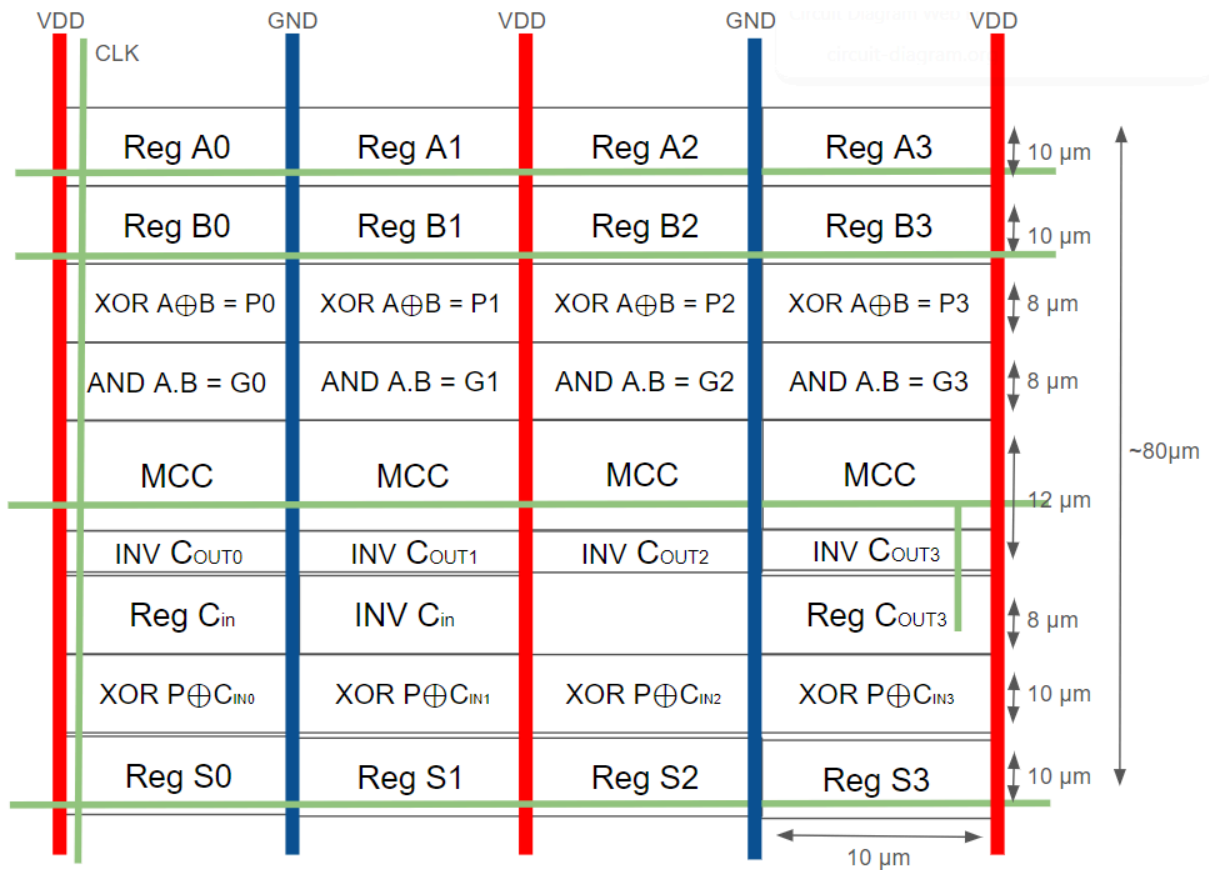


Fig. 2 - Floorplanning planejado do layout.

### Projeto Lógico:

O projeto lógico do somador implementado pode ser visto na imagem a seguir. A implementação consiste no registro das entradas A, B, Cin e Cout do último bit. O Propagate de ordem  $i$  ( $P_i$ ) é calculado através da XOR entre  $A_i$  e  $B_i$ , e o Generate de  $i$  ( $G_i$ ) através da AND entre  $A_i$  e  $B_i$ . Os blocos Manchester Carry-Chain (MCC) são usados para calcular o carry de ordem  $i+1$  usando  $!C_i$  na entrada. Por fim, a XOR entre o  $C_i$  e  $P_i$  computa a soma final  $S_i$ .

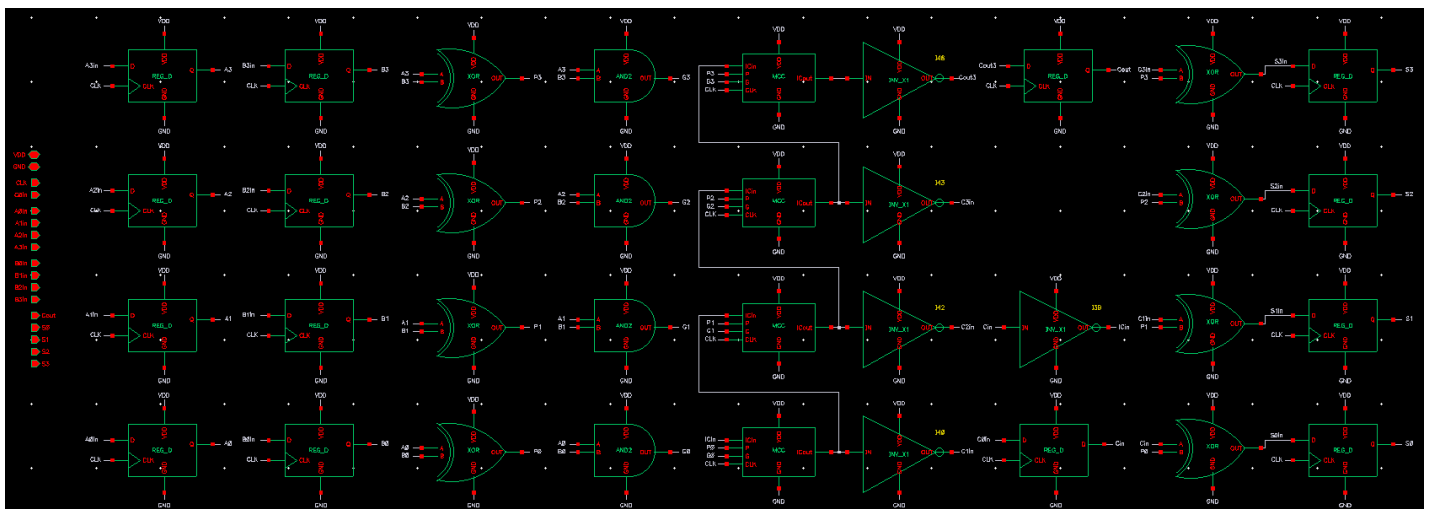


Fig. 3 - Esquema lógico do somador implementado (maior em anexo)

## Esquemáticos Elétricos, Layouts e verificações DRC e LVS:

Para a implementação do somador, foram reutilizadas as células implementadas nos trabalhos anteriores, sendo elas o registrador, o inversor e porta lógica XOR2. Três novas células foram implementadas, uma AND2 e o carry look-ahead do tipo Manchester Carry-Chain dinâmico (MCC), além do somador por completo. O esquemático elétrico, layout e verificações das células podem ser vistas nas imagens a seguir:

### INVERSOR (INV\_X1):

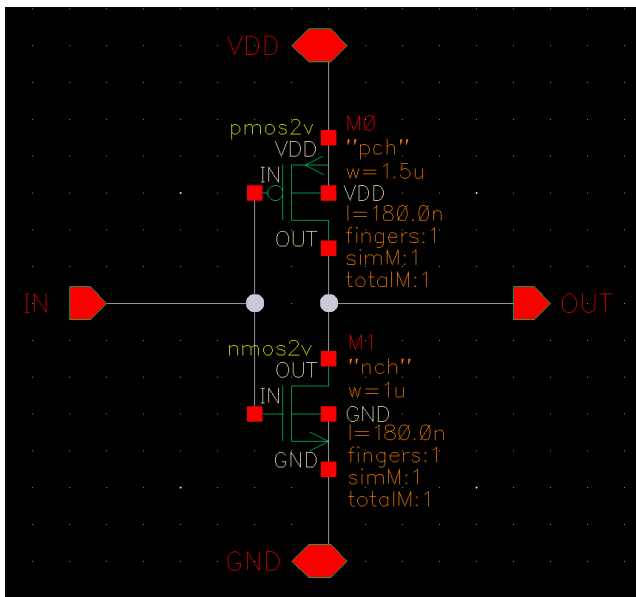


Fig. 4: Esquemático inversor INV\_X1

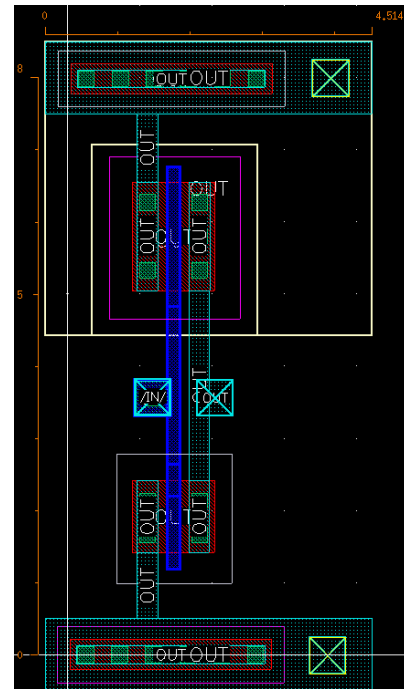


Fig. 5: Layout inversor INV\_X1 de área total  $\approx 36\mu\text{m}^2$ .

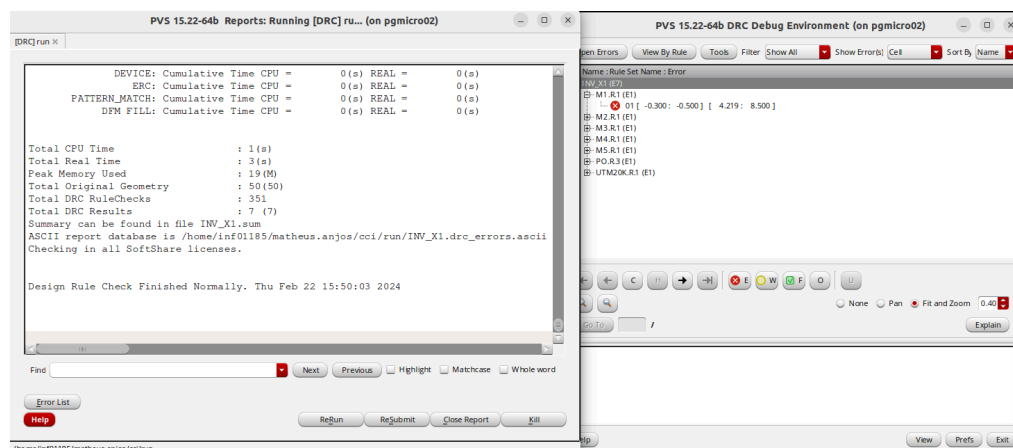


Fig. 6: Verificação DRC inversor INV\_X1.



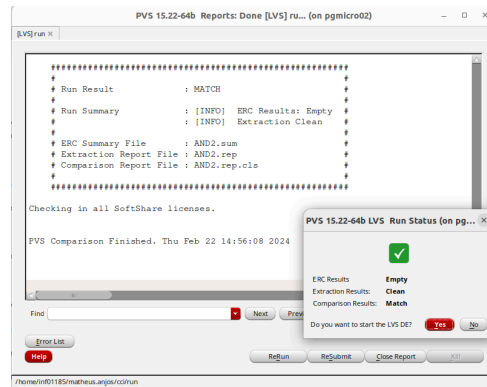


Fig. 11: Verificação LVS porta AND2.

## PORTA LÓGICA XOR2:

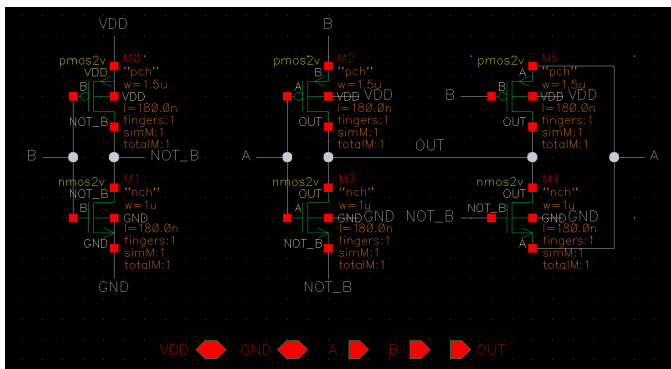


Fig. 12 : Esquemático porta XOR2.

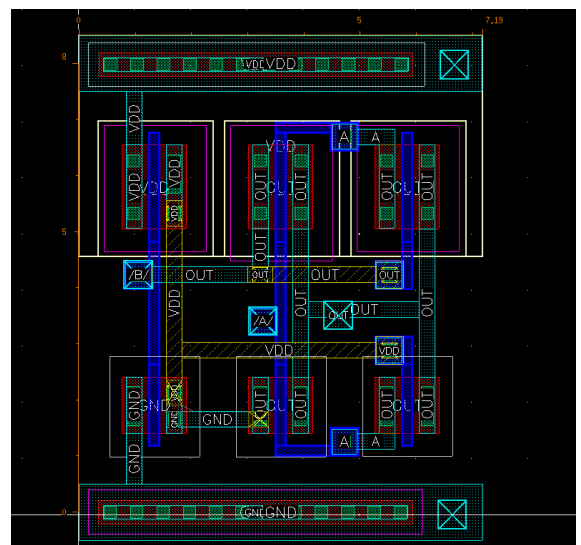


Fig 13 : Layout porta XOR2 de área total  $\approx 57.5\mu\text{m}^2$ .

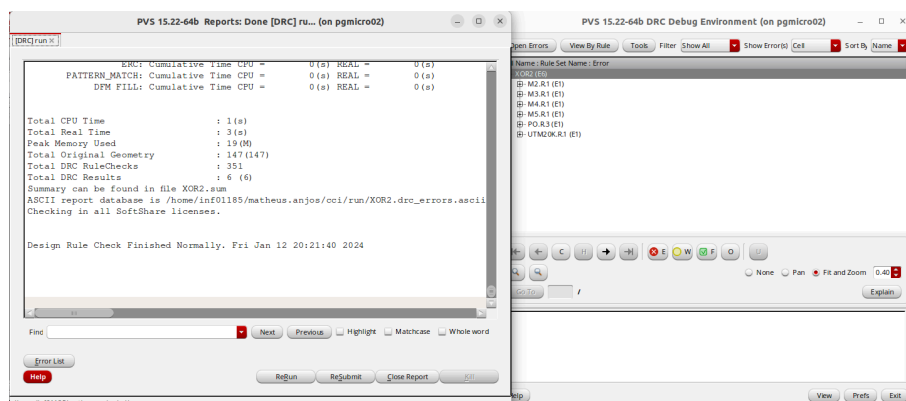


Fig. 14: Verificação DRC porta XO2.

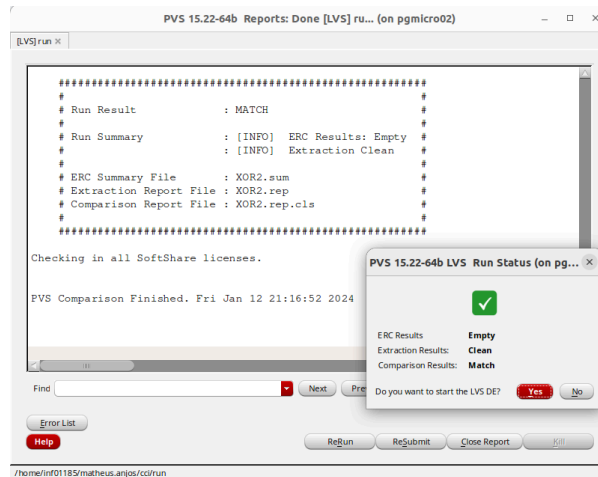


Fig. 15: Verificação LVS porta XO2.

## REGISTRADOR TIPO D DE 1 BIT TRUE SINGLE-PHASE CLOCK (REG\_D):

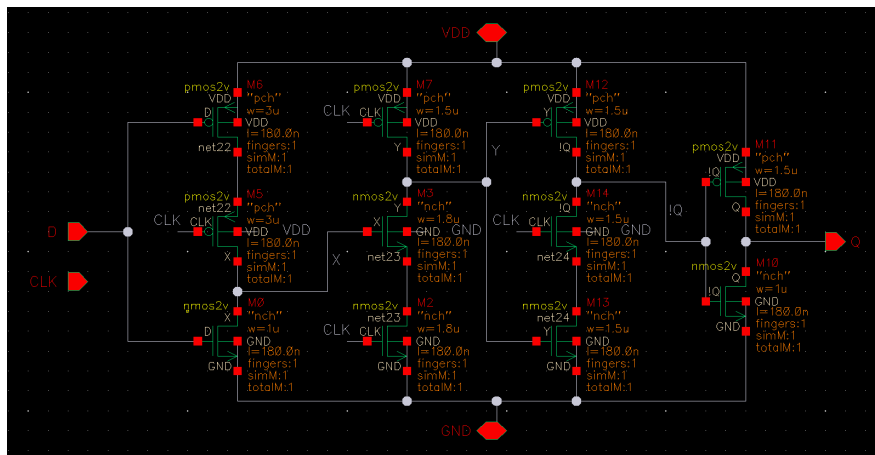


Fig. 16: Esquemático registrador RED\_D.

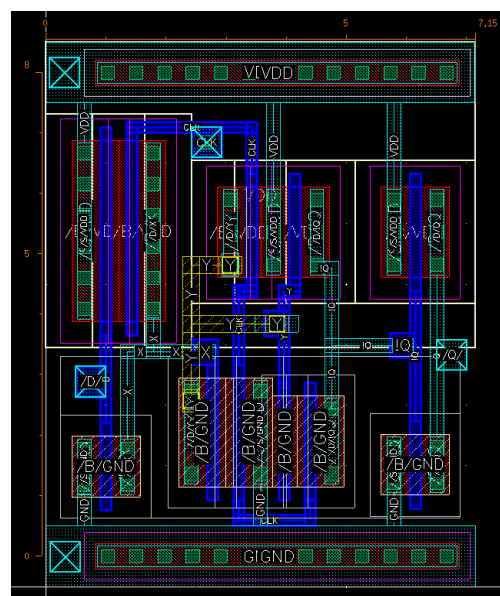


Fig. 17: Layout registrador REG\_D de área total  $\approx 57.2\mu\text{m}^2$ .

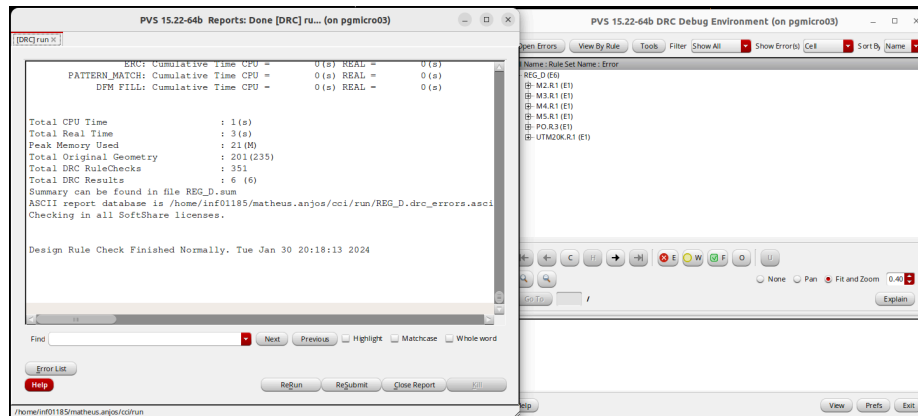


Fig. 18: Verificação DRC registrador REG\_D.

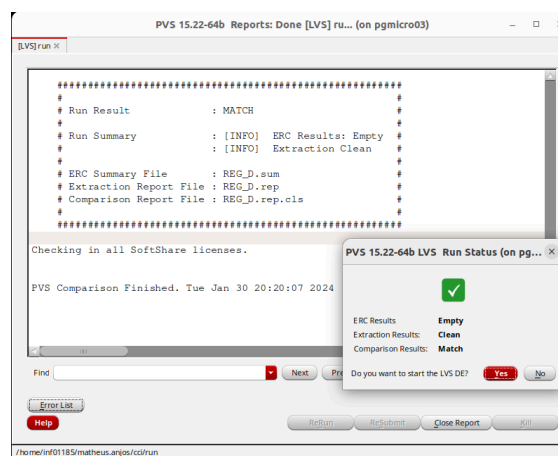


Fig. 19: Verificação LVS registrador REG\_D.

## BLOCO MANCHESTER CARRY-CHAIN (MCC):

A figura 20 apresenta o esquemático do MCC. Durante as simulações, como o cálculo do carry de saída depende do CLK e o registrador registra os dados ao mesmo tempo, a soma computada (e consequentemente, o dado da soma registrado) estava de acordo com o valor do carry anterior a borda sensível do CLK, fazendo com que a soma computada tivesse um valor incorreto. Para resolver o problema, invertemos o CLK usado pelo MCC de forma a propagar o carry na borda inferior ao CLK, enquanto o dado é registrado na borda superior.

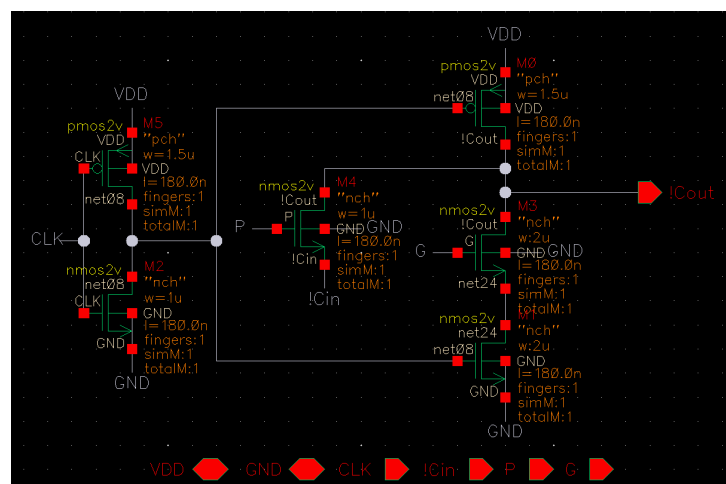


Fig. 20: Esquemático Manchester Carry-Chain dinâmico.



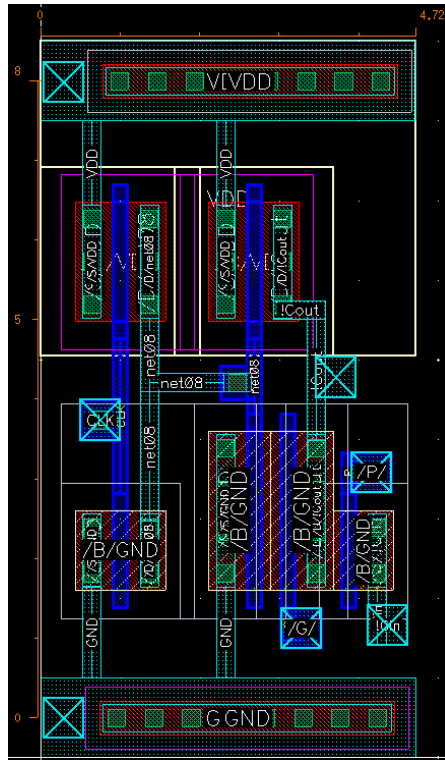


Fig. 21: Layout Manchester Carry-Chain de área total  $\approx 37.8\mu\text{m}^2$ .

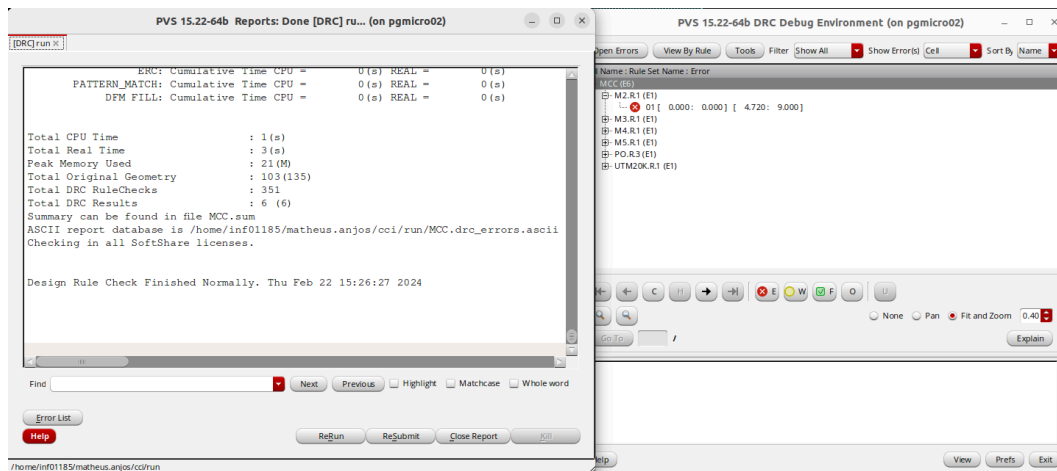


Fig. 22: Verificação DRC Manchester Carry-Chain.

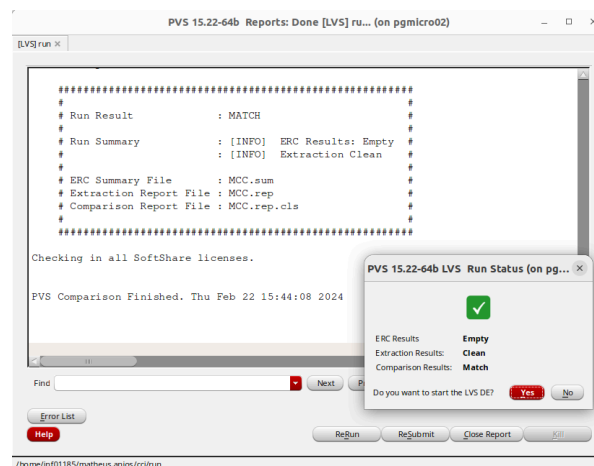


Fig. 23: Verificação LVS Manchester Carry-Chain.

## SOMADOR COMPLETO DE 4 BITS

O projeto foi implementado usando o design de bit slice, calculando o propagate (P) e o generate (G), para ser usado pelo Manchester Carry-Chain (MCC) e posteriormente, na computação da soma. Para isso, foram usadas 5 células diferentes, que são descritas abaixo. O projeto final utilizou 260 transistores no total e blocos com altura padrão de 8 $\mu$ m.

Célula	Quantidade	Transistores/ Célula	Total transistores	Largura	Área	
REG_D	14	11	154	7.15 $\mu$ m	57.2 $\mu$ m <sup>2</sup>	
XOR2	8	6	48	7.19 $\mu$ m	57.5 $\mu$ m <sup>2</sup>	
AND2	4	6	24	4.719 $\mu$ m	37.75 $\mu$ m <sup>2</sup>	
INV_X1	5	2	10	4.514 $\mu$ m	36 $\mu$ m <sup>2</sup>	
MCC	4	6	24	4.72 $\mu$ m	37.8 $\mu$ m <sup>2</sup>	
SOMADOR	-	-	260	31.984 $\mu$ m	1821 $\mu$ m <sup>2</sup>	142.778 transistores/mm <sup>2</sup>

A figura abaixo demonstra o esquemático elétrico do somador, e está representado de forma que a posição de cada célula lógica é a mesma no layout, mostrado na figura 25.

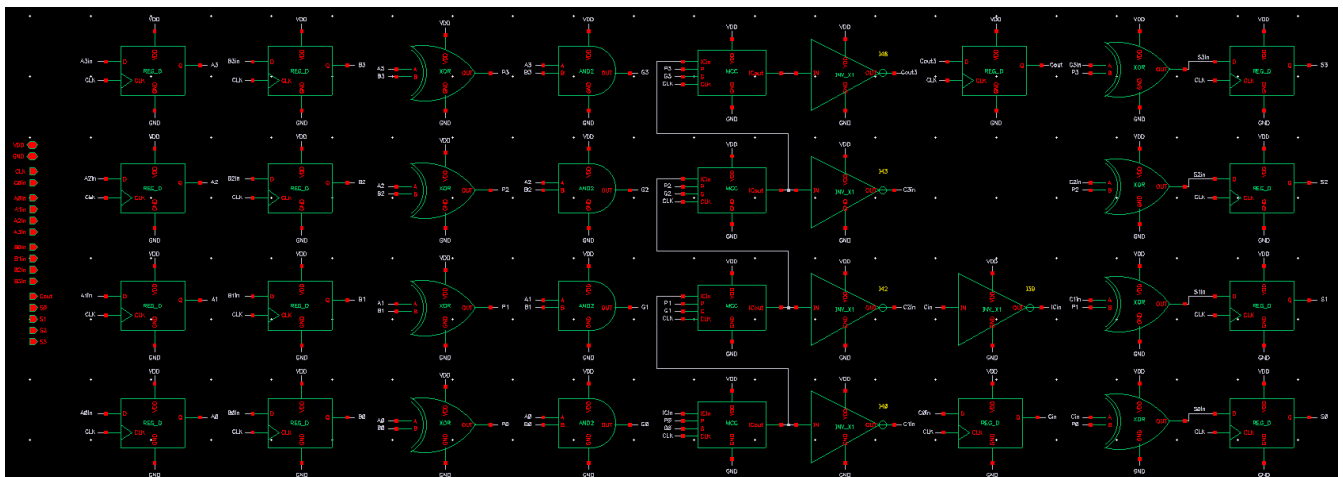


Fig. 24: Esquemático somador 4 bits

A figura 25 representa o layout realizado no projeto. Vale notar que ele está direcionado no sentido vertical. Os metais M1 e M2 foram utilizados para as conexões dentro de cada célula, assim, os metais M3 e M4 foram usados para as conexões entre células. A implementação foi feita com VDD e GND no sentido vertical, desse modo, M3 também foi utilizado para o roteamento vertical, enquanto M4 para o roteamento horizontal. Nessa concepção, o CLK foi roteado no sentido horizontal do leiaute. Não houve necessidade da utilização dos metais M5 e M6. O projeto final apresentou uma largura de 31.984 $\mu$ m e altura de 56.932 $\mu$ m, totalizando uma área de 1821 $\mu$ m<sup>2</sup>.

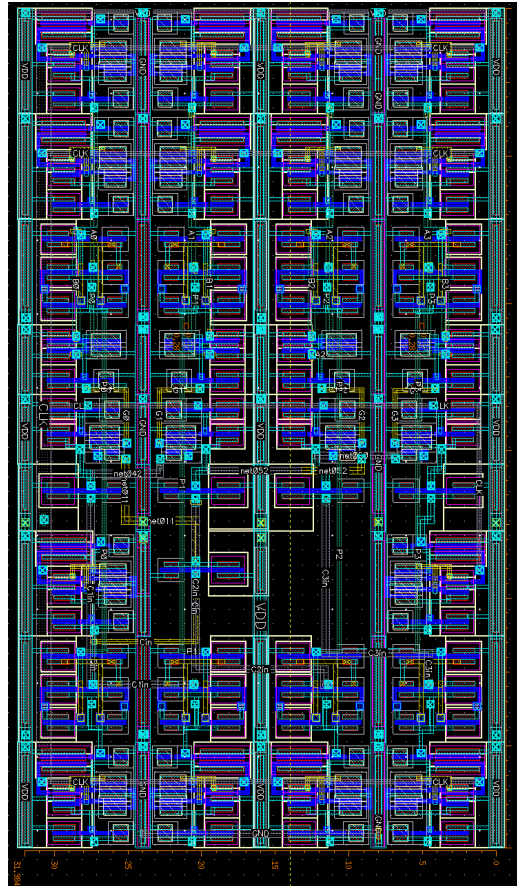


Fig. 25: Layout somador 4 bits de área total  $\approx 1821\mu\text{m}^2$ . (maior em anexo)

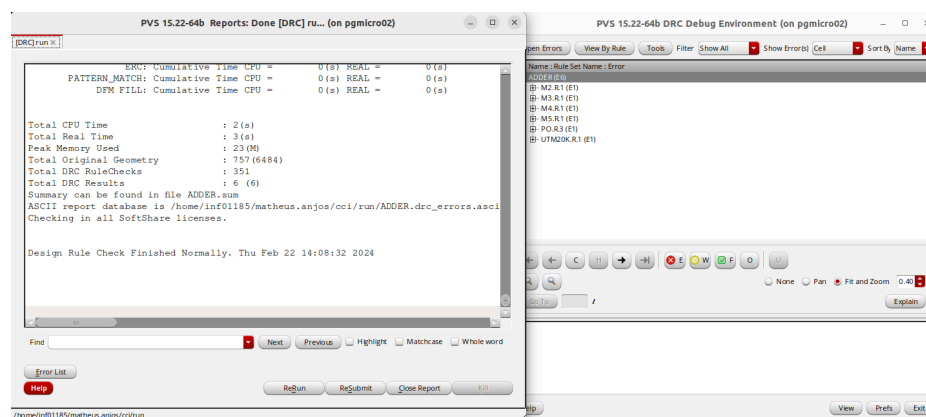


Fig. 26: Verificação DRC somador 4 bits.

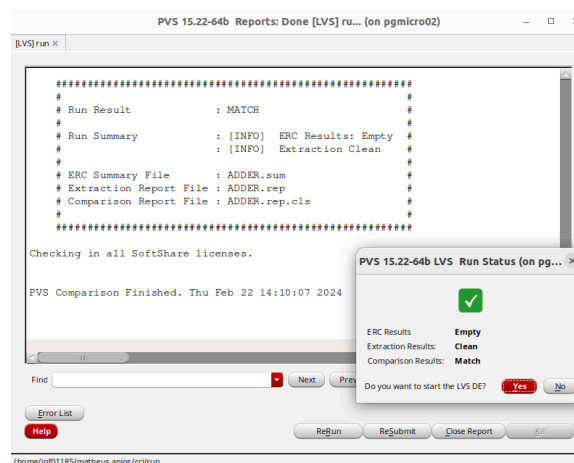


Fig. 27: Verificação LVS somador 4 bits.

## Simulações:

Para verificar o funcionamento correto do somador e estimar seus parâmetros, foi simulado o seguinte circuito:

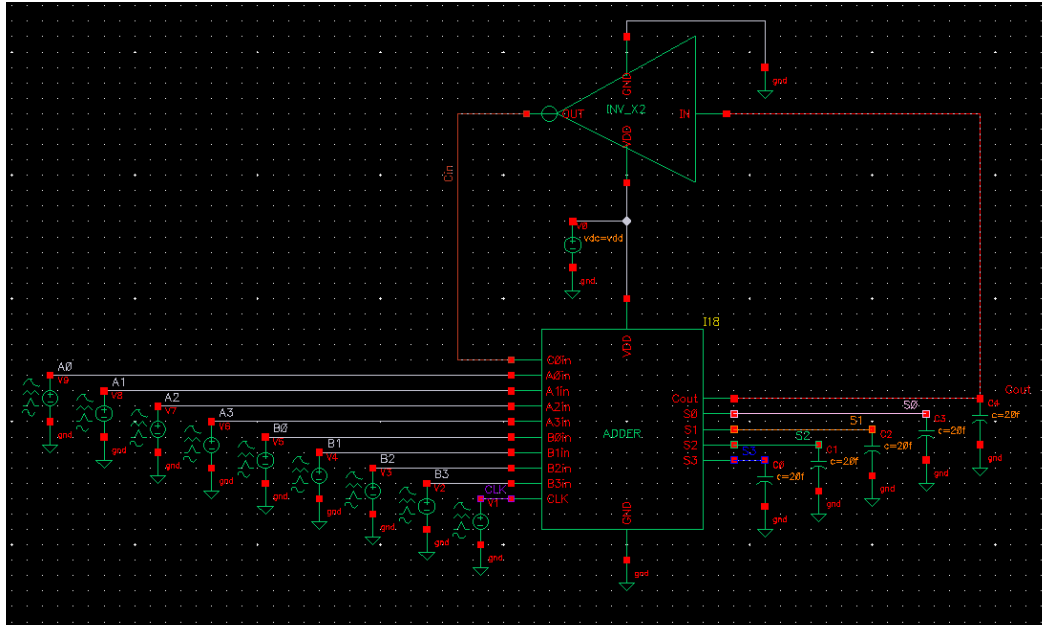


Fig. 28 - Esquemático do circuito simulado

A saída Cout foi invertida e conectada à entrada Cin do somador, permitindo simular o caso onde o Cin sempre se propaga para Cout (na soma  $F+0$ , por exemplo). Dessa forma, podemos estimar a frequência máxima de operação somente variando o período do clock.

Na primeira simulação foi realizada a soma  $F + 0$  (1111+0000) a 400MHz, onde foi verificado o correto funcionamento do somador. Foi observado também que, como todas as entradas e saídas são registradas, é necessário 2 pulsos de clock para a soma estar disponível em  $S[3:0]$  e Cout:

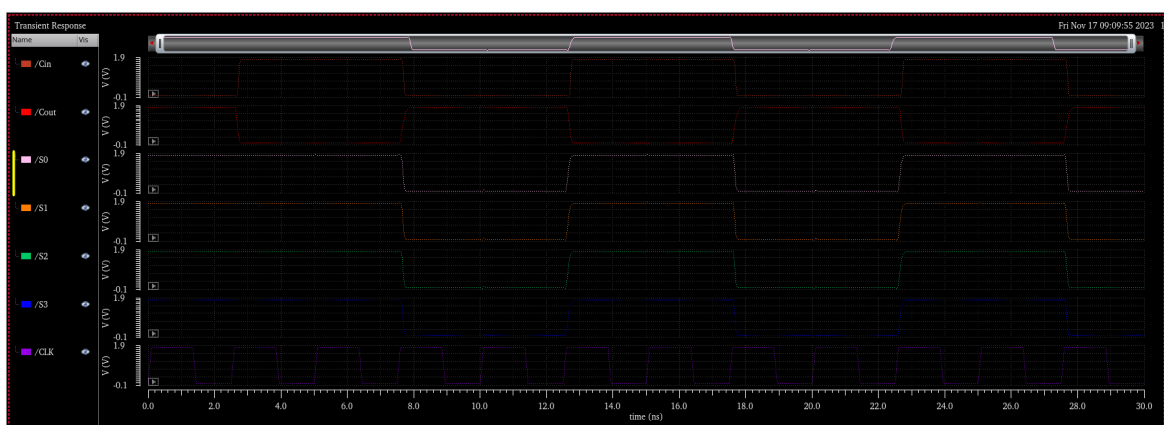


Fig. 29: soma  $F + 0$  com um clock de 400MHz

Pelo gráfico, podemos estimar qual pode ser a frequência máxima de operação do somador ao analisar o tempo necessário entre uma borda de subida do clock e o sinal Cout estabilizar, utilizando marcadores:

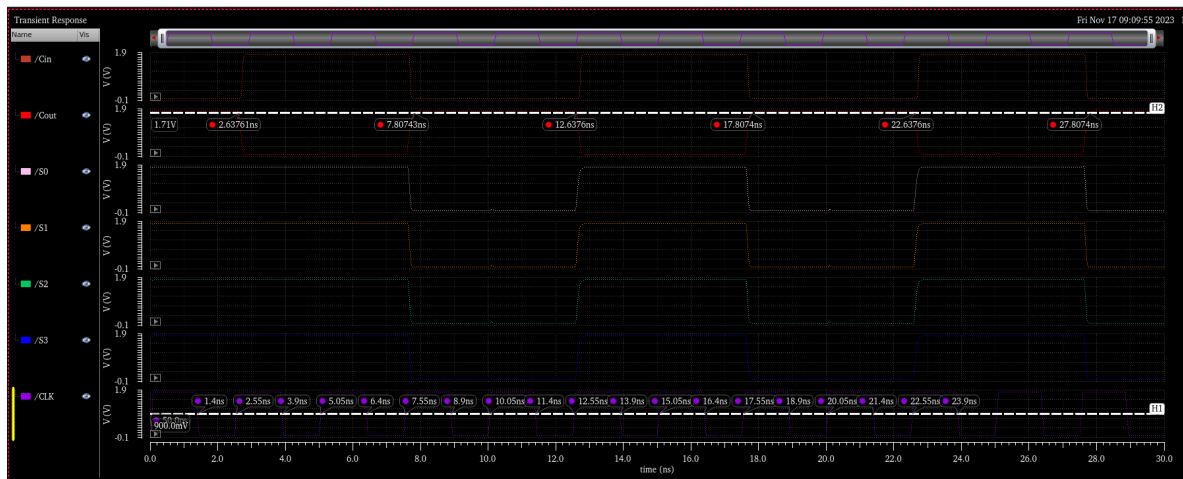


Fig. 30: soma  $F + 0$  e clock de 400 MHz com marcadores de tempo de clock (50%) e Cout (95%)

Podemos ver que, na borda de subida do clock em 7.55ns, o sinal Cout estabiliza em 7.80743ns, uma diferença de  $\sim 257$ ps. Aumentando essa diferença para 300ps para dar margem a atrasos parasitas, e considerando 300ps como meio período de clock, podemos estimar o período mínimo de clock por volta de 600ps, ou então 1.66GHz.

Com essa informação, fomos aumentando a frequência e verificando o comportamento do somador:

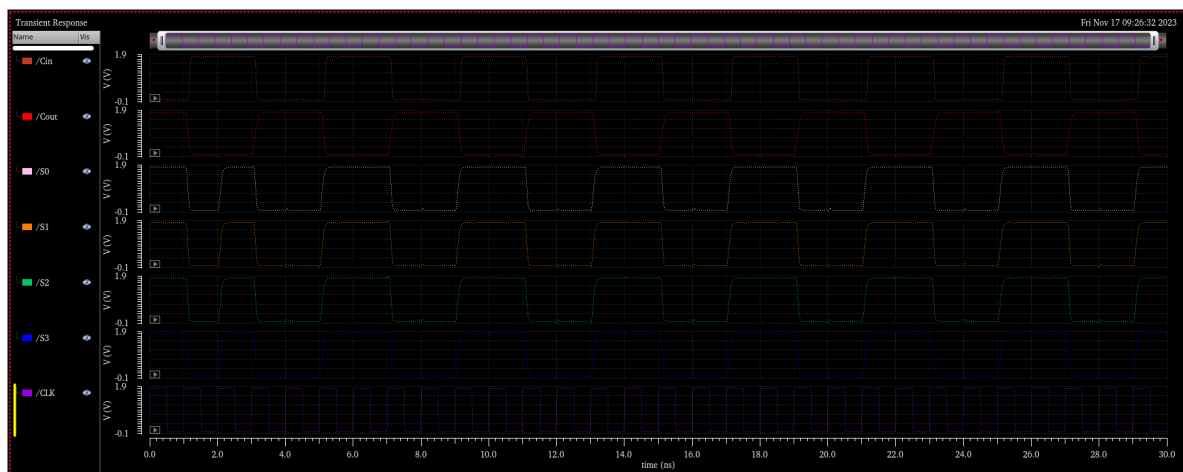


Fig. 31: soma  $F + 0$  e clock de 1 GHz

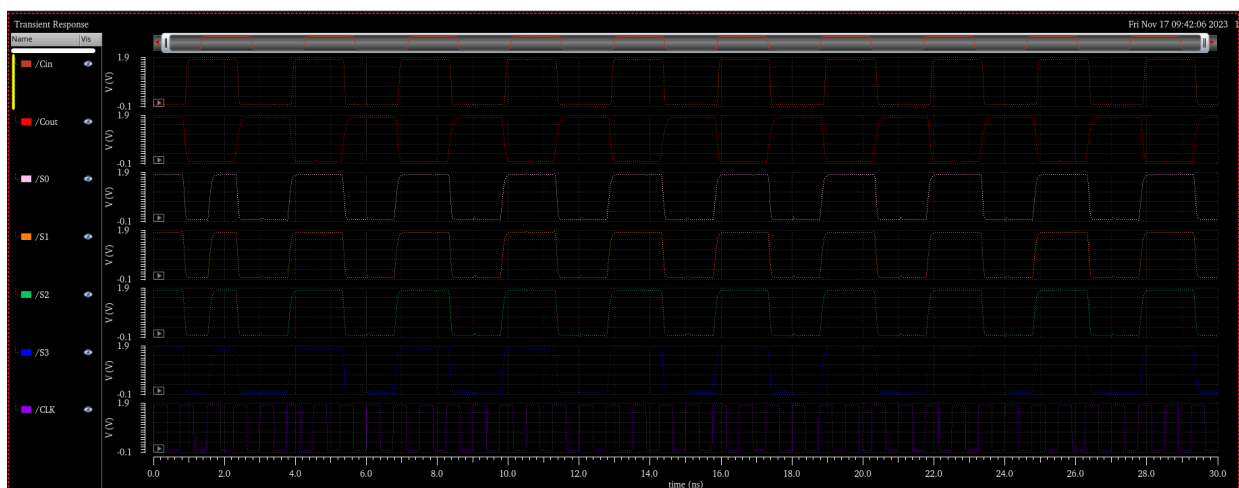


Fig. 32: soma  $F + 0$  e clock de 1.33 GHz

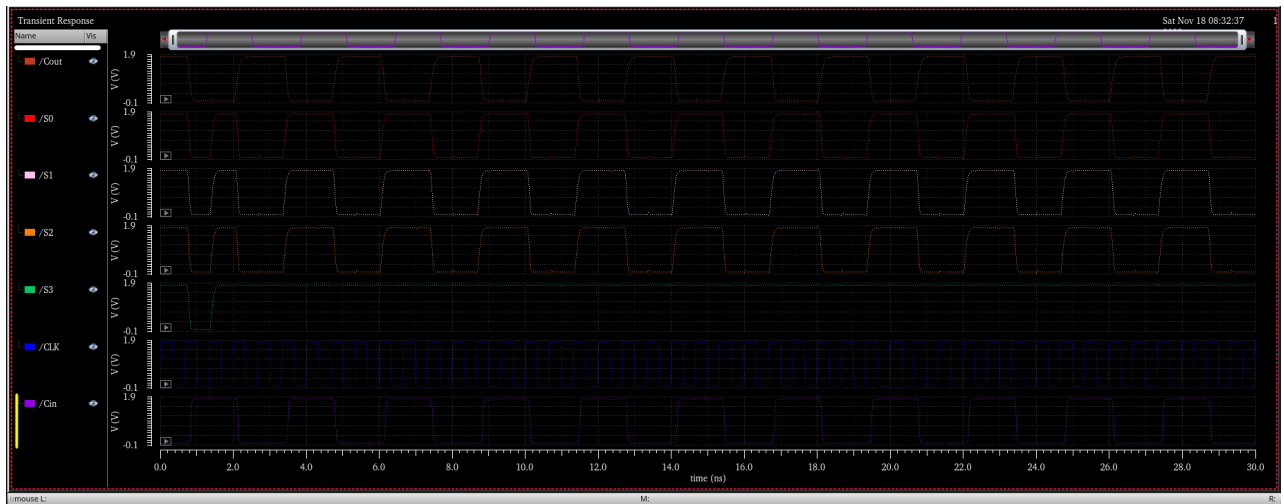


Fig. 33: soma  $F + 0$  e clock de 1.5 GHz (S3 degradado)

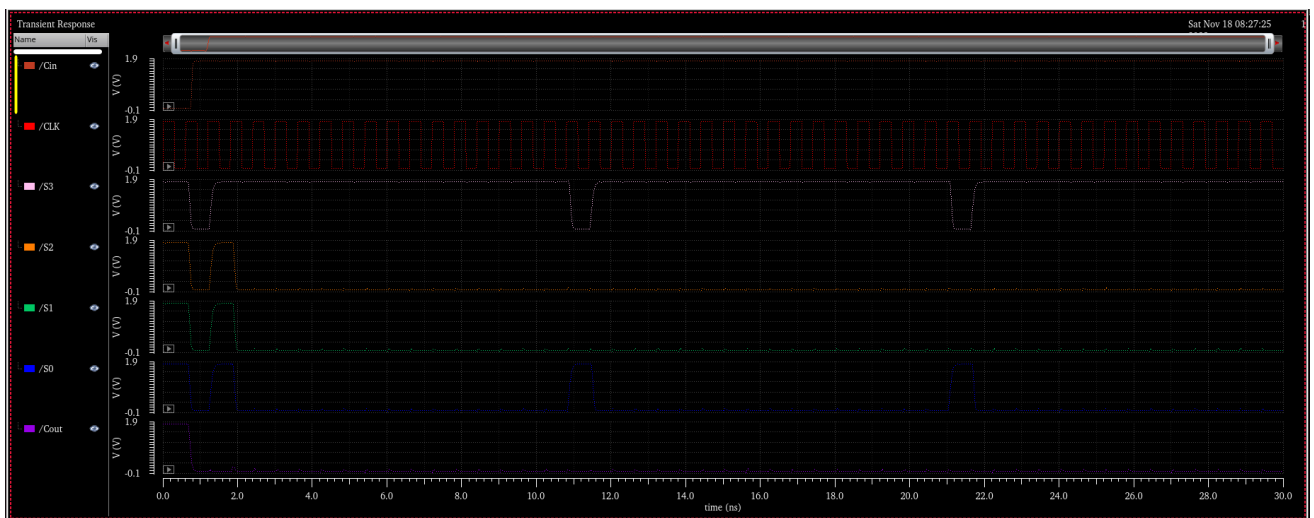


Fig. 34: soma  $F + 0$  e clock de 1.66 GHz (todos sinais de saída degradados)

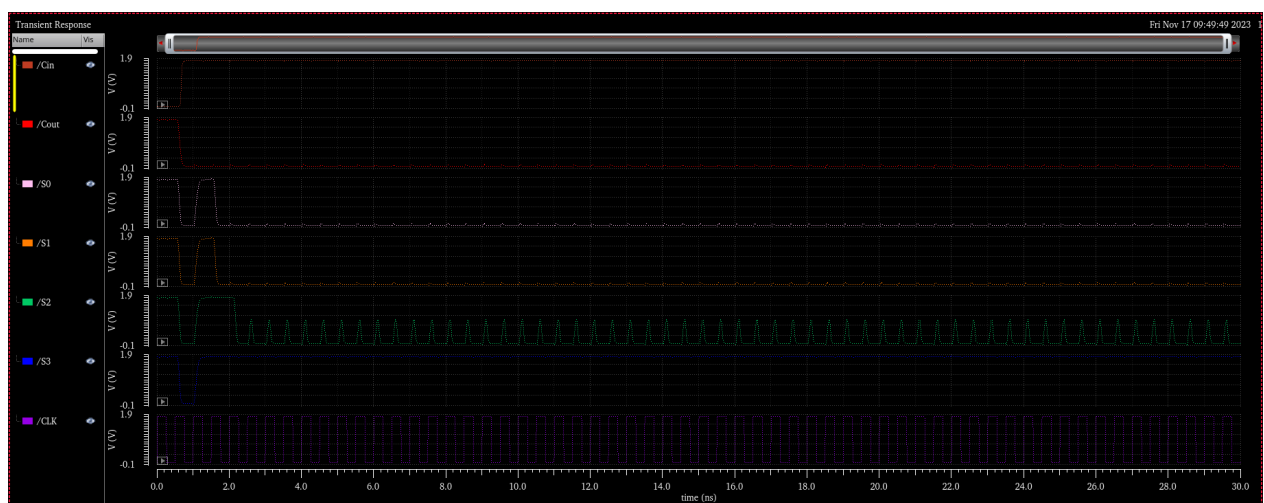


Fig. 35: soma  $F + 0$  e clock de 2 GHz (todos sinais de saída degradados)

Podemos ver que o resultado prático é próximo do estimado, com os sinais de saída a partir de 1.5 GHz degradados e sem a informação correta, mas 1.33 GHz funcionando. Concluimos então que a **frequência máxima de operação deste somador é ~1.33 GHz**.

Para garantir que isso é verdadeiro, verificamos as somas de diferentes valores nesta frequência:

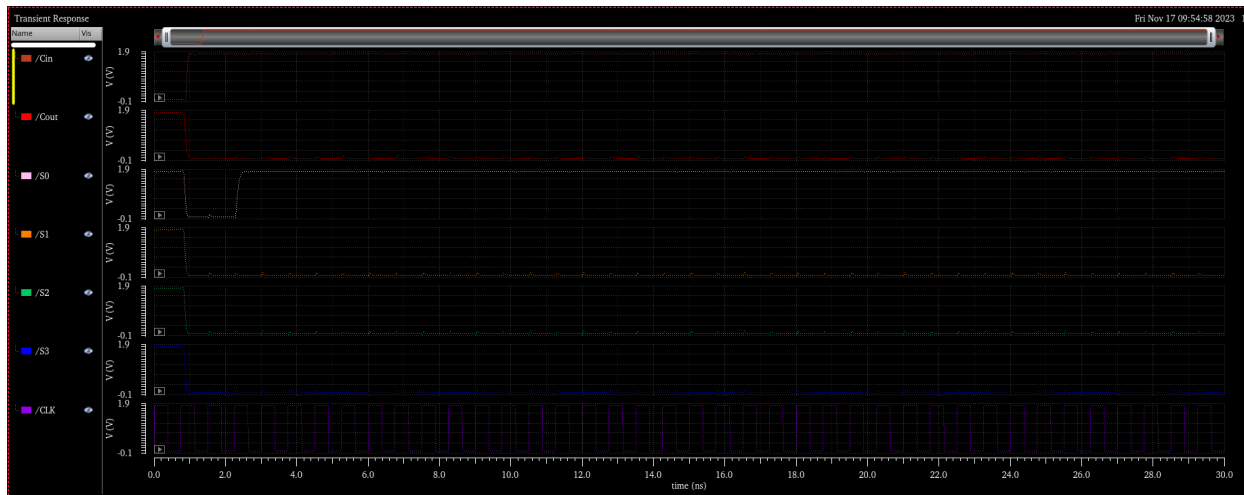


Fig. 36: soma 0 + 0 e clock de 1.33 GHz, com  $C_{in} = !C_{out}$

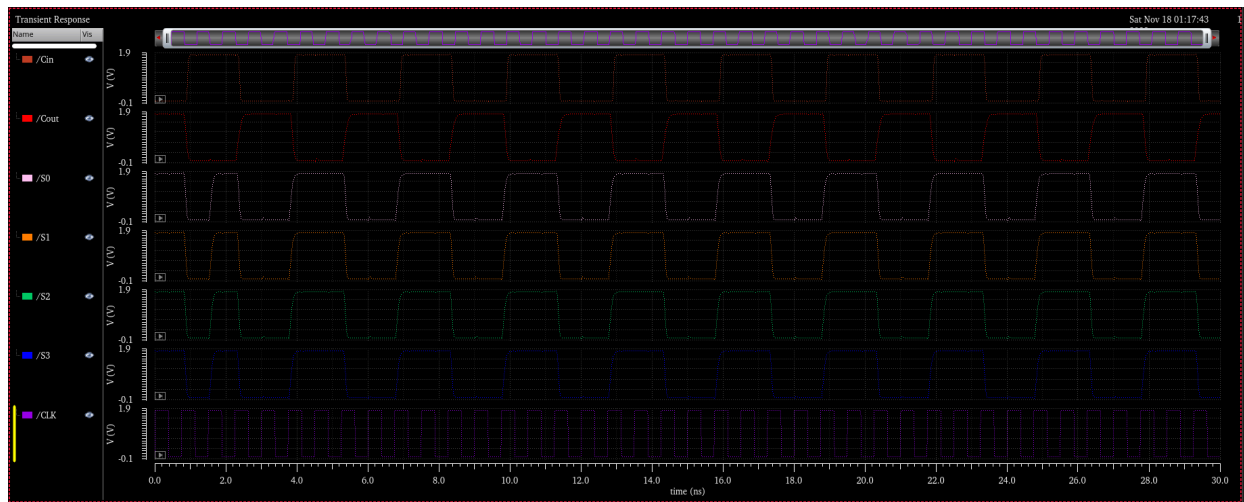


Fig. 37: soma A + 5 (1010 + 0101) e clock de 1.33 GHz, com  $C_{in} = !C_{out}$

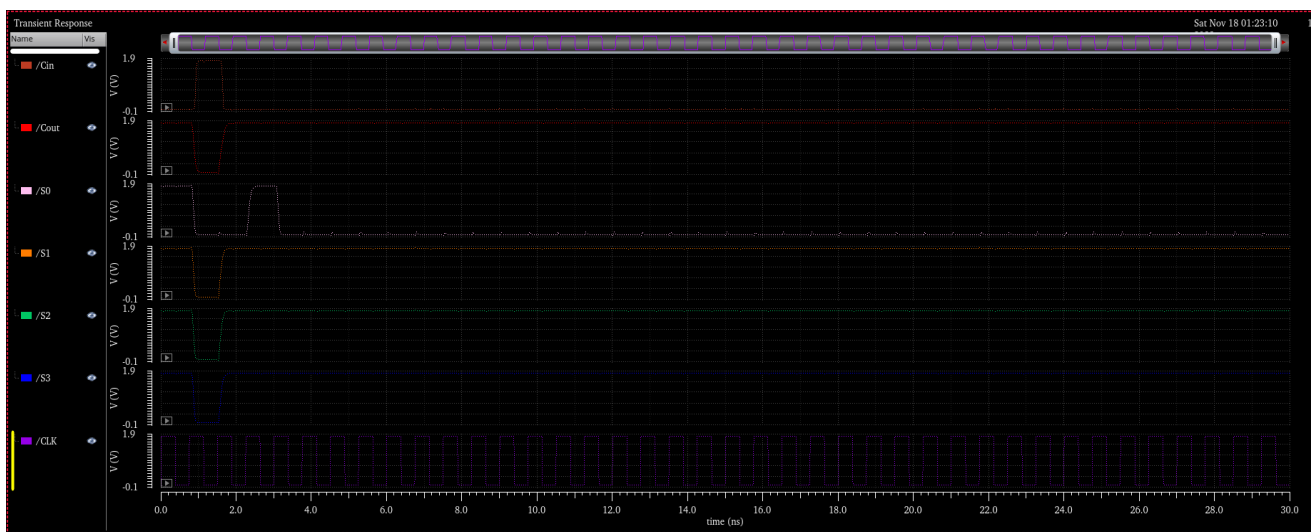


Fig. 38: soma F + F e clock de 1.33 GHz, com  $C_{in} = !C_{out}$

Para estimar a potência média e RMS do somador, fixamos a frequência máxima em 1.33GHz e cargas de saída de 20fF + fan-in do inversor em Cout,  $A[3:0] = F$  e  $B[3:0] = 0$ . Utilizando a calculadora do Virtuoso, **estimamos a potência média do somador em 1.76mW e potência RMS em 4.61mW.**



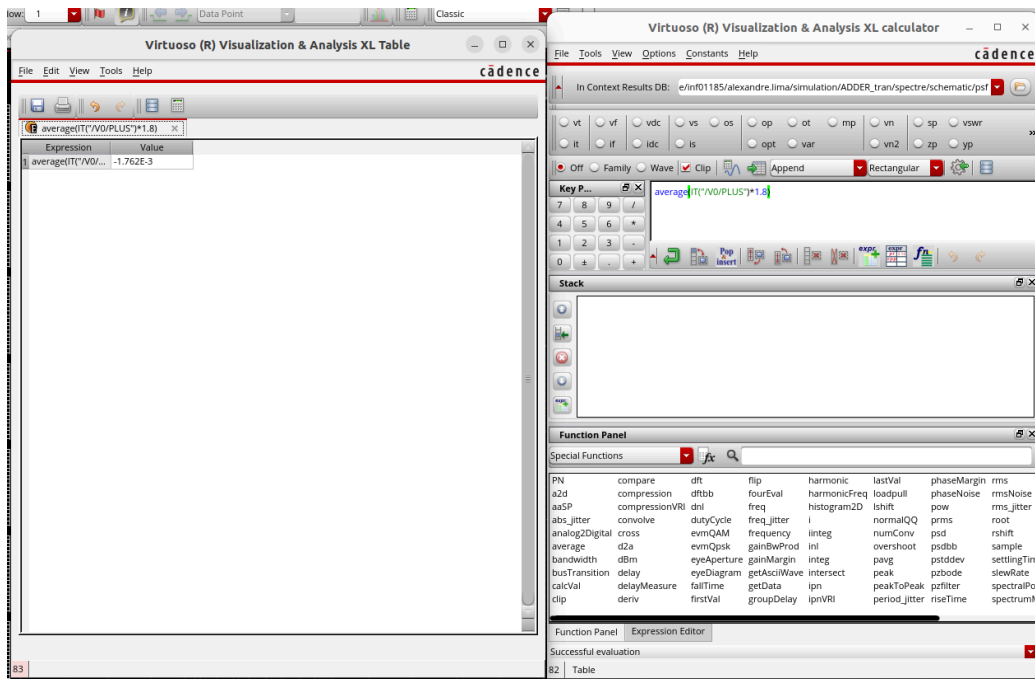


Fig. 39 - Potência média - 1.33GHz na soma 1111+0000

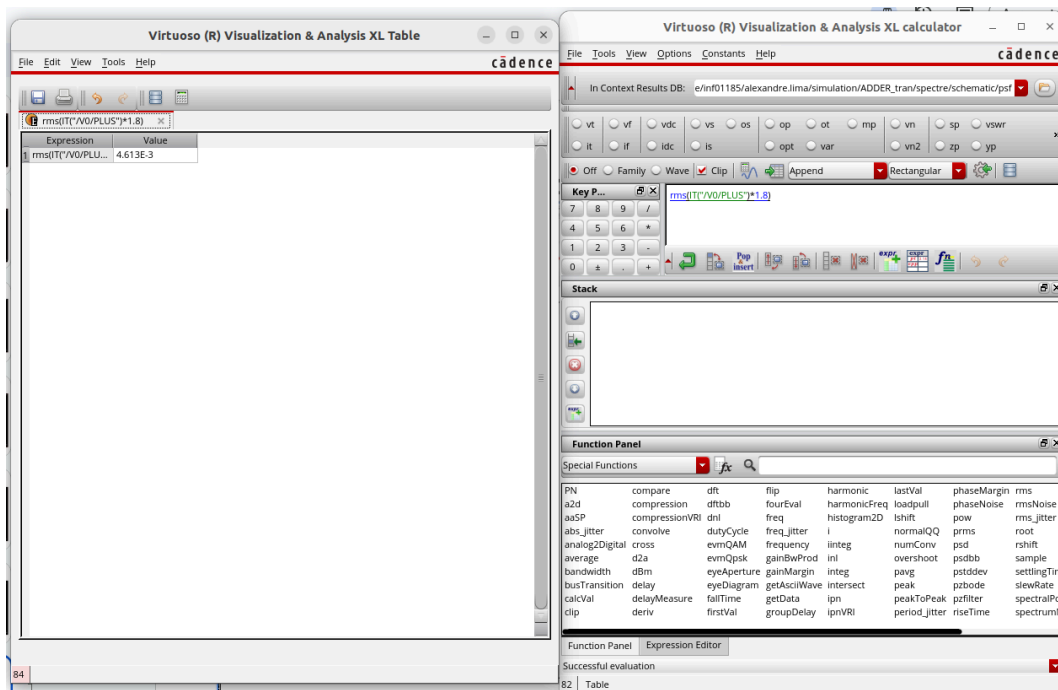


Fig. 40 - Potência RMS- 1.33GHz na soma 1111+0000

### Energia dissipada em uma operação de soma:

A fórmula da energia é dada pela equação:

$$\text{Energia} = \text{Potência média} * \text{Período}$$

Logo, o valor da energia média consumida pelo somador inteiro em uma operação de soma é de  $1.762\text{mW} * 750\text{ps} = 1.321\text{pJ}$ .



## ANEXOS

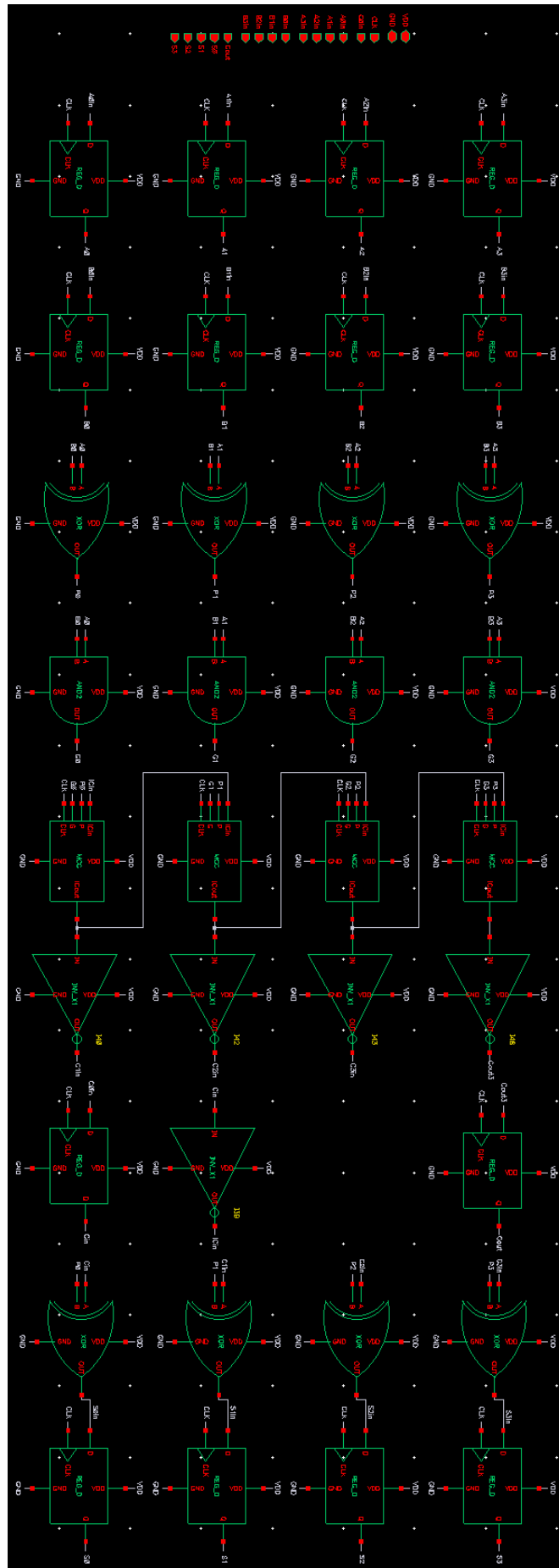


Fig. 3 - Esquema lógico do somador implementado

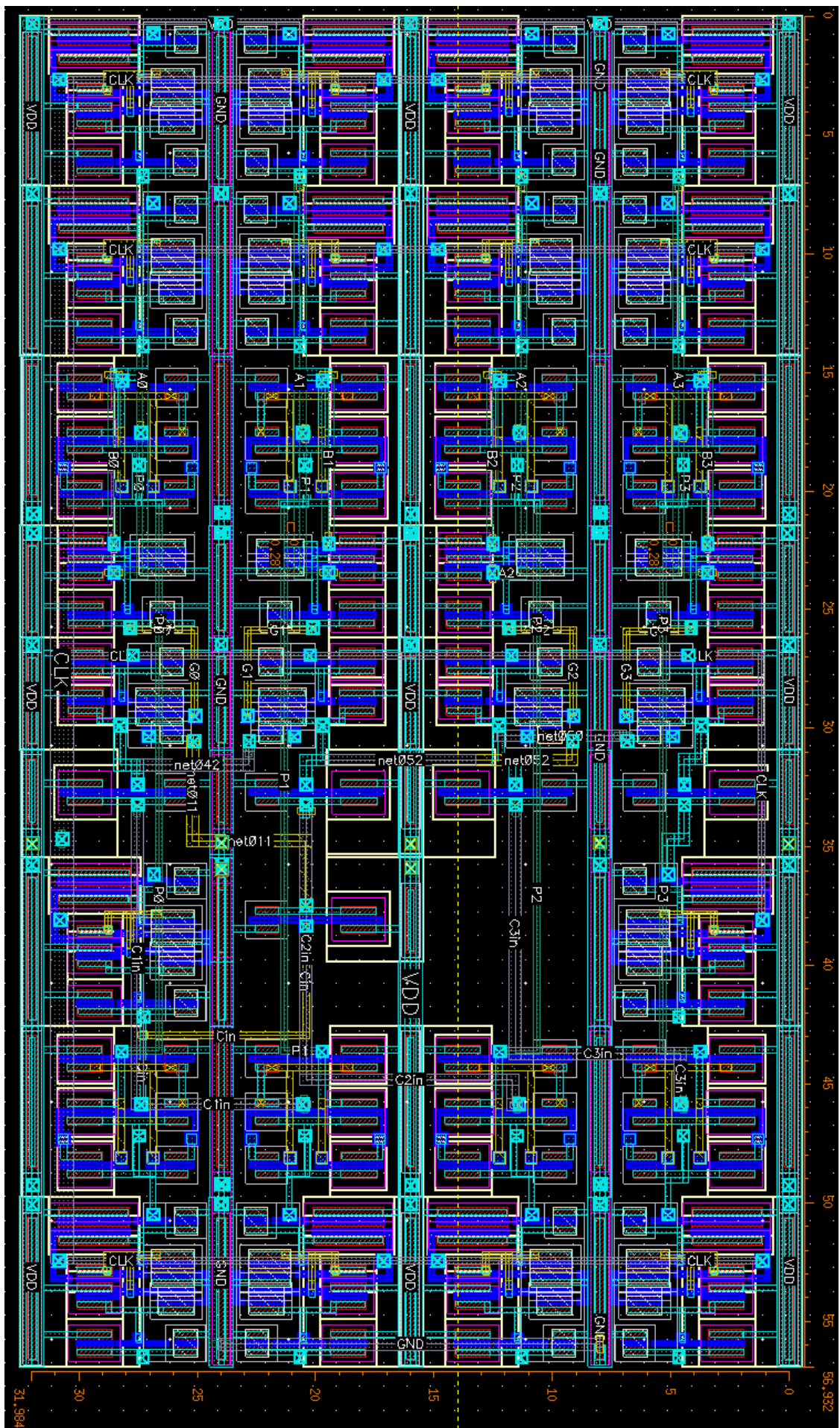


Fig. 25: Layout somador 4 bits de área total  $\approx 1821\mu\text{m}^2$ .