

TP2 - Introdução aos Sistemas Lógicos

Alex Eduardo Alves dos Santos

2021032145

- **1 - Objetivo**

Foi implementado um multiplicador sequencial de 8x8 bits em Verilog, para fazer isso de maneira eficiente foi usado o algoritmo de deslocamento de bits e soma dos produtos parciais.

- **2 - Implementação**

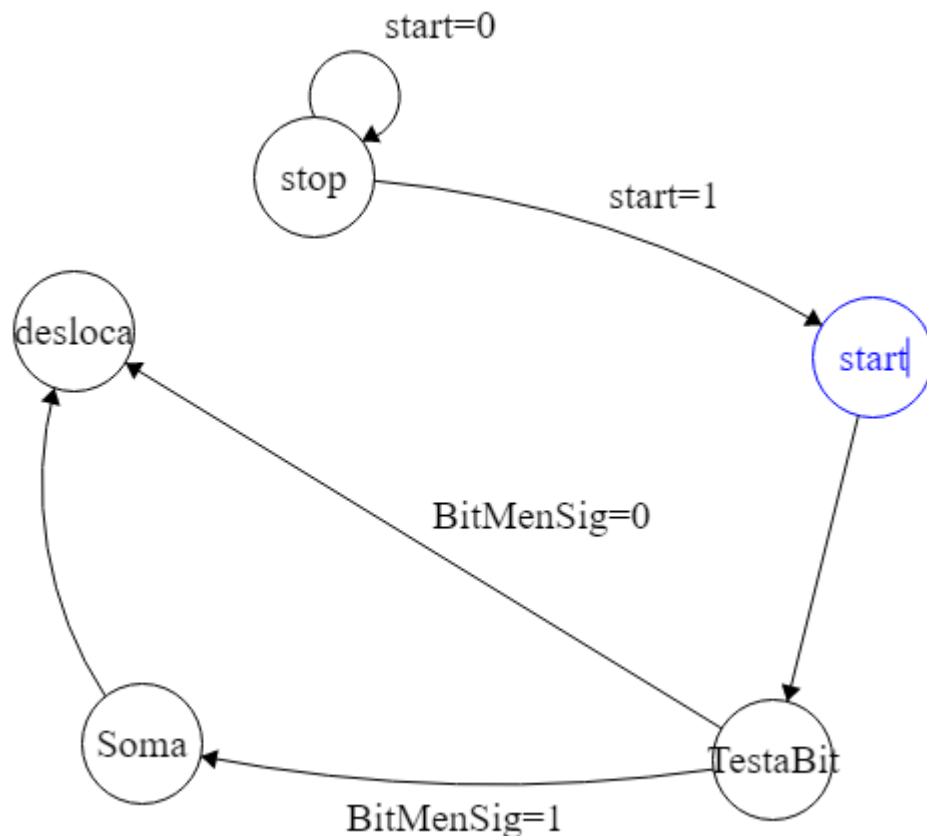
A implementação em verilog foi feita de maneira comportamental, onde alguns passos só seriam feitos de acordo com a mudança do parâmetro, dessa forma, após reiniciar os valores, na borda de subida do clock o algoritmo inicia. Foram usadas variáveis auxiliares para realizar as operações, de maneira resumida a implementação do algoritmo é baseada na condicional "if" tal que se o bit menos significativo do multiplicando for 1 então deve se somar o valor parcial do produto na saída e realizar os deslocamentos do multiplicando adicionando 0 ao bit mais significativo e ao multiplicador adicionando 0 ao bit menos significativo, como uma troca. Caso contrário a soma não é feita e o algoritmo apenas realiza os deslocamentos, isso ocorre até que sejam realizados 8 deslocamentos para cada, ou seja, o clock subir 8 vezes.

Abaixo está a saída do testbench, para facilitar a visualização e confiabilidade, uma saída formatada da operação realizada foi exibida.

```
[2022-12-04 18:10:11 EST] iverilog '-Wall' '-g2012' design.sv testbench.sv && unbuffer vvp a.out
VCD info: dumpfile dump.vcd opened for output.
dump carregado
 42 x 13 = 546
Finding VCD file...
./dump.vcd
[2022-12-04 18:10:12 EST] Opening EPWave...
Done
```

- **2 - FSM**

A máquina de estados finitos a seguir demonstra o funcionamento do multiplicador que foi implementado, o início se dá no estado stop e permanece até que o start seja igual a 1, e então ela inicia com os valores zerados, a seguir passa pelo estado de teste que realiza a soma ou apenas o deslocamento de acordo com o bit menos significativo do multiplicando.



3 - Formas de Onda do caso teste

Na imagem a seguir é possível identificar as formas de onda do multiplicador, é possível identificar nas bordas de subida do clock a cada 200 unidades de tempo, a alteração da saída, e no fim(650,000) o resultado final na variável produto. Também é possível identificar os valores usados no caso teste no início(100,000) do multiplicador e multiplicando.

Para facilitar a visualização foram usados valores pequenos, logo poucas iterações são realizadas e o resultado final se dá na 4ª subida do clock, no entanto, para valores com mais bits, 8 por exemplo, o resultado final somente apareceria na 8ª borda de subida do clock(a partir do start).

