Министерство науки и высшего образования Российской Федерации

Федеральное государственное бюджетное образовательное

учреждение высшего образования

«Воронежский государственный лесотехнический университет

имени Г.Ф. Морозова»

Кафедра Вычислительной техники и информационных систем

(название кафедры)

**Пояснительная записка**

**к курсовой работе**

(вид работы)

«Особенности архитектуры Ivy Bridge.»

(тема)

09.03.02 Информационные системы и технологии

(код и наименование направления подготовки)

По дисциплине: Архитектура ЭВМ и вычислительных систем

**Вариант 14**

Студент группы ИС2–191–ОБ \_\_\_\_\_\_\_\_\_\_\_\_\_\_ Бунеев И.А.

(номер группы) (подпись) (инициалы и фамилия)

Руководитель к.т.н. доцент \_\_\_\_\_\_\_\_\_\_\_\_\_ Зольников К.В.

(ученая степень, ученое звание) (подпись) (инициалы и фамилия)

Воронеж 2020 г.

СОДЕРЖАНИЕ

[Введение 3](#_Toc59735296)

[1.Теоретическая часть 4](#_Toc59735297)

[1.1.Процессор. Его структура и характеристики. 4](#_Toc59735298)

[1.2. Особенности процессоров семейства Alchemy. 12](#_Toc59735299)

[1.3. Применение процессоров Alchemy 16](#_Toc59735300)

[2.Практическая часть 23](#_Toc59735301)

[2.1.Задание 23](#_Toc59735302)

[ЗАКЛЮЧЕНИЕ 30](#_Toc59735303)

[Список используемой литературы 31](#_Toc59735304)

# Введение

**Цель работы:** изучение особенности архитектуры Ivy Bridge.

**Задачи работы:**

1.Изучить особенности архитектуры Ivy Bridge.

2.Нарисовать блок-схему для решения поставленной задачи.

3.Написать программу на языке ассемблера.

Ivy Bridge — кодовое название 22-нм версии [микроархитектуры](https://dic.academic.ru/dic.nsf/ruwiki/1562711) [Sandy Bridge](https://dic.academic.ru/dic.nsf/ruwiki/1434767); этап «тик» миниатюризации технологического процесса согласно интенсивной стратегии разработки процессоров «[Тик-так](https://dic.academic.ru/dic.nsf/ruwiki/690389)» компании [Intel](https://dic.academic.ru/dic.nsf/ruwiki/353300).

4 мая [2011](https://ru.wikipedia.org/wiki/2011) г. Intel сообщила, что [22-нм](https://ru.wikipedia.org/wiki/22-%D0%BD%D0%BC) процессоры Intel будут использовать транзисторы с вертикально расположенным затвором ([FinFET](https://ru.wikipedia.org/wiki/FinFET" \o "FinFET) (Fin Field Effect Transistor, также известные как 3D-транзисторы и «транзисторы с трёхмерной структурой затвора»). Согласно оценкам компании производительность 22-нм Tri-Gate транзисторов на 37 % выше производительности планарных 32-нм структур. При этом энергопотребление у них до 50 % меньше. Тем не менее, несмотря на пониженное энергопотребление, [оверклокеры](https://ru.wikipedia.org/wiki/%D0%9E%D0%B2%D0%B5%D1%80%D0%BA%D0%BB%D0%BE%D0%BA%D0%B5%D1%80" \o "Оверклокер), испытав разгонный потенциал новых процессоров, пришли к неутешительному заключению, что процессоры, произведенные по техпроцессу [22-нм](https://ru.wikipedia.org/wiki/22-%D0%BD%D0%BC), на повышенных частотах греются сильнее своих предшественников. Это связано в основном с уменьшением размеров кристалла, и как следствие — меньшей площади контакта кристалла с теплоотводящeй крышкой, что приводит к перегревам и нестабильной работе. На штатных частотах процессоры Ivy Bridge действительно холоднее.

# 1.Теоретическая часть

# 1.1.Ппроцессор. Его структура и характеристики.

**Процессор**— это центральный блок персонального компьютера, предназначенный для управления работой всех остальных блоков и выполнения арифметических и логических операций над информацией.

Процессор выполняет следующие четыре основные функции:

**Выборка**. Каждая команда сохраняется в памяти и имеет свой собственный адрес. Процессор запоминает этот адрес из программного счетчика, который отвечает за отслеживание того, какую инструкцию ЦП должен выполнить следующей.

**Расшифровка**. Все программы, которые должны быть выполнены, будут переведены на язык Ассемблер. Код Ассемблера выполнен в бинарных инструкциях, которые понятны процессору. Этот шаг называется декодированием.

**Выполнение.**  При выполнении инструкции, процессор может сделать одно из трех действий: передать инструкцию в АЛУ(арифметико-логическое устройство), переместить данные из одного места памяти в другое, или перейти к другому адресу.

**Исполнение.** Процессор должен передать результаты после выполнения инструкции, эти выходные данные записываются в память

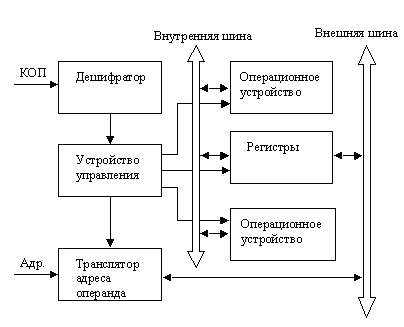
Основными компонентами ЦП являются:

* арифметико-логическое устройство (АЛУ) выполняет основные математические и логические операции;
* управляющее устройство (УУ), от которого зависит согласованность работы компонентов ЦП и его связь с другими устройствами;
* шины данных и адресные шины;
* регистры, в которых временно хранится текущая команда, исходные, промежуточные и конечные данные (результаты вычислений АЛУ);
* счетчики команд;
* кэш-память хранит часто используемые данные и команды. Обращение в кэш-память гораздо быстрее, чем в оперативную память, поэтому, чем она больше, тем выше быстродействие ЦП.

Важнейшими характеристиками процессора являются:

1. тактовая частота – характеризует быстродействие компьютера. Режим работы процессора задается микросхемой, называемой генератором тактовых импульсов. На выполнение процессором каждой операции отводится определенное количество тактов. Тактовая частота указывает, сколько элементарных операций выполняет процессор за одну секунду. Тактовая частота измеряется в МГц;
2. разрядность процессора — это максимальное количество разрядов двоичного числа, над которым одновременно может выполняться машинная операция. Чем больше разрядность процессора, тем больше информации он может обрабатывать в единицу времени и тем больше, при прочих равных условиях, производительность компьютера;

Архитектура типового процессора.



# Рисунок 1.1. Особенности процессоров семейства Alchemy.

Уже не первый год выход новых поколений процессоров Intel подчиняется эмпирическому правилу TICK-TOCK («тик­так»), суть которого заключается в том, что перевод производства на новый технологический процесс (TICK) и внедрение новой процессорной микроархитектуры (TOCK) происходят поочередно с периодичностью в два года. Например, если в первый год происходит переход на новый техпроцесс производства, то на второй год на этом же техпроцессе внедряется новая процессорная микроархитектура. А на следующий год происходит перевод микроархитектуры на новый техпроцесс производства.

В прошлом году компания Intel выпустила 32-нм процессоры Sandy Bridge на базе новой микроархитектуры (цикл TOCK). В апреле компания анонсировала 22-нм версию процессоров на базе микроархитектуры Sandy Bridge, которые получили кодовое наименование Ivy Bridge (цикл TICK).

Однако процессоры Ivy Bridge — это не просто 22-нм версия процессоров Sandy Bridge. В данном случае речь идет и о существенной модернизации самой микроархитектуры. Именно поэтому компания Intel называет этот переход на новый техпроцесс не просто циклом TICK, а циклом TICK+.

О новых процессорах Ivy Bridge мы уже писали на страницах нашего журнала, однако, как нам кажется, официальный анонс данных процессоров — это настолько значимое событие, что имеет смысл кое­что повторить и скомпилировать в одной статье все имеющиеся на данный момент сведения об этих новых процессорах.

Итак, давайте рассмотрим, чем процессоры Ivy Bridge отличаются от Sandy Bridge и почему новые процессоры — это не просто 22-нм версия процессоров предыдущего поколения.

Процессор Ivy Bridge, так же как и процессор Sandy Bridge, имеет интегрированный контроллер PCI Express на 16 линий. Однако если в случае процессора Sandy Bridge речь шла о контроллере PCI Express 2.0, то в процессорах Ivy Bridge используется контроллер PCI Express 3.0.

Разница в пропускной способности интерфейсов PCI Express 2.0 и 3.0 весьма существенная. Так, для интерфейса PCI Express 2.0 пропускная способность каждой линии составляет в каждом направлении 500 Мбайт/с, а для интерфейса PCI Express 3.0 — 1 Гбайт/с. Нетрудно подсчитать, что для интерфейса PCI Express 3.0 x16 пропускная способность равна уже 32 Гбайт/с.

Конечно, для реализации возможностей интерфейса PCI Express 3.0 в процессоре Ivy Bridge нужна еще и видеокарта с аналогичным интерфейсом. Впрочем, даже в этом случае не стоит ожидать, что при использовании интерфейса PCI Express 3.0 повысится производительность системы в играх. Как показывают тесты, интерфейс PCI Express 2.0 не является узким местом для современных игр и переход на более скоростной интерфейс ничего не даст.

В процессор Ivy Bridge, как и в процессор Sandy Bridge, встроен двухканальный контроллер памяти DDR3. Однако в процессоре Ivy Bridge он поддерживает более скоростную и низковольтную (1,35 В) память.

Самое главное отличие процессоров Ivy Bridge от Sandy Bridge заключается в том, что они изготавливаются по 22-нм техпроцессу (процессоры Sandy Bridge производятся по 32-нм техпроцессу), то есть геометрические размеры транзисторов будут в 1,45 раза меньше. Естественно, это сказывается на всех характеристиках транзистора.

Основная проблема, связанная с уменьшением размеров транзистора, заключается в том, что экспоненциальное увеличение числа транзисторов на кристалле приводит к экспоненциальному росту потребляемой мощности и, как следствие, к перегреву микросхемы. Причина этого негативного явления заключается в том, что уменьшение размеров транзистора приводит к возникновению токов утечки. В частности, при уменьшении толщины слоя диэлектрика до величины в несколько нанометров начинают возникать эффекты туннелирования зарядов через слой диэлектрика, что приводит к появлению токов утечки.

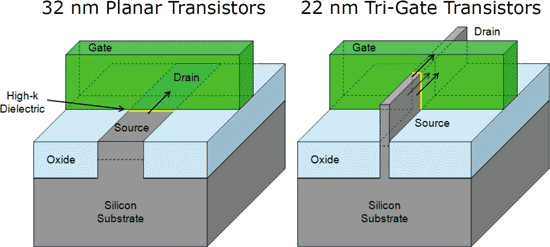


Рисунок 1.2. Планарный и Tri-Gate-транзисторы

Данная проблема частично решается благодаря применению вместо диоксида кремния, который на протяжении многих лет использовался в качестве диэлектрика в транзисторах, иных д2иэлектрических материалов, позволяющих получать более толстые слои диэлектрика, но обеспечивающих, тем не менее, увеличение емкости подзатворного конденсатора. Такие материалы должны иметь более высокую диэлектрическую проницаемость, а потому получили название High-K-диэлектрики. Понятно, что применение альтернативных материалов с более высокой диэлектрической проницаемостью позволяет увеличить толщину слоя диэлектрика, что, в свою очередь, уменьшает токи утечки.

Именно поэтому начиная с 45-нм техпроцесса производства при изготовлении процессоров используются транзисторы с High-K-диэлектриками (затвор High-K/metal).

Конечно, применение диэлектриков High-K — это лишь одно из усовершенствований, которым подверглись планарные транзисторы. Можно также вспомнить технологию напряженного кремния, которую начали использовать при изготовлении транзисторов NMOS и PMOS еще по 90-нм техпроцессу для улучшения их эксплуатационных характеристик. Технология создания напряжений позволяет увеличить подвижность как электронов, так и дырок и повышает скорость переключения транзисторов.

Последнее революционное усовершенствование структуры полевых транзисторов касается кардинального изменения их геометрии — транзисторы из плоских превратились в трехмерные.

Разработка трехмерной конструкции транзисторов началась еще в 2002 году. В сентябре 2002-го компания Intel объявила о разработке трехмерной конструкции транзистора с тройным затвором (Tri-gate), которая обеспечивает более эффективный расход энергии по сравнению с традиционными планарными транзисторами.

В основе трехмерного транзистора с тройным затвором лежит трехмерная структура, похожая на приподнятую горизонтальную плоскость с вертикальными стенками.

Такая структура позволяет посылать электрические сигналы как по «крыше» транзистора, так и по обеим его «стенам». Фактически получается как бы не один затвор, как в планарой структуре, а сразу три (две стенки и крышка). Отсюда и название — «тройной затвор» (Tri-gate).

Благодаря подобной схеме распределения тока эффективно увеличивается площадь, доступная для прохождения тока, а следовательно, снижается его плотность и вместе с ней — ток утечки. Тройной затвор строится на ультратонком слое полностью обедненного кремния, что обеспечивает еще большее снижение тока утечки и позволяет транзистору быстрее включаться и выключаться при значительном снижении энергопотребления.

Особенностью этой конструкции также являются поднятые исток и сток — в результате снижается сопротивление, что позволяет транзистору работать при токе меньшей мощности.

Несмотря на тот факт, что разработка трехмерной конструкции транзисторов началась еще в 2002 году, их использование в производстве процессоров стало возможно лишь спустя почти 10 лет, то есть при переходе на 22-нм техпроцесс производства.

Трехмерные транзисторы Tri-Gate, изготовленные на базе 22-нм техпроцесса и работающие на низком напряжении, обеспечивают до 37% более высокую производительность в сравнении с обычными транзисторами, изготовленными на базе 32-нм технологии. Процессоры с новыми транзисторами могут потреблять менее половины мощности, чем 32-нм чипы с двумерной структурой, сохраняя тот же уровень производительности.

Отметим также, что компания Intel первой стала применять трехмерные транзисторы при производстве микросхем. Все остальные компании, занимающиеся производством микросхем, смогут наладить производство трехмерных транзисторов не ранее чем через четыре года.

Итак, одно из главных нововведений в 22-нм процессорах Ivy Bridge — использование более производительных и энергоэффективных трехмерных Tri-Gate-транзисторов. Однако это не единственное отличие 22-нм процессоров Ivy Bridge от 32-нм процессоров Sandy Bridge.

Что касается вычислительного ядра процессора Ivy Bridge, то оно не претерпело архитектурных изменений в сравнении с вычислительным ядром Sandy Bridge. А вот интегрированное графическое ядро с поддержкой DirectX 11, которое имеет кодовое название Carlow, действительно, является одним из главных нововведений в микроархитектуре Ivy Bridge.

По заявлению компании Intel, графическое ядро в процессорах Ivy Bridge будет на 60% производительнее графического ядра в процессорах Sandy Bridge.

Кроме поддержки DirectX 11 в графическом ядре Carlow будет реализована поддержка OpenGL 3.1 и OpenCL 1.1, то есть графическое ядро Intel будет способно производить вычисления средствами шейдерных процессоров.

Напомним, что в процессоре Sandy Bridge графическое ядро содержит (в зависимости от модели процессора) шесть или 12 исполнительных блоков (Execution Unit, EU), каждый из которых имеет по одному текстурному блоку. В графическом ядре Ivy Bridge максимальное число исполнительных блоков увеличено до 16, причем на каждый исполнительный блок приходится уже по два текстурных блока.

В графическое ядро Ivy Bridge также добавлены блоки для аппаратной тесселяции и поддержка Shader Array (что, собственно, и позволило добиться совместимости с Shader Model 5.0 и DirectX 11).

Интересно отметить, что тактовая частота графического ядра процессора Ivy Bridge ниже, чем частота графического ядра процессора Sandy Bridge, что позволяет уменьшить энергопотребление. В результате по такому показателю, как производительность на ватт, графическое ядро Carlow вдвое превосходит ядро HD 2000/3000 в процессоре Sandy Bridge. Отметим, что будет две реализации графического ядра Carlow — HD 4000 и HD 2500, которые отличаются друг от друга числом функциональных блоков.

Изменения коснулись также технологии Intel Quick Sync. Прежде всего, производитель обещает двукратное увеличение скорости перекодирования HD-видео с применением специализированных процессорных блоков. Кроме того, заявлено улучшение качества кодирования и добавление возможности применения к перекодируемому видеопотоку фильтров типа улучшения цветовой гаммы или контрастности.

Мощности аппаратного видеодекодера будет достаточно для одновременного воспроизведения не менее 16 HD-видеопотоков. Еще одно нововведение в процессорах Ivy Bridge — это конфигурируемый TDP.

Напомним, что TDP является одной из важнейших характеристик процессоров Intel. В частности, значение TDP определяет и максимальное энергопотребление процессора, и необходимую эффективность системы охлаждения. К значению TDP привязывается также возможность повышения тактовой частоты ядер процессора в режиме Turbo Boost (то есть тактовая частота может повышаться, только если не превышено значение TDP или это превышение кратковременное).

В процессорах Ivy Bridge определено не одно, а три значения TDP: минимальное, номинальное и турбо. То есть при достаточном теплоотводе TDP процессора может быть повышено и соответственно увеличится его тактовая частота в режиме Turbo Boost. Если же нужно максимально снизить энергопотребление, то TDP можно уменьшить.

Понятно, что технология конфигурируемого TDP направлена прежде всего на мобильные процессоры. Так, если ноутбук питается от сети и обеспечивается достаточное охлаждение процессора, то TDP можно повысить. Если же ноутбук работает в автономном режиме, то с целью увеличения времени автономной работы TDP процессора желательно снизить.

Важно отметить, что технология конфигурируемого TDP не заменяет собой технологию Intel Speed Step или выбор схемы энергопотребления процессора в настройках операционной системе. Она лишь дополняет все те технологии, которые уже имеются.

Существенные усовершенствования были сделаны и в плане разгона процессоров Ivy Bridge. Напомним, что в процессорах Sandy Bridge с разблокированным коэффициентом умножения (процессоры К-серии) максимальный коэффициент умножения был равен 57. То есть даже теоретически процессоры Sandy Bridge нельзя было разогнать выше частоты 5,7 ГГц (процессоры Sandy Bridge практически невозможно разогнать за счет повышения частоты системной шины). В процессорах Ivy Bridge максимальный коэффициент умножения повышен до значения 63, то есть путем изменения коэффициента умножения процессор теоретически можно будет разогнать до частоты 6,3 ГГц.

Еще одно новшество среди разгонных способностей процессора Ivy Bridge — это возможность изменения коэффициента умножения без необходимости перезагрузки системы.

Следующее нововведение в процессоре Ivy Bridge — это наличие аппаратного генератора случайных чисел (Digital Random Number Generator, DRNG), который находит применение в криптографических задачах. Вообще в процессорах уже давно используются генераторы случайных чисел. Однако до сих пор речь шла о псевдослучайных генераторах, которые работают в соответствии с определенным математическим алгоритмом. В процессоре Ivy Bridge используется реальный (не псевдослучайный) генератор случайных чисел, в основе которого лежит электронная схема с неопределенным состоянием, что позволяет генерировать поток случайных символов в 16-, 32- или 64-битном формате со скоростью 2 или 3 Гбит/с.

К нововведениям также можно отнести режим Supervisory Mode Execute Protection (SMEP), представляющий собой реализацию технологии защиты от повышения уровня привилегий. Данная технология контролирует уровень привилегий исполняемого кода, который размещен в адресном пространстве, выделенном для работы программам (Applications). Фактически на аппаратном уровне блокируется классическая атака, нацеленная на повышение уровня привилегий и необходимая для получения доступа к системным ресурсам.

# 2.Практическая часть

# 2.1. Задание

С клавиатуры вводятся 10 символов, записать в память, начиная с 45 адреса все числа меньше пяти из буфера клавиатуры.

Контроллер клавиатуры (Рис. 1) представляет собой модель внешнего устройства, принимающего ASCII-коды от клавиатуры ПЭВМ.

Символы помещаются последовательно в буфер символов, размер которого установлен равным 50 символам, и отображаются в окне обозревателя.

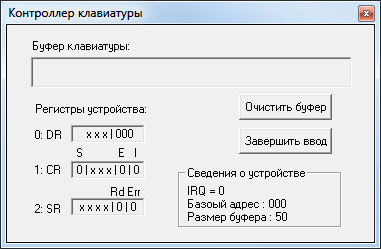


Рисунок 2.1 – Окно контроллера клавиатуры

В состав контроллера клавиатуры входят три программно-доступных регистра.

– DR (адрес 0) – регистр данных

– CR (адрес 1) – регистр управления, определяет режимы работы контроллера и содержит следующие флаги:

* Е – флаг разрешения приема кодов в буфер;
* I – флаг разрешения прерывания;
* S – флаг режима посимвольного ввода;

- SR (адрес 2) – регистр состояния, содержит два флага:

* Err – флаг ошибки;
* Rd – флаг готовности.

Регистр данных DR доступен только для чтения, через него считываются ASCII-коды из буфера, причем порядок чтения кодов из буфера соответствует порядку их записи в буфер — каждое чтение по адресу 0 автоматически перемещает указатель чтения буфера. В каждый момент времени DR содержит код символа по адресу указателя чтения буфера.

Флаги регистра управления CR устанавливаются и сбрасываются программно.

Флаг Е, будучи установленным, разрешает прием кодов в буфер. При Е = 0 контроллер игнорирует нажатие на клавиатуре, прием кодов в буфер не производится. На считывание кодов из буфера флаг Е влияния не оказывает.

Флаг I, будучи установленным, разрешает при определенных условиях формирование контроллером запроса на прерывание. При I = 0 запрос на прерывание не формируется.

Флаг S = 1 устанавливает так называемый режим посимвольного ввода, иначе контроллер работает в обычном режиме. Флаг S устанавливается и сбрасывается программно, кроме того, S сбрасывается при нажатии кнопки очистить буфер в окне контроллер клавиатуры.

Условия формирования запроса на прерывание определяются, с одной стороны, значением флага разрешения прерывания I, с другой – режимом работы контроллера. В режиме посимвольного ввода запрос на прерывание формируется после ввода каждого символа (разумеется, при I=1), в обычном режиме запрос будет сформирован по окончании набора строки.

Завершить набор строки можно, щелкнув по кнопке завершить ввод в окне Контроллер клавиатуры. При этом устанавливается флаг готовности Rd (от англ. ready) в регистре состояния SR. Флаг ошибки Err (от англ. error) в том же регистре устанавливается при попытке ввода в буфер 51-го символа. Ввод 51-го и всех последующих символов блокируется.

Сброс флага Rd осуществляется автоматически при чтении из регистра DR. флаг Err сбрасывается программно. Кроме того, оба эти флага сбрасываются при нажатии кнопки очистить буфер в окне контроллер клавиатуры; одновременно со сбросом флагов производится очистка буфера – весь буфер заполняется кодами 00h, и указатели записи и чтения устанавливаются на начало буфера.

Для программного управления контроллером предусмотрен ряд командных слов. Все команды выполняются при записи по адресу регистра управления CR кодов с 1 в третьем разряде.

Контроллер клавиатуры интерпретирует следующие командные слова:

- xxx101 – очистить буфер (действие команды эквивалентно нажатию кнопки Очистить буфер);

- ххх102 – сбросить флаг Err в регистре SR;

- ххх103 – установить флаг S в регистре CR;

- ххх104 – сбросить флаг S в регистре CR.

Задание

С клавиатуры вводятся 10 символов, записать в память, начиная с 45 адреса все числа меньше пяти из буфера клавиатуры.

Для решения задачи требуется подключить клавиатуру. Данные символов ASCII считываются из регистра DR и записываются в Acc. Требуется записать все символы, числовое представление которых меньше такового у цифры 5. ASCII код цифры 5 – 53, соответственно требуется записать в ячейки памяти начиная с 45 все символы, числовое представление которых меньше этого значения. Так же требуется ввести счетчик равный 10, который определяет количество считываемых элементов. Если количество символов больше 10, то все последующие символы игнорируются и не участвуют в вычислении.

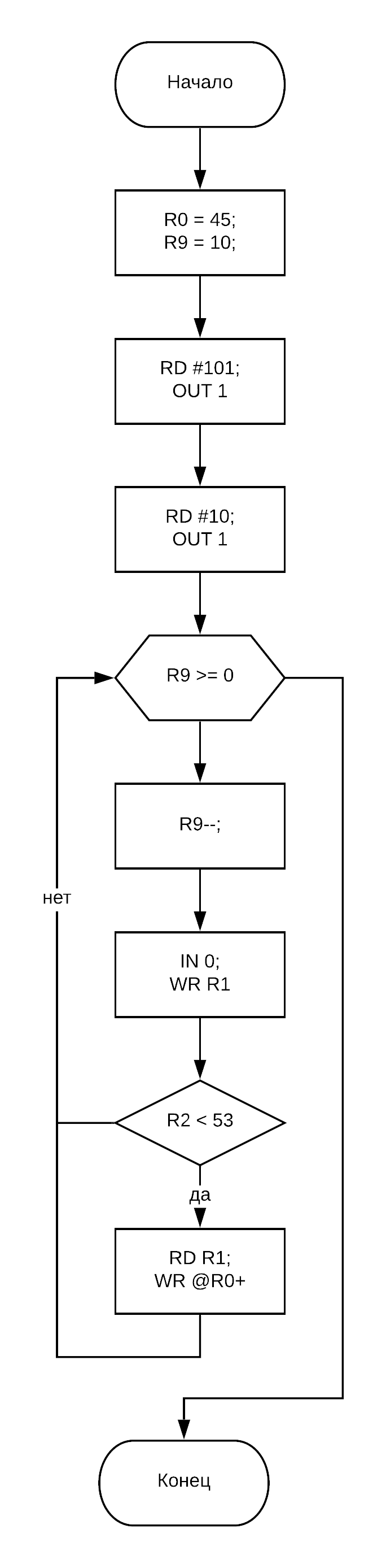


Рисунок 2.2- блок схема алгоритма

В таблице 1 показано размещение в памяти кодов и их описание.

|  |  |  |
| --- | --- | --- |
| **Адрес** | **Примечание** | |
| **Мнемокод** |  |
| 000 | RD #45 | Начальная ячейка памяти |
| 001 | WR R0 |
| 002 | RD #10 | Запись количества элементов массива |
| 003 | WR R9 |
| 004 | RD #101 | Очистка буфера клавиатуры и активация посимвольного ввода из буфера |
| 005 | OUT 1 |
| 006 | RD #10 |
| 007 | OUT 1 |
| 008 | LOOP: RD R9 | Запуск цикла и декремент счетчика количества считываемых элементов |
| 009 | SUB #1 |
| 010 | WR R9 |
| 011 | JS END | Если счетчик меньше 0, то программа завершает свое выполнение |
| 012 | IN 0 | Считывание числового представления символа ASCII |
| 013 | JZ END | Если символ отсутствует, прерывает работу программы |
| 014 | WR R1 | Запись значения в регистр R1 |
| 015 | SUB #53 | Проверка того, что числовое представление введенного символа меньше таково у цифры 5 |
| 016 | JNS LOOP |
| 017 | RD R1 | Если символ удовлетворяет условию, то запись его в память |
| 018 | WR @R0+ |
| 019 | JMP LOOP | Повторение итерации цикла |
| 020 | END: HLT | Конец программы |

Таблица 1 размещение в памяти кодов и их описание.

По условию задачи вводим 10 символов из буфера клавиатуры. Если количество символов превышает 10, то все последующие игнорируются. Значения записываются в память начиная с 45 ячейки

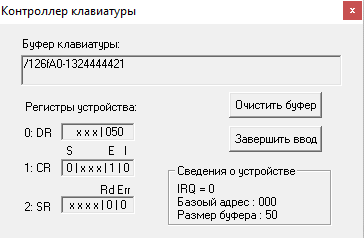


Рисунок 2.3. – Контроллер клавиатуры после ввода исходных данных

На рисунке 4 представлена память после выполнения программы.

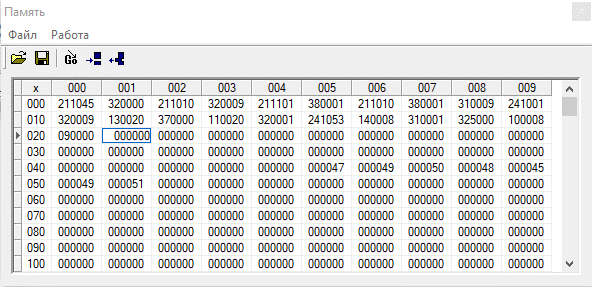


Рисунок 2.4. – Память ОЗУ после выполнения программы.

По результату выполнения программы видно, что были записаны такие символы: «/» - 47, «1» - 49, «2» - 50, «0» - 48, «-» - 45, «1» - 49, «3» - 51.

Все символы после 3 были упущены, так как не входят в диапазон 10 символов.

# ЗАКЛЮЧЕНИЕ

В данной курсовой работе была рассмотрены особенности процессоров семейства Ivy Bridge.

Было рассмотрено что такое процессор, его функции и особенности.

Ivy Bridge, процессоры, которые вмещают на кристалле все необходимые контроллеры для работы компьютера.

Также была создана программа, считывающая символы в виде букв латинского алфавита с такого внешнего устройства как контроллер клавиатуры. Программа считывает 10 символов с буфера клавиатуры и записывает в память все символы, числовое представление которых меньше такового у числа 5.

# Список используемой литературы

1. Цилькер Б. Я., Орлов С.А. Организация ЭВМ и систем. СПб.: Питер, 2006. - 668 с.

2. Гук М., Юров В. Процессоры Pentium 4, Athlon и Duron. - СПб.: Питер, 2002. - 512 c.

3. Таненбаум Э. Архитектура компьютеров. СПб.: Питер, 2007. - 848 с.

4. В.В.Корнеев, А.В.Киселев Современные микропроцессоры, 3-е изд., перераб. и доп. - СПб.: БХВ-Петербург, 2003. - 440 с.

5. Корнеев В.В. Параллельные вычислительные системы. - М.: Нолидж, 1999. - 311 c.