INTRODUCCIÓN

(10 páginas máximo)

* La introducción debe contextualizar el trabajo y ser fácil de leer por cualquiera.
  + No te cortes en dar detalles y enmarcar el trabajo. Debemos identificar:
    - Problemática: Rehabilitación con exoesqueletos. Aburrido y el paciente puede no ser activo.
    - Soluciones actuales: EMGs para recoger la actividad y comprobar si es efectivo el tratamiento de rehabilitación, no para actuar en el exo.
    - Propuesta: Recoger la señal EMG y procesar la señal con el fin de poder actuar en el exo.
* Debe haber un hilo conductor que recorra la introducción.
  + Puede ser el EMG, pero antes de hablar de ello directamente, podemos introducir la problemática, los pacientes, etc.
  + Deberías quitar los subtítulos, da la sensación de unos apuntes y no tanto un documento técnico.
  + Añadir Figuras. Figura 1. Descripción. Fuente: [3]. || Elaboración propia.
* Hablar sobre:
  + Rehabilitación de los exoesqueletos y su problemática.
    - Contexto del Proyecto NIMBLE (Ministerio) – ExoSen-SoC (URJC)
  + Definir qué parte de la propuesta se va a implementar.
  + Continuar introduciendo para qué se utiliza el EMG en rehabilitación.
  + Para esto es necesario conocer la señal EMG
    - Hablar de ella y sus características
      * Incluyendo la frecuenciales.
  + Hablar de los tipos de procesamientos que se aplican para la onset detección y hablar de todos.
    - Incluir la referencia del artículo y contarlo como allí.
  + Ahora tendríamos que realizar el procesamiento en un dispositivo portable con cierta capacidad de computo y que sea capaz de realizar el procesamiento en tiempo real.
    - Dispositivo final?
      * Hablar de opciones ¿micros? ¿FPGAs?
  + Descripción de los filtros difgitales
    - Qué algoritmo vamos a implementar en este TFG? : Filtro
      * Analógico o digital?
  + Descripción de las FPGAs
    - Métodos de diseño
    - ¿Cuál usamos nosotros? ¿Por qué?
  + Definir la propuesta, que para mejorar se va a realizar la adquisición y procesamiento de la señal EMG para actuar sobre el exo y que el paciente sea el centro de la rehabilitación.



Figura 1. Alejandro haciendo la maleta. Fuente: [3]. Elaboración propia.

## Estrategias de agilización de la fase de diseño

1. Uso de repositorios compartidos y controladores de versiones, sobre todo si se trabaja en un proyecto grupal.
2. Reutilización de diseños (IP Block Design) y uso de genéricos: esto hace que los diseños sean más legibles. Evita problemas de compatibilidad y ahorra tiempo y trabajo para futuros proyectos que puedan necesitar bloques ya diseñados e implementados.

Este modelo puede utilizarse también para crear bloques de verificación, es decir, bloques en RTL que pueden instanciarse en un entorno de pruebas para estimular el bloque que se quiere testear a través de una interfaz y unas funciones conocidas. OSVVM es un método libre de verificación estándariazdo que opta por esta estrategia y que denomina a los bloques verificadores como “Verification Components”.

1. Aumento del nivel de abstracción, en algunos casos, utilizar herramientas de más alto nivel facilita la etapa de diseño e incluso la de verificación.

## Buenas prácticas en el diseño digital

1. Registrar señales: Registrar señales significa pasarlas a través de biestables para capturar su valor en un punto y un ciclo de reloj determinado. El uso de biestables aumenta la latencia al introducir ciclos de reloj “de espera” pero en muchos casos son necesarios para evitar meta-estabilidad y para controlar el sincronismo.
2. Evitar espacios de memoria asíncronos (latches): los latches por lo general dificultan la síntesis ya que son poco predecibles y pueden provocar inestabilidad y problemas de sincronismo. Suelen aparecer cuando se implementa lógica combinacional que no cubre todos los casos de las señales de entrada.

Los instrumentos de medida de señales EMG convencionales muestrean a frecuencias entorno a los 2 kHz, que es justo el doble de la frecuencia máxima de estas señales. Esto es así para evitar la pérdida de información por muestrear a frecuencias cercanas o inferiores a dicha frecuencia máxima, este efecto se conoce como solapamiento o “aliasing”.

Este proyecto busca información útil a frecuencias mayores, ya que, de existir dicha información, permitiría la detección del inicio de la activación muscular antes de que esta ocurra, y así mejorar la interacción cuerpo – exoesqueleto en programas de rehabilitación.

Determinar el orden del filtro y obtener los coeficientes necesarios para obtener la envolvente de la señal EMG, teniendo en cuenta la frecuencia natural de las señales y la frecuencia de muestreo del sistema de adquisición. El objetivo es garantizar que el filtro elimine el ruido sin ocasionar la pérdida de información debido al aliasing.

RESTRICCIONES TEMPORALES DEL FILTRO

Se conocen los siguientes datos sobre las señales EMG y la etapa de adquisición y conversión analógico – digital:

* La frecuencia de las señales EMG puede variar desde unos pocos hercios hasta las centenas o el kilo hercio en función de la intensidad de la actividad (cuanta mayor la fuerza o rapidez de la contracción, mayor es la frecuencia de la señal). El espectro de frecuencias de las señales EMG también depende de factores individuales como la edad o la salud, aunque en términos generales, se considera la banda de frecuencias en torno a 500 Hz.
* El sistema de adquisición tendrá una frecuencia de muestreo de 8 ksps (8.000 muestras por segundo). Esta frecuencia es mucho mayor que la frecuencia máxima de las señales EMG, pero forma parte de los objetivos del proyecto de investigación comentados en la sección “Antecedentes” del apartado de objetivos.
* La frecuencia de corte del filtro será la frecuencia de Nyquist, que por definición es la mitad de la frecuencia de muestreo, es decir, 4kHz.
* Muestrear a 8 ksps significa que el sistema adquiere una muestra cada 125 microsegundos (periodo de 125 us):
* El periodo de adquisición determina la máxima latencia del filtro a implementar. La latencia de un sistema se refiere al tiempo que transcurre desde que se introduce una entrada hasta que se obtiene una respuesta (salida) correspondiente a esa entrada. Por tanto, la latencia del filtro es el tiempo que requiere para procesar las muestras, operar con ellas, generar un resultado y tenerlo listo en la salida, con todo lo que ello incluye en cuanto a propagación de las señales, tiempos de establecimiento[[1]](#footnote-1) y de “hold” [[2]](#footnote-2) (retención)

RESTRICCIONES DE ÁREA DEL FILTRO

En términos de diseño para FPGA’s, el término "área" se refiere al porcentaje de recursos disponibles en la FPGA, como Flip-Flops (FF), bloques DSP, LUTs (Look-Up Tables), entre otros, que se utiliza para implementar la arquitectura diseñada.

Aún que no se puede conocer con exactitud los recursos que van a ser necesarios para implementar un diseño, aún menos cuando consta de varias partes que desarrollan varios ingenieros, es recomendable hacer una estimación y minimizar el consumo de recursos siempre que sea posible. Esto evitará que en una etapa avanzada del proyecto resulte necesario reestructurar módulos que ya estaban validados o tener que cambiar de dispositivo a uno con mayores prestaciones y, por lo tanto, de mayor coste.

Con relación a el filtro, este deberá procesar señales EMG provenientes de 8 canales, y esto, junto con la latencia máxima, condiciona el diseño del filtro y su optimización. Una posibilidad es procesar todos los canales en paralelo, lo cual optimizaría el tiempo de procesamiento, pero aumentaría significativamente el consumo de recursos. Otra opción es procesar los canales en serie, lo cual minimizaría el consumo de recursos, pero podría dificultar el diseño del filtro para garantizar que no se exceda la latencia máxima permitida. También se puede combinar procesamiento en serie y en paralelo para encontrar un equilibrio adecuado.

1. El tiempo de establecimiento de una señal eléctrica se refiere al tiempo que tarda en estabilizarse en un valor tras sufrir un cambio, por ejemplo, una señal digital que conmuta de ‘0’ a ‘1’ tendrá un tiempo de establecimiento desde que deja de valer ‘0’ hasta que se mantiene fija en ‘1’, y, entre medias, su valor es desconocido y se considera no estable. [↑](#footnote-ref-1)
2. El tiempo de hold de una señal eléctrica hace referencia al tiempo que una señal debe mantenerse estable para poder leerse correctamente, siguiendo el ejemplo de la señal digital, esta debe mantenerse con el valor de ‘1’ durante el tiempo de hold para que pueda ser validada.

   En general, no respetar los tiempos de establecimiento y de hold puede provocar metaestabildiad, hacer que el sistema entre en estados desconocidos e incluso dañar los componentes exceder las especificaciones de funcionamiento. [↑](#footnote-ref-2)