

UNIVERSITÉ DE SHERBROOKE
Faculté de génie
Département de génie informatique

PLAN DE VÉRIFICATION

Architecture des ordinateurs
GIF310

Présenté à
Équipe de formateurs de la session S4

Présenté par
Raphael Bouchard – bour0703
Alexis Guérard – guea0902

Sherbrooke – 19 février 2024

1. EXPLICATION INSTRUCTION SIMD

1.1 *lww*

L'instruction SIMD *lww* (Load Vector Word) est utilisée pour charger un mot (32 bits) de données depuis la mémoire vers un registre vectoriel.

1.2 *mulv*

L'instruction SIMD *mulv* (Multiply Vector) est utilisée pour multiplier deux vecteurs de nombres entiers ou flottants et stocker le résultat dans un registre vectoriel.

1.3 *addv*

L'instruction SIMD *addv* (Add Vector) est utilisée pour additionner deux vecteurs de nombres entiers ou flottants et stocker le résultat dans un registre vectoriel.

1.4 *swv*

L'instruction SIMD *swv* (Store Vector Word) est utilisée pour stocker un mot (32 bits) de données depuis un registre vectoriel vers la mémoire.

2. PLAN DE VÉRIFICATION

Tableau 1 : Plan de vérification de nos instructions SIMD

Objectif ciblé		Valider choix d'instructions	
Condition à proscrire	Aucun		
Test	Action	Résultats attendus	
<i>lww</i> (Charger un vecteur dans le registre)	Envoyer une instruction pour charger le vecteur commençant à l'adresse 0(\$a0) contenant les valeurs 1,2,3,4 dans le registre \$v0	Le vecteur à l'adresse 0(\$a0) est chargé dans le registre \$v0. Ce sont les mêmes valeurs.	[]
<i>swv</i> (Écrire le contenu du registre vectorielle)	Envoyer une instruction pour enregistrer le vecteur \$v0 contenant les valeurs 1,2,3,4 dans le registre 0(\$a0)	Le vecteur \$v0 est chargé dans le registre 0(\$a0)	[]
<i>addv</i> (Addition vectorielle)	Additionner deux vecteurs contenant les valeurs 1,1,1,1 et 2,2,2,2	Le registre vectoriel à les valeurs 3,3,3,3	[]
<i>mulv</i> (Multiplication vectorielle)	Multiplier deux vecteurs contenant les valeurs 2,2,2,2 et 3,3,3,3	Le registre vectoriel à les valeurs 6,6,6,6	[]