

VHDL - עבודה מסכמת

בעבודה זו פיתחתי מצפין ומפענח המתקשר בעזרת תקשורת UART.

העבודה נכתבה ב VHDL, בלוקי BDF, סימולציות ב modelSim ולבסוף צריבה על רכיב FPGA DE0-lite.

הרכיב מורכב מכמה חלקים:

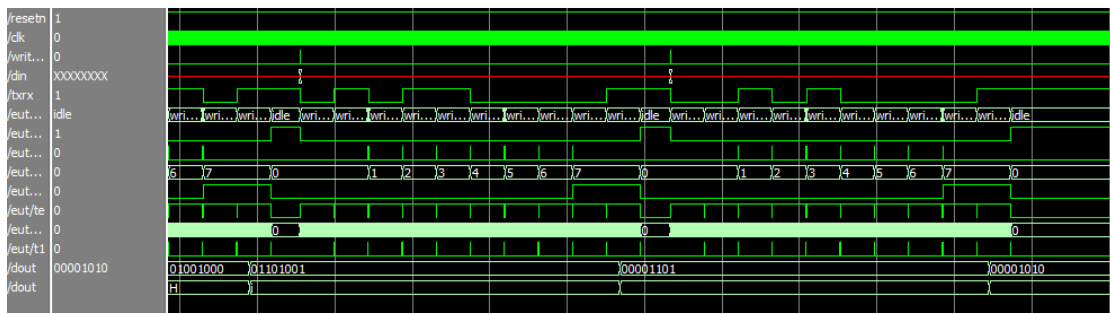
חלק ראשון: בניית transmitter ו receiver והשלמת רכיב uart מלא עם רכיב זכרון מסוג fifo.

חלק שני: רכיב הצפנה ופענוח על האותיות ע"י שינוי ערך האסקי שלהם בהוספת 7 לערכם עד 127 בערך האסקי ואז הוא חוזר לתחילת ה ABC לערך האסקי, כנל לגבי פענוח רק בכיוון ההפוך. בנוסף, רווח נשאר רווח וכל מה שהוא לא בעל ערך אסקי בטווח 127-32 הוא יומר לרווח.

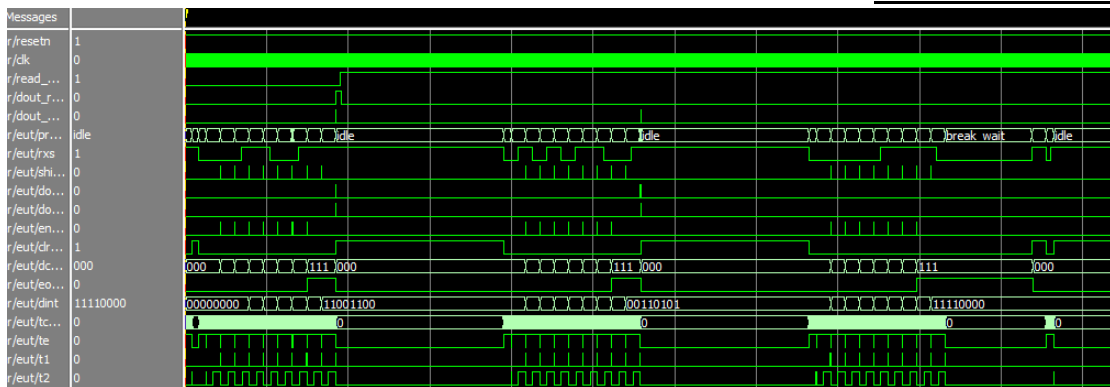
חלק שלישי: הלדקת חיווי של רמקול ונורת לד בכל פעם שמחליפים מצב.

צילומי מסך:

סימולציית transmitter :



סימולציית receiver :



סימולציית מצפין\מפענח :


```
Current XON/XOFF Output flow status is 0
Null bytes are NOT discarded when read
COM3>term
Terminal parameters set by TERMSET defaults
Local echo is turned OFF
Clearing the TX & RX Buffers
Dumb-Terminal (no data processing) is active (press ESC to quit)

olssv htvz      hello amos|
```