

T.D. 2

Les circuits combinatoires

Exercice 1

Simplifiez les expressions ci-dessous par la méthode algébrique.

- $S1 = A.B + A.(B + C) + B.(B + C)$
- $S2 = A.B + \overline{A}.\overline{B} + \overline{A}.B$
- $S3 = (A + \overline{B}).(A + B) + C.(\overline{A} + B)$
- $S4 = (A + C + D).(B + C + D)$
- $S5 = (A.\overline{B} + A.B + A.C).(\overline{A}.\overline{B} + A.B + A.\overline{C})$
- $S6 = (A + \overline{B} + C).(A + \overline{C}).(\overline{A} + \overline{B})$
- $S7 = A.B.C + A.\overline{B}.\overline{C} + \overline{A}.B.\overline{C} + \overline{A}.B.C$
- $S8 = A.B.C + A.\overline{B}.C + A.B.\overline{C}.D$
- $S9 = A + B.C + \overline{A}.(\overline{B} + \overline{C}).(A.D + C)$

Exercice 2

1. Donnez le schéma de câblage des portes NON, ET, OU, et OU EXCLUSIF, en utilisant uniquement des portes NON-ET.
2. À votre avis, quel peut être l'intérêt de ce type de transformation ?

Exercice 3

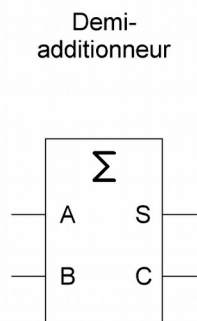


Figure 1

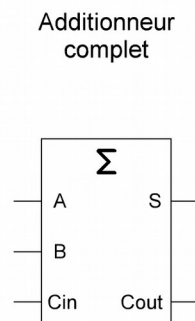


Figure 2

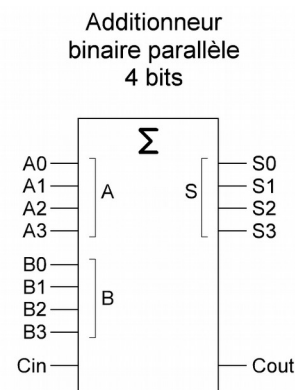


Figure 3

Dans un premier temps, on souhaite réaliser un demi-additionneur (cf. [figure 1](#)). Il s'agit d'un circuit qui additionne deux bits : A et B . Ce circuit doit générer la somme S et une éventuelle retenue C .

1. Donnez les tables de vérité de S et de C puis en déduire leurs équations respectives.
2. Dessinez le schéma interne du demi-additionneur.

On souhaite maintenant réaliser un additionneur complet (cf. [figure 2](#)). Il s'agit d'un circuit qui additionne trois bits : A , B et une retenue d'entrée Cin . Ce circuit doit générer la somme S et une éventuelle retenue de sortie $Cout$.

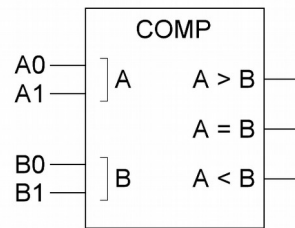
3. Donnez le schéma interne d'un additionneur complet à partir de deux demi-additionneurs.

Pour finir, on souhaite réaliser un additionneur binaire parallèle sur quatre bits (cf. [figure 3](#)). Il s'agit d'un circuit qui additionne deux nombres binaires de quatre bits, A et B , ainsi qu'une retenue d'entrée Cin . Il génère une somme S sur quatre bits et une retenue de sortie $Cout$.

4. Donnez le schéma interne de cet additionneur binaire à partir de plusieurs additionneurs complets.

Exercice 4

On souhaite réaliser le comparateur suivant :



Les entrées A et B représentent deux nombres binaires sur deux bits ($A0$ et $B0$ sont les bits de poids faible) :

- Si $A > B$ alors la sortie ' $A > B$ ' est au niveau logique 1 et les autres sorties sont au niveau logique 0 ;
- Si $A = B$ alors la sortie ' $A = B$ ' est au niveau logique 1 et les autres sorties sont au niveau logique 0 ;
- Si $A < B$ alors la sortie ' $A < B$ ' est au niveau logique 1 et les autres sorties sont au niveau logique 0.

1. Donnez la table de vérité du circuit.
2. Sans l'aide des tableaux de Karnaugh, exprimez l'équation simplifiée de la sortie ' $A = B$ ' et dessinez son schéma de câblage.
3. Avec l'aide des tableaux de Karnaugh, exprimez les équations simplifiées des sorties ' $A > B$ ' et ' $A < B$ '.

Exercice 5

Donnez les équations logiques simplifiées pour tous les diagrammes de Karnaugh ci-dessous :

		bc			
a	W	00	01	11	10
	0	1	0	1	0
	1	0	0	1	1

W =

		c	
ab	X	0	1
	00	1	1
	01	1	0
	11	0	1
	10	1	1

X =

		cd			
ab	Y	00	01	11	10
	00	1	1	0	0
	01	1	1	1	1
	11	0	0	0	0
	10	0	1	1	0

Y =

		cd			
ab	Z	00	01	11	10
	00	1	0	0	1
	01	1	1	0	1
	11	1	1	0	1
	10	1	0	1	1

Z =