

MT9V034 Tutorial

如何使用全局快门摄像头

By [AlexYzhov](#)

- MT9V032/034是安森美半导体出品的全局快门CIS，拥有卓越的画质和低照度表现。
- 032和034的区别，主要在于时钟和部分寄存器的不同(26.6Mhz/27Mhz)。
- 但就技术而言，两款CIS并无本质不同，可以看作是同款产品。

Table 1: Key Performance Parameters

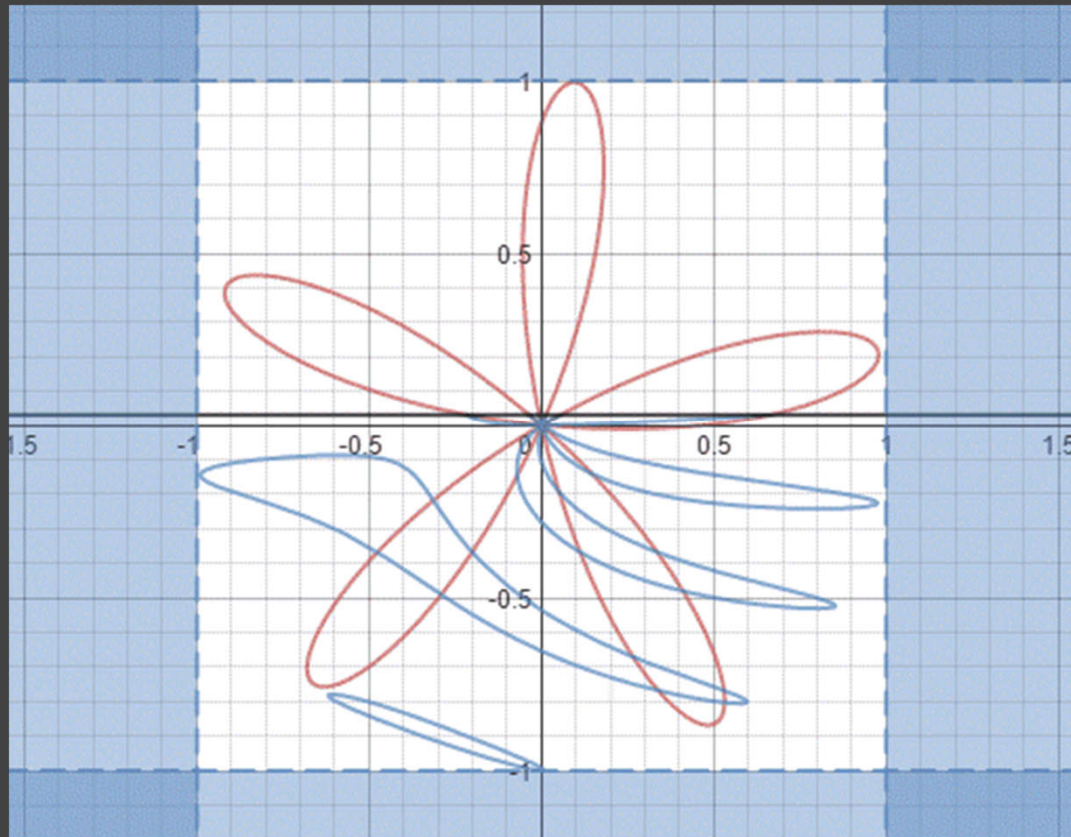
Parameter	Value
Optical format	1/3-inch
Active imager size	4.51mm(H) x 2.88mm(V) 5.35mm diagonal
Active pixels	752H x 480V
Pixel size	6.0 x 6.0μm
Color filter array	Monochrome or color RGB Bayer pattern
Shutter type	TrueSNAP™ Global shutter
Maximum data rate master clock	27 Mp/s 27 MHz
Full resolution	752 x 480
Frame rate	60 fps (at full resolution)
ADC resolution	10-bit column-parallel
Responsivity	4.8 V/lux-sec (550nm)
Dynamic range	>55dB linear; >110dB in HDR mode
Supply voltage	3.3V ±0.3V (all supplies)
Power consumption	<160mW at maximum data rate (LVDS disabled); 120μW standby power at 3.3V
Operating temperature	−30°C to +70°C ambient
Packaging	48-pin CLCC

卷帘快门下的果冻效应

- 卷帘快门采用逐行扫描的方式进行曝光，直至全帧曝光完成。因为逐行扫描地速度极快，一般不会对图像质量有影响。
- 但是，当被拍摄物体相对相机进行**高速运动**的时候(螺旋桨、吉他弦等快速振动的物体)，使用卷帘快门捕捉图像，可能会**导致图像变形**。
- **果冻效应**是因为曝光方式本身导致的、**不可避免**的物理现象。只要被拍摄物体的运动速率与快门扫描速率接近(**接近的数量级**)，**果冻效应**的影响就会特别明显。



卷帘快门下的果冻效应



不同目标速度下，果冻效应的不同影响

GIF

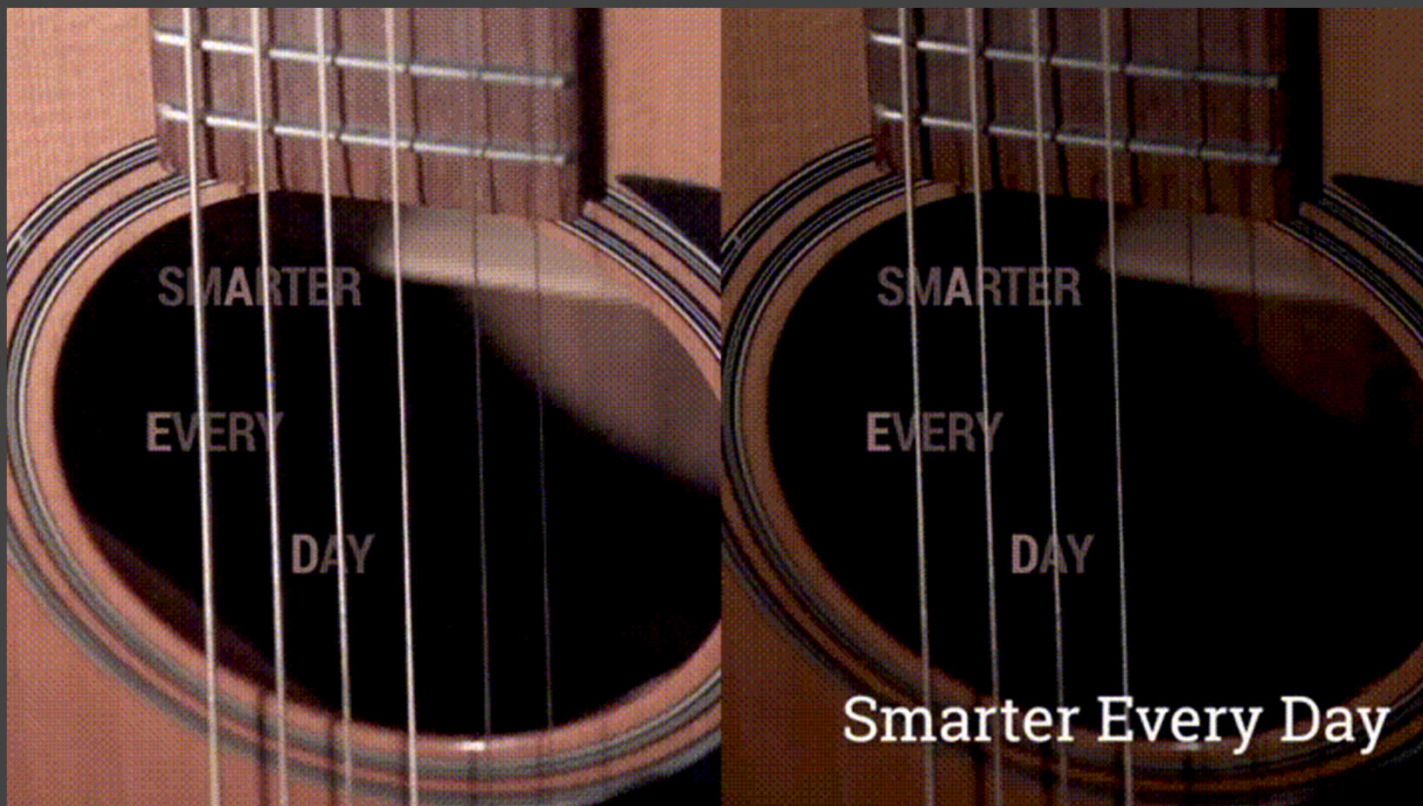


提高卷帘快门的扫描速率，可以降低果冻效应的影响。
但扫描速率同时也决定了图像的曝光程度，存在场景光线的限制。

使用卷帘快门，果冻效应无法完全避免。

Global Shutter V.S Rolling Shutter

GIF



- **全局快门**因为使用堆栈式曝光，不需要以扫描的方式进行曝光，从而完全消除了**果冻效应**。
- 这也是为什么**全局快门**拍摄动态物体的性能，远高于**卷帘快门**。

Outline of MT9V034

- MT9V034有DVP、LVDS两种接口，用于不同的应用场合。
- MT9V034支持单目和双目两大类模式，适用于不同的应用
- MT9V034有两个寄存器组(Context A/B)，支持即时切换控制参数
- MT9V034为了支持不同的工作模式，有复杂的时序生成选项
- 嵌入式应用中，我们只使用单目、DVP接口，寄存器组只使用Context A。

Outline of MT9V034

- 1. 3种工作模式：主(Master)、从(Slave)模式，以及Snapshot模式
 - 注：MT9V034支持深度视觉(双目)模式，需要两个CIS进行级联。该模式不在讨论范围内，此处描述的都是单目工作状态下的设置。
- 2. 像素合成(Pixel Binning)
- 3. 不同的主机像素读出模式(Simultaneous/Sequential Master Mode)

重要!

以上几个模式的具体功能，暂时按下不表。
完成第一波配置，实现采集后，再回来介绍。

MT9V034的TWI读写时序

- Two Wire Interface，其实就是厂家为了避开IIC专利起的一个别名，和SCCB一个性质。实际时序和IIC没区别。
- 但是要注意，MT9V034的寄存器宽度都是**16bit**，因而TWI也采用**16bit**读写时序。如果程序或者硬件只支持**8bit**时序，需要采用**特殊**的读写方法。
- Tips: LQ的MT9V034(“神眼摄像头”)，其7位IIC从机地址为(0x5C)。
- MT9V034提供了一个**特殊寄存器**(0xF0, **Byte-wise Address Register**)，用于存放使用8bit时序读写芯片时，数据的低8位。

MT9V034的TWI读写时序

- TWI的8bit读写，需要用到特殊寄存器(0xF0)，来存放16bit读写数据的低8bit。
- 写模式下，比如向复位寄存器(0x0C)写入(0x0001)完成复位：
 - 先向从机地址(0x5C)发起写入，向(0x0C)写(0x0001)的高8位，即 $(0x0001 \gg 8) = (0x00)$ ，
 - 再向从机地址(0x5C)发起写入，向(0xF0)写(0x0001)的低8位，即 $(0x0001 \& 0xFF) = (0x01)$ ，完成写入。

即：(0x5C<<1|0)->(0x0C)->(0x00), (0x5C<<1|0)->(0xF0)->(0x01)

- 读模式下，比如读取芯片版本寄存器(0x00)的数据：
 - 先向从机地址(0x5C)发起读取，读(0x00)中的8bit数据1，作为(0x00)的[15:8]；
 - 再向从机地址(0x5C)发起读取，读(0xF0)中的8bit数据2，作为(0x00)的[7:0]
 - 最后将数据1和数据2合成，得到(0x0)的全16位数据[15:0]，完成读取。

即：(0x5C<<1|0)->(0x00)->(0x5C<<1|1)->(数据1), (0x5C<<1|0)->(0xF0)->(0x5C<<1|1))->(数据2)

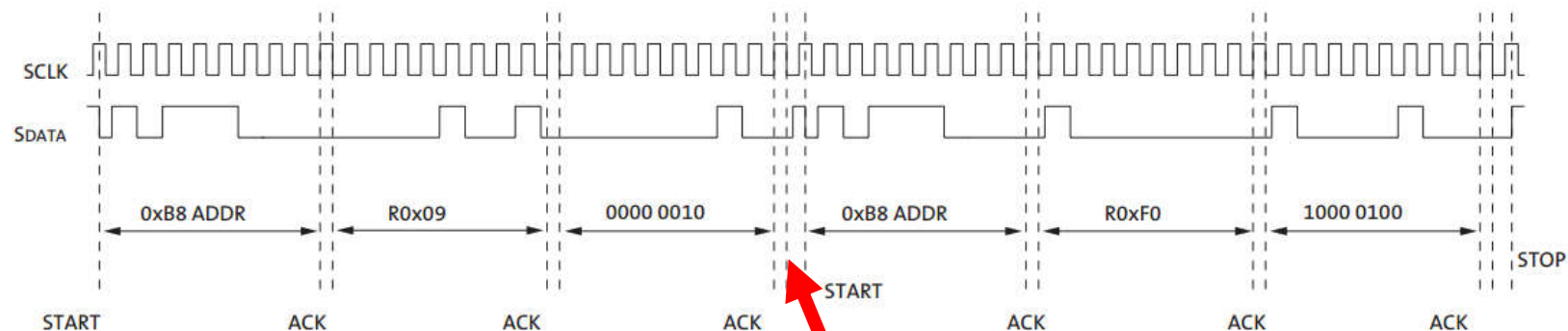
MT9V034的TWI读写时序：写

8-Bit Write Sequence

向0x09寄存器
写入值0x0284

To be able to write 1 byte at a time to the register a special register address is added. The 8-bit write is done by first writing the upper 8 bits to the desired register and then writing the lower 8 bits to the Bitwise Address register (R0xF0). The register is not updated until all 16 bits have been written. It is not possible to just update half of a register. In Figure 11 on page 18, a typical sequence for 8-bit writing is shown. The second byte is written to the Bitwise register (R0xF0).

Figure 11: Timing Diagram Showing a Bitwise Write to R0x09 with the Value 0x0284



注意，此处写完高8位数据后，IIC主机不能发起stop，而应在完成写入低8位的数据后，再发起stop，结束通讯

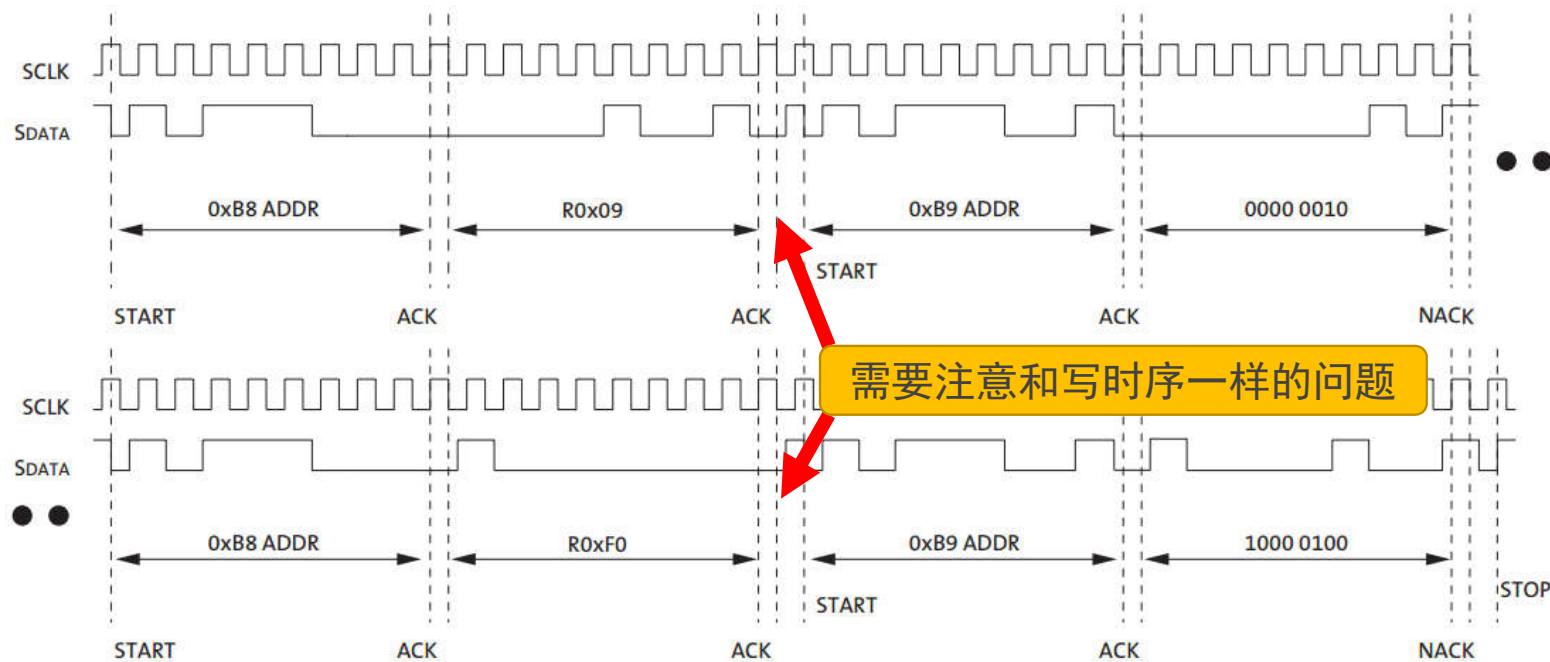
MT9V034的TWI读写时序：读

8-Bit Read Sequence

读取0x09寄存器的值
(值应当为0x0284)

To read one byte at a time the same special register address is used for the lower byte. The upper 8 bits are read from the desired register. By following this with a read from the Bytewise Address register (R0xF0) the lower 8 bits are accessed (Figure 12). The master sets the no-acknowledge bits shown.

Figure 12: Timing Diagram Showing a Bytewise Read from R0x09; Returned Value 0x0284



必须接触的几个寄存器(以Context A为例)

- 复位寄存器(0x0C): 负责控制CIS逻辑电路和增益电路的复位
- 芯片控制寄存器(0x07):
- 读模式寄存器(0x0D): 设置CIS的Binning模式, 控制像素读取时序
- 芯片版本寄存器(0x00): 只读, 数值恒为(0x1324)
- (列)起始寄存器(0x01): 图像窗口的(列)起点
- (行)起始寄存器(0x02): 图像窗口的(行)起点
- (列)高度寄存器(0x03): 图像窗口的高度
- (行)宽度寄存器(0x04): 图像窗口的宽度
- 自动曝光/增益控制寄存器(0xAF): 控制AEC/AGC功能的使能

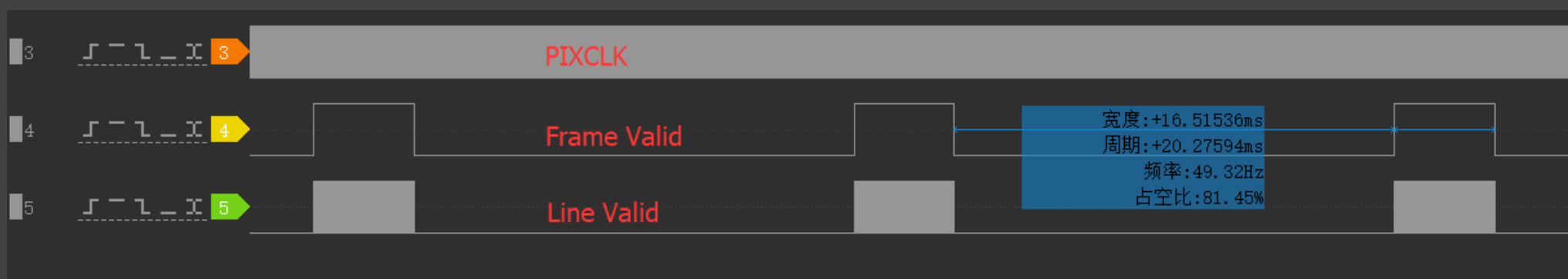
寄存器写入表(1)

寄存器地址	写入值&备注
(0x00)	只读，用于校验总线上时否存在MT9V034
(0x0C)	写(0x0001)，复位034控制电路，但不复位增益电路
(0x07)	写(0x0088)，使用Context A 使能034 DVP输出 单目模式 Master Mode 序列扫描
(0x0D)	写(0x000A)，设置4x4 Binning，水平/竖直均为非镜像输出
(0x01)	写(0x0001)，设置列起点为最小值(1)
(0x02)	写(0x0004)，设置行起点为最小值(4)
(0x03)	写(480)，设置横向曝光分辨率480
(0x04)	写(752)，设置横向曝光分辨率752
(0xAF)	写(0x0003)，开启自动曝光和自动增益控制

寄存器写入表(2)

按照上图的寄存器表，正确完成寄存器的写入操作，即完成了MT9V034的初步配置。

此时，034的曝光分辨率为752*480，曝光窗口为全面积(非裁剪)，输出分辨率为 $(752/4, 480/4)=(188, 120)$ ，同时曝光时间由AEC自动控制。PIXCLK的输出时钟，为主时钟的1/4。即 $27\text{Mhz}/4=6.75\text{Mhz}$ 。



配置完成的MT9V034 DVP输出时序

寄存器写入表(3)

Warning:

与OV7725不同，MT9V034的寄存器使用非易失性存储器构造，写入后断电不丢失数据。因此准备写入数据时请务必做好记录，并做好恢复准备。避免调乱CIS功能。

像素合成(Binning)

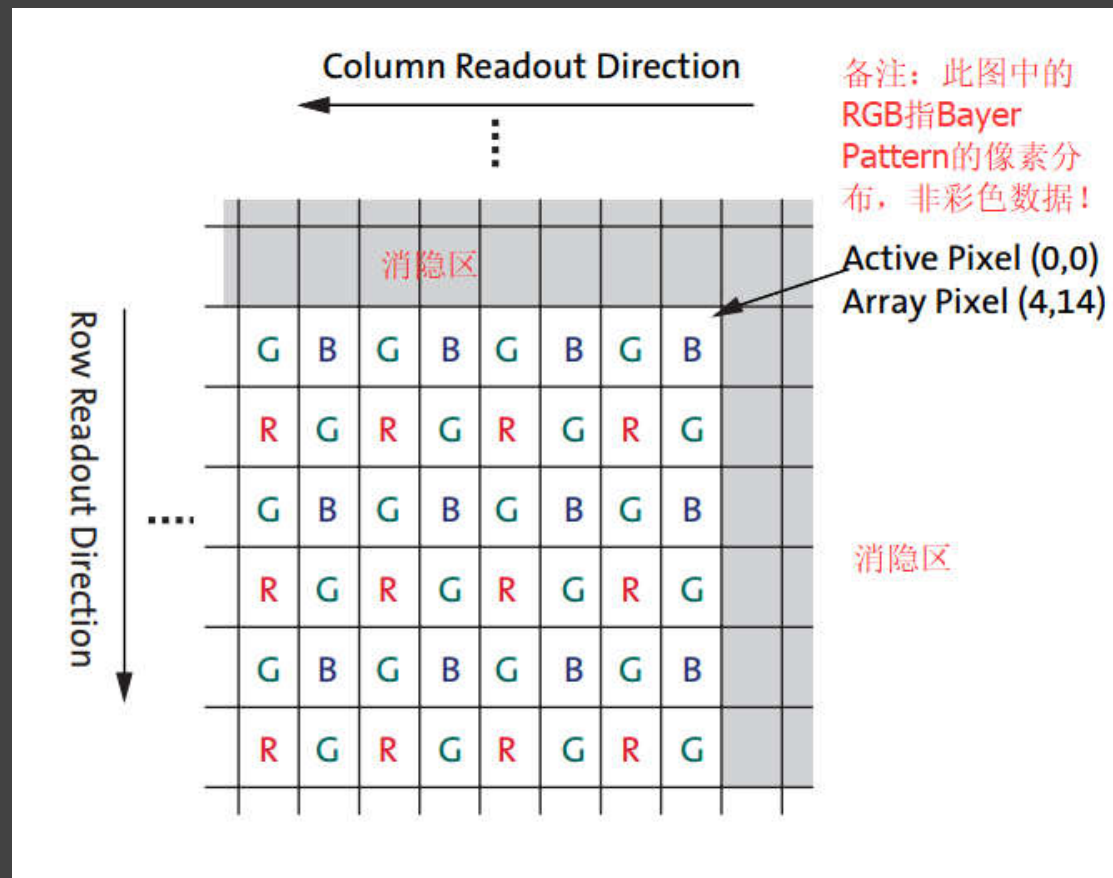
- 所谓**像素合成**，即CIS在保持曝光分辨率的同时，通过降低输出分辨率，提高图像信噪比的一种手段。
- 这有些类似松下GM4的“过采样”功能，通过将临近像素点数值平均后再输出的手段，变相提高了单个像素点的感光面积。
- MT9V034在**横**、**纵**两个方向上提供了**Binning**控制，但它们对画质和输出时序的影响并不一样。
- 粗略地说：
 - **横向(Row)Binning**会将全帧按行间隔输出。比如配置(**Row Binning 2**)，会导致只有偶数行有输出。这样缩短了Line Valid的宽度(因为待输出行少了1/2或3/4)，但不影响PIXCLK的速率。
 - **纵向(Column)Binning**则会对PIXCLK进行2分频或者4分频，按照**Binning**配置将临近2~4个像素点的值平均后输出。此时Line Valid的宽度保持不变，但每个Line Valid有效信号内的PIXCLK脉冲数量会减少。

注：**Column Binning**中，像素值也不是完全取平均。
当相邻像素灰度值之差大于200时，Binning输出取灰度较低的值。(见Datasheet Rev.A P65)

降分辨率输出

需要注意的是，MT9V034只支持固定的752*480曝光尺寸。非Binning的情况下，任何对输出分辨率的修改，本质上都是通过插入消隐区的方式，**剪裁数据输出窗口**。此举可能会导致图像有效视角的变化。

寄存器(0x01,0x02,0x03,0x04)决定剪裁尺寸。



曝光控制(以Context A为例)

- 注：当使能AEC及AGC时，快门控制参数不工作。

- (0x08,0x09,0x0A,0x0B)：粗粒度曝光控制
- (0xD3,0xD4,0xD5)：细粒度曝光控制

} 这两组寄存器，
协同控制MT9V034的
曝光范围和步进细分。

隐藏寄存器

- 在MT9V034最新的DataSheet Rev.G中，Table.8提供一组隐藏寄存器配置表，修正了一系列可能存在的问题。熟悉芯片后，可以阅读手册，按需添加：

Register	Current Default	New Setting	Performance Impace
(0x20)	0x01C1	0x03C7	Recommended by design to improve performance in HDR mode and when frame rate is low. We also recommended using R0x13=0x2D2E with this setting for better column FPN. NOTE: When coarse integration time set to 0 and fine integration time less than 456, R0x20 should be set to 0x01C7
(0x24)	0x0010	0x001B	Corrects pixel negative dark offset when global reset in 0x30[9] is enabled.
(0x2B)	0x0004	0x0003	Improves column FPN.
(0x2F)	0x0004	0x0003	Improves FPN at near-saturation.

消隐区

- 摄像头基础知识，略。

输出时序

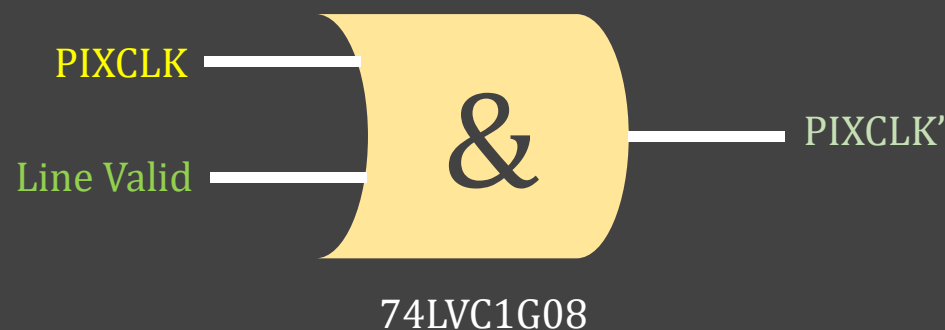
- MT9V034片上不提供关闭消隐区像素时钟的办法，时序如图所示：



如图所示，场、行消隐区均存在PIXCLK。所以在Kinetis上实现DMA采集时，只能使用Line Valid作为DMA触发信号，使能PIXCLK触发DMA请求。但此时需要注意，由于PIXCLK的频率较高 (Column Binning 4@6.75Mhz)，从Line Valid触发到有效PIXCLK来临的时间间隔会特别短。程序上要求极高的中断响应速度。

对输出时序的一点改进

- 设计一个二输入与门，将PIXCLK和Line Valid作为其输入信号，得到消隐区无输出的PIXCLK'。消隐区无输出的像素时钟信号，有利于Kinetis使用Frame Valid作为DMA使能信号，提高对中断响应延迟的容忍度。



注：STM32的DCMI及IMX系列的CSI接口，需要保留消隐区时钟才能完成采集。这种做法只适用于辅助缺少专用摄像头外设的MCU实现采集。