

Tarea 2

Calculadora de 8 bits con Makefile, y utilizando Yosys.

Parte contador:

- **Mediante instancias** usando de apoyo si así lo desea el sumador realizado en clase, realice una calculadora de 8 bits, la calculadora debe ser capaz de:
 - Sumar
 - Restar
 - Multiplicar
 - Lograr un LEFT SHIFT (Si no recuerda que es un LEFT SHIFT revise la sección de Operadores Lógicos en la presentación de *Introducción a Verilog*.)
- Recordemos las ENTRADAS y SALIDAS del sumador, el que realizamos hace unas semanas atrás en la clase, **su módulo principal debe tener las mismas salidas y entradas:**
 - ENTRADAS:
 - clk, rst, a, b, en
 - Se agrega una nueva entrada: MODO [1:0]
 - SALIDAS:
 - c
- Para que el contador realice cada una de estas operaciones en un mismo módulo debe crear una entrada extra llamada MODO de [1:0], entonces por ejemplo si
 - MODO == 2'b00 // SUMA
 - MODO == 2'b01 // RESTA
 - MODO == 2'b10 // MULTIPLICA
 - MODO == 2'b11 // LEFT SHIFT
- Entonces por ejemplo si MODO == 2'b00, las entradas a y b harán una suma, que se verá reflejado en la salida c.
- Posibles preguntas:
 - ¿Profe, cuanto debe durar el waveform, cuantas pruebas debo realizar?
 - Basta con realizar 2 sumas, 2 restas, 2 multiplicaciones y 2 left shift.
 - ¿Profe, que señales se deben ver en el waveform?
 - TODAS, si utilizo registros internos para realizar alguna opción extra, debe mostrarla y en el reporte explicar su funcionamiento.
 - ¿Profe, puedo hacer distintos tester para cada MODO?
 - NO, todo debe de ir en un solo tester, por ende, un mismo waveform.
 - ¿Profe, de cuantos bits tiene que ser la señal de entradas a y b, y la salida c?
 - Si la calculadora es de 8 bits, las salidas y entradas no pueden ser de un solo bit, entonces...

Parte Síntesis:

Luego de haber realizado su circuito, debe aplicar todos los pasos vistos en clases en el programa Yosys, y obtener un código de Verilog sintetizado, a partir de este, debe demostrar como ambos son equivalentes, para esto debe apoyarse de un waveform.

Entregables:

- Debe entregar en una carpeta ZIP el Makefile, todos los archivos necesarios para que esto corra. Asegúrese que su Makefile funcione antes de entregarlo, alguna falta ya sea de sintaxis, o ortografía puede evitar que su programa corra correctamente, este error, recurre a un cero en la parte evaluada.
- En un documento explique y adjunte:
 - Explicación de como creo su calculadora, en que consiste el código etc.
 - Explicación de como correr el Makefile.
 - Waveform de la calculadora de 8 bits, se deben de mostrar todos los modos.
 - Imágenes de Yosys (muestre la última del último paso, si esta es muy grande adjúntela como jpg, no la incluya en el reporte) como se aplicó, cuantas compuertas tiene el circuito sintetizado.
 - Ambos waveforms tanto el sintetizado como el no sintetizado y debe realizar una conclusión respecto a este.
- INCLUYA PORTADA EN SU DOCUMENTO, CON SU NOMBRE, CARNÉ, ETC.
- La entrega debe ser en un archivo .zip, con su NOMBRE_APELLIDO_CARNET, ej:
ANA_SANCHEZ_B87382.zip

Cuadro de calificación

Instrucción	Puntaje
<i>Realizar todos los pasos de Síntesis con Yosys, obtener el Verilog Sintetizado, imagen del paso final de Yosys del circuito sintetizado, y mencionar cuantas compuertas tiene</i>	30 puntos
<i>Realizar la calculadora, son cuatro MODOS, cada MODO vale 10 puntos.</i>	40 puntos
<i>Realizar el Makefile.</i>	10 puntos
<i>Documentación: Fijarse arriba que debe de contener la documentación.</i>	20 puntos
	Puntaje Total: 100