**БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ**

**ИНФОРМАТИКИ и РАДИОЭЛЕКТРОНИКИ**

**Факультет компьютерных систем и сетей**

**Кафедра ЭВМ**

Контроль и диагностика средств вычислительной техники

Лабораторная работа № 3

Вариант 9

Построение функциональных

и структурных тестов контроля

элементов памяти

**Выполнил Проверил**

**студент гр. 250501 Золоторевич Л. А.**

**Андрадэ А. И.**

**Минск 2016**

**1** Задание на лабораторную работу

**1.1** Подготовить функциональные тесты для элемента памяти (по заданной таблице функционирования элемента или на основе анализа логической структуры). Описать схему на внутреннем языке системы VLSI\_SIM, транслировать, моделировать схему на подготовленных тестах (SCA\_TIME), определить контролирующую способность теста (SCA\_FAULT).

**1.2** Построить тесты методами автоматического, а затем и автоматизированного построения (SCA\_GENER). Для работы в режиме автоматизированного построения применить функцию «Данные эксперта».

**1.3** Описать схему на языке VHDL в структурном виде и на поведенческом уровне, получить временные диаграммы в системе ModelSim на полученных в п.п.1,2 тестах. В поведенческую модель включить проверку правильности входных данных. Сопоставить 3 полученные временные диаграммы.

**2** Исходные данные



Рисунок 2.1 – D-триггер с инверсным синхросигналом

Таблица 2.1 – Таблица функционирования D-триггера с инверсным синхросигналом

|  |  |  |
| --- | --- | --- |
| D | C | Q |
| - | 0 | (D) |
| - | 1 | N |

**3** Описание схемы на внутреннем языке системы VLSI\_SIM

CIRCUIT TRIGGER;

inputs D(1), C(1);

outputs Q(1);

GATES

X1 'N\_'(1) X4(1);

X2 'NOA22'(1) X3(1),X1(1),D(1),X4(1);

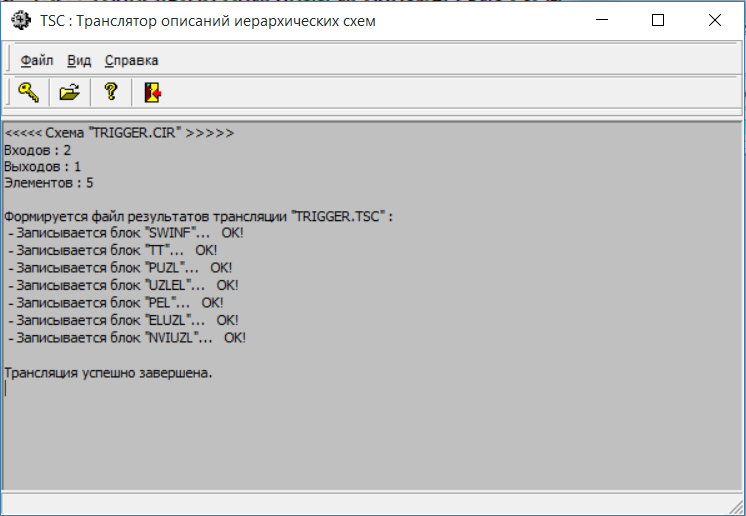
X3 'N\_'(1) X2(1);

X4 'N\_'(1) C(1);

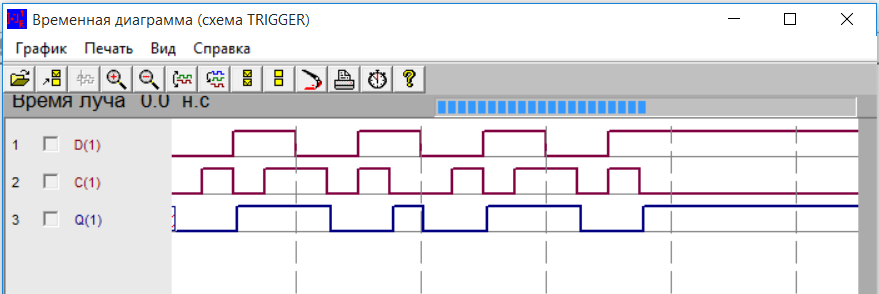
Q 'N\_'(1) X2(1);

ENDGATES

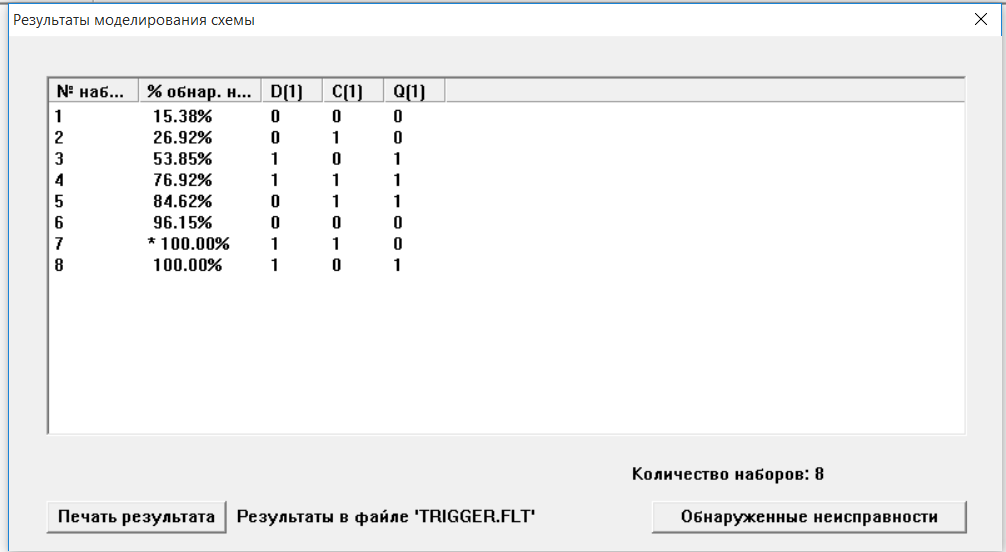
END



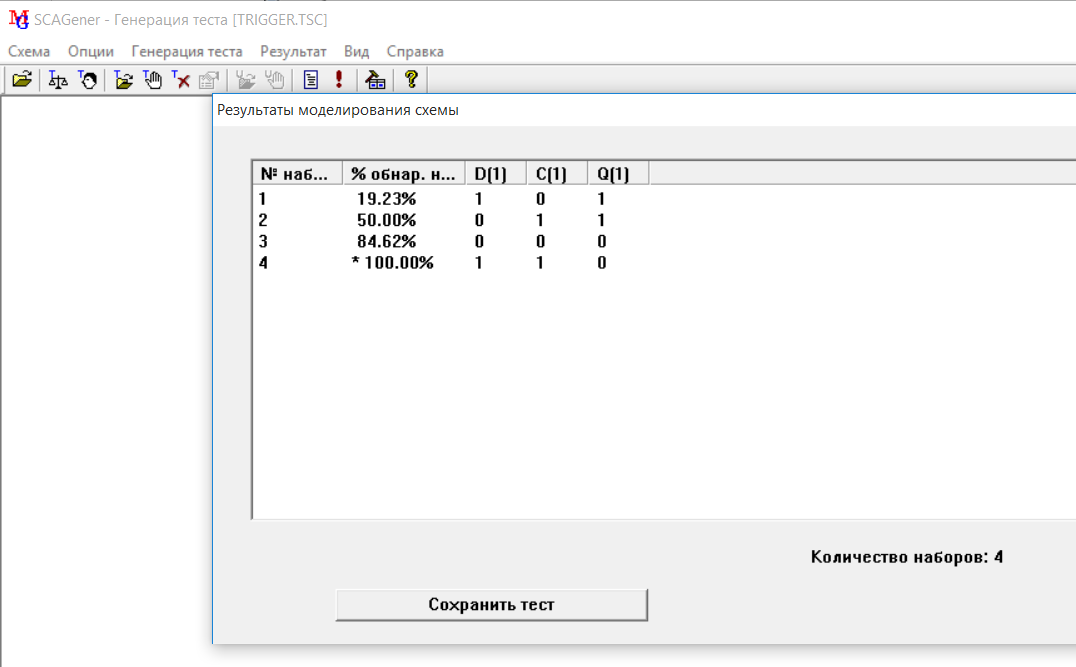
**4** Результаты моделирования на функциональных тестах

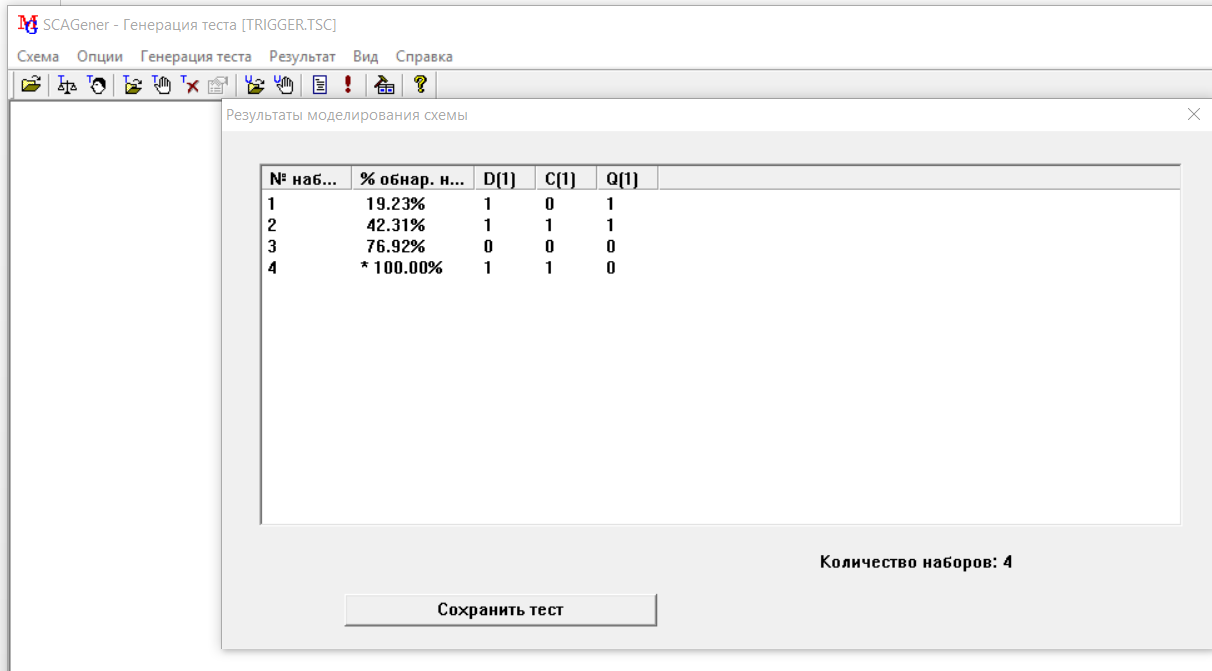


**5** Контролирующая способность функционального теста

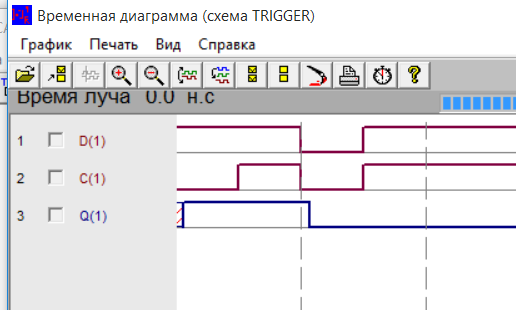
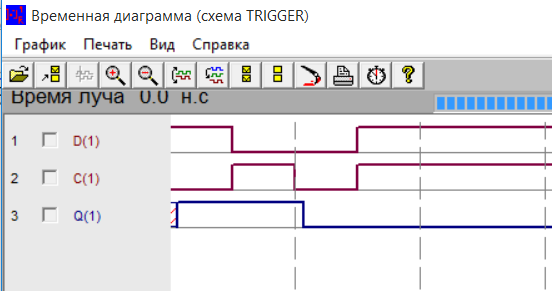


**6** Автоматическое и автоматизированное построение теста





**7** Результаты моделирования на тестах, построенных автоматически



**8** Описание схемы на языке VHDL в системе Modelsim

**8.1** Структурное описание

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

entity trigger structural is

Port ( D,C: in std\_logic;

Q: out std\_logic := '0');

end trigger structural;

architecture Behavioral of trigger\_structural is

component N

Port ( A: in std\_logic;

Y: out std\_logic);

end component;

component NOA22

Port ( A,B,C,D: in std\_logic;

Y: out std\_logic);

end component;

signal x1,x2,x3,x4,x5 : std\_logic;

begin

x\_1 : N port map (A=>x4, Y=>x1);

x\_2 : NOA22 port map (A=>x3, B=>x1, C=>D, D=>x4, Y=>x2);

x\_3 : N port map (A=>x2, Y=>x3);

x\_4 : N port map (A=>C, Y=>x4);

x\_5 : N port map (A=>x2, Y=>Q);

end Behavioral;

**8.2** Поведенческое описание

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

entity trigger\_behav is

Port ( D,C: in std\_logic;

Q: out std\_logic:= '0');

end trigger\_behav;

architecture Behavioral of trigger\_behav is

begin

process(D,C)

begin

if C = '0' then

Q <= D;

end if;

end process;

end Behavioral;

**9** Тестовый модуль для моделирования схемы

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

entity functional\_test is

end functional\_test;

architecture Behavioral of functional\_test is

component trigger\_structural

Port ( D,C: in std\_logic;

Q: out std\_logic);

end component;

component trigger\_behav

Port ( D,C: in std\_logic;

Q: out std\_logic);

end component;

signal D,C,Q1,Q2 : std\_logic := '0';

begin

UUT1 : trigger\_structural port map (D=>D, C=>C, Q=>Q1);

UUT2 : trigger\_behav port map (D=>D, C=>C, Q=>Q2);

process

begin

D <= '0';

C <= '0';

wait for 50 ns;

D <= '0';

C <= '1';

wait for 50 ns;

D <= '1';

C <= '0';

wait for 50 ns;

D <= '1';

C <= '1';

wait for 50 ns;

D <= '0';

C <= '1';

wait for 50 ns;

D <= '0';

C <= '0';

wait for 50 ns;

D <= '1';

C <= '1';

wait for 50 ns;

D <= '1';

C <= '0';

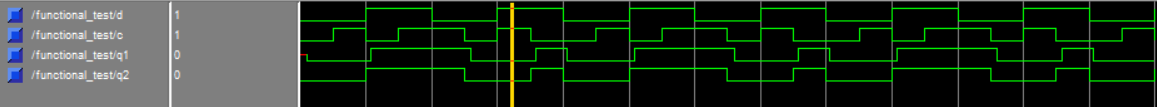
wait for 50 ns;

end process;

end Behavioral;

**10** Результаты моделирования схемы на функциональных тестах в системе ModelSim

Структурное и функциональное моделирование



**11** Результаты моделирования схемы на тестах, построенных автоматически в системе ModelSim

Cтруктурное и функциональное моделирование

