

Rapport du Travail 6

Alexandre Dewilde

March 20, 2021

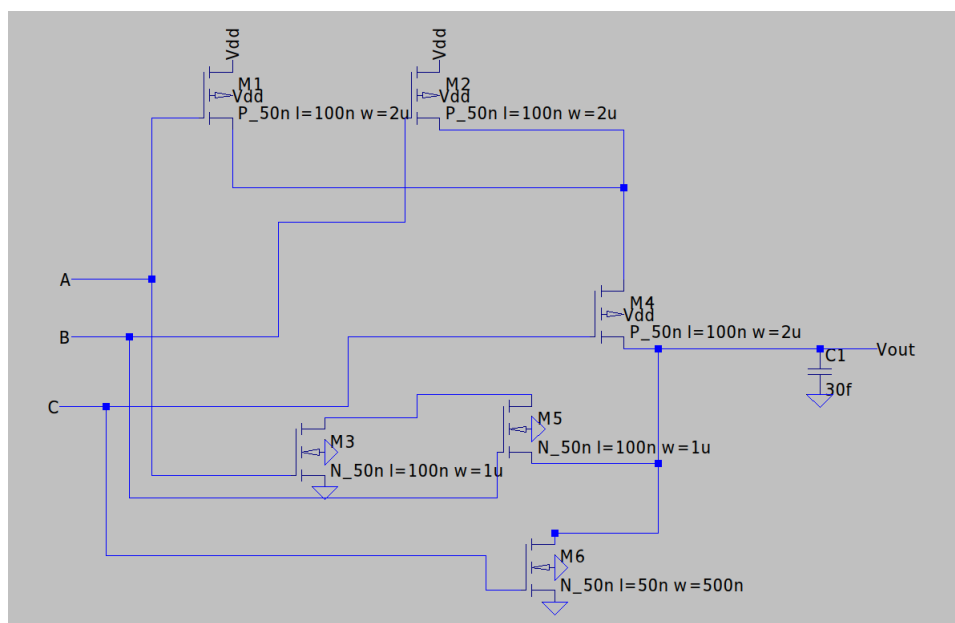
1 La fonction

$$Y = \overline{(A \cdot B) + C}$$

2 Table de vérité

A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

3 Conception de la porte logique en nmos et pmos



La fonction peut se réécrire sous la forme $Y = (\overline{A \cdot B}) + \overline{C}$

Pour la première partie de l'équation, on mets 2 transistors PMOS en // qui le premier prends A en input et le second B, de sorte que 1V ressortent dans le cas on les deux entrées ne valent pas 1 ce qui bloquerait, les deux transistors. Il faut implémenté l'inverse pour les NMOS, pour qu'il n'y ai pas de floating point.

Une fois la première partie implémenté, on ajoute un transistors PMOS en série avec les deux transistors PMOS en // qui prends en input C, dans ce cas la alors, la tension de sortie sera 1 seulement lorsque C et la sortie des 2 transistors en // vaut 0. Il faut implenter l'inverse pour les NMOS, pour qu'il n'y ai pas de floating point dans les autres cas.

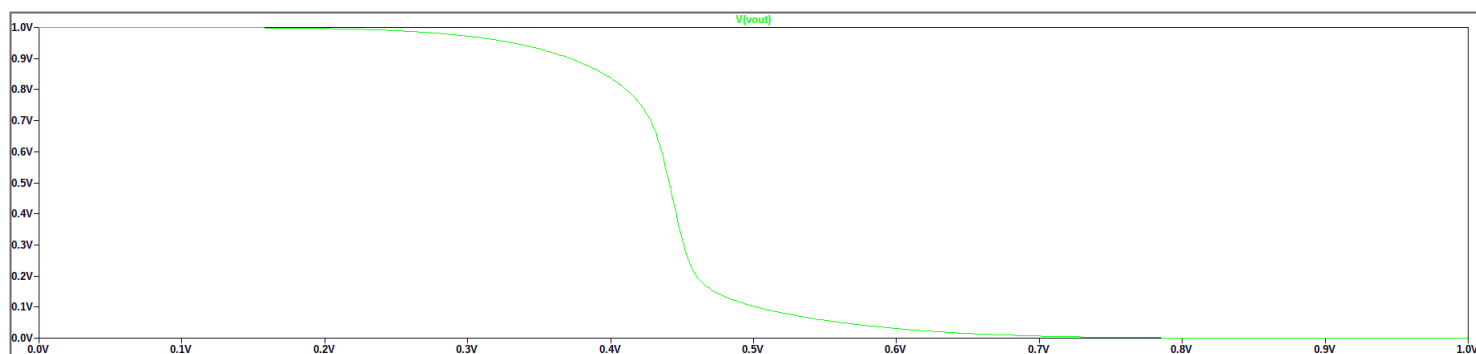
3.1 Dimensionnement des transistors

Lorsqu'on a des transistors en série il faut doubler leurs tailles par apport aux autres, donc ici tous les transistors sont doublé de tailles sauf le transistors NMOS en // avec les deux autres transistors en série.

Et voila, la fonction est implémenté.

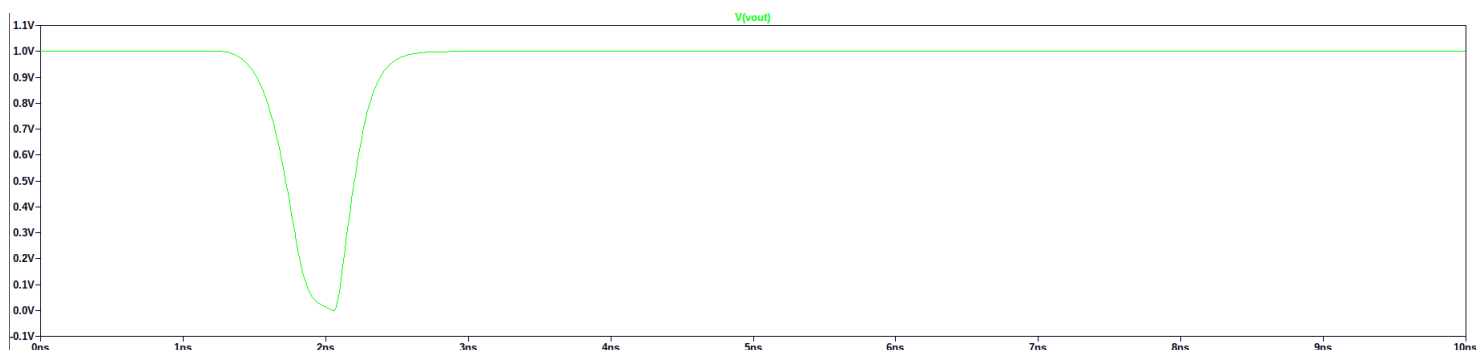
4 Simulation DC

En fixant les entrées à B = 1, C = 0, et en changeant A de 0 à 1 on obtient ceci:

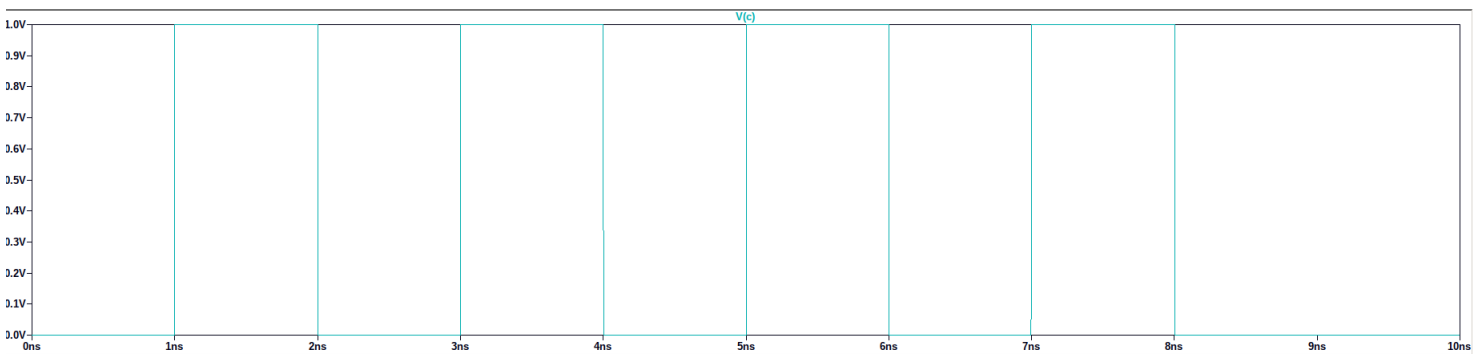
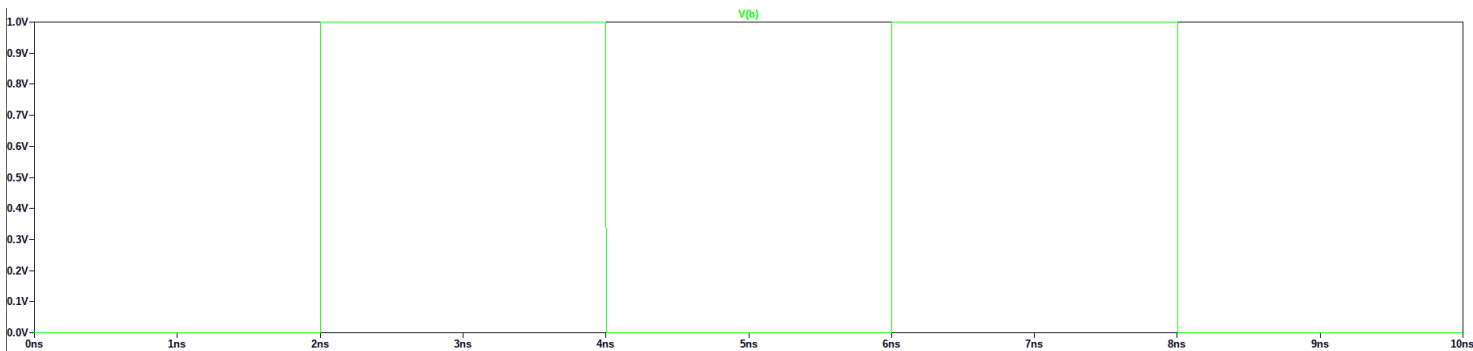
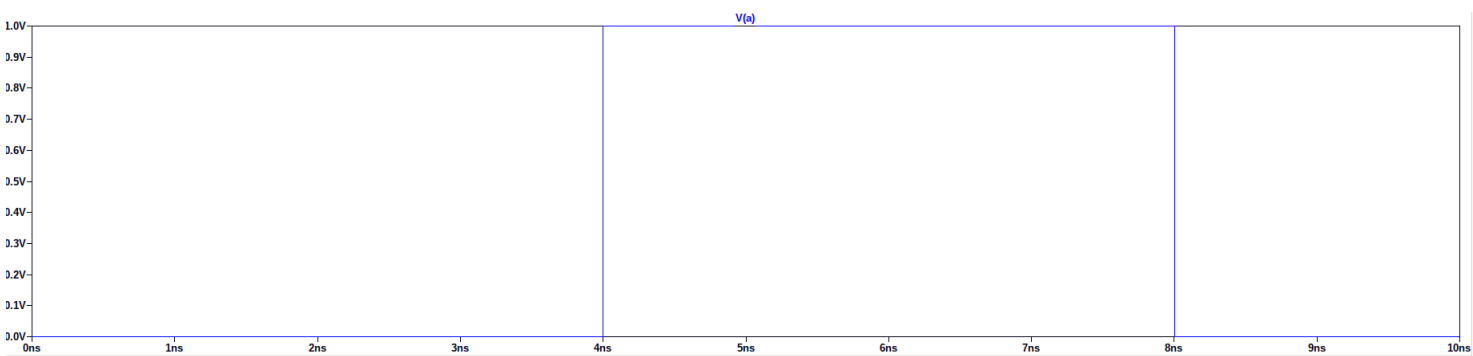
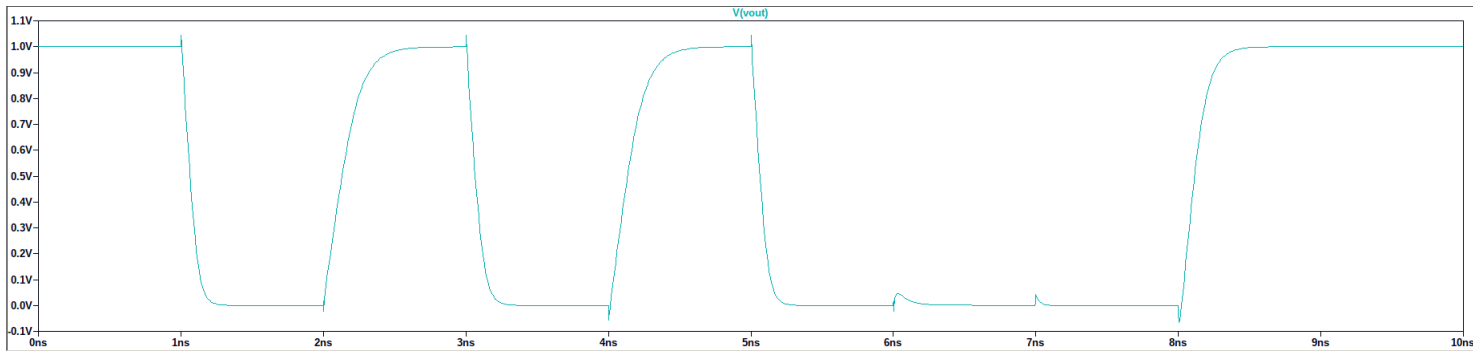


5 Simulation Tran en faisant varier une des entrées

Lorsque l'on mets A=0, C=0 et B qui varient entre 0 et 1 (PULSE(0 1 1n 1n 0))



6 Simulation Tran en faisant varier les 3 entrées de manière à parcourir la table de vérité de la fonction



7 Conclusion

En conclusion, les résultats correspondents à la table de vérité calculés.