



Projet RISC- V Zynq

Réunion de projet 5

Tâches effectuées

02/01/2024

- Installation de Vivado 2023.2 avec le support des boards ZYBO.
- Ajout des boards files contenant la Zybo Z7-20

03/01/2024

- Creation d'un projet vivado, packaging de l'IP picorv32_axi_0 et création d'un premier bloc design

04/01/2024

- Recherches sur l'IP du ZYNQ, comment connecter le picorv32 à la mémoire du processeur

11/01/24

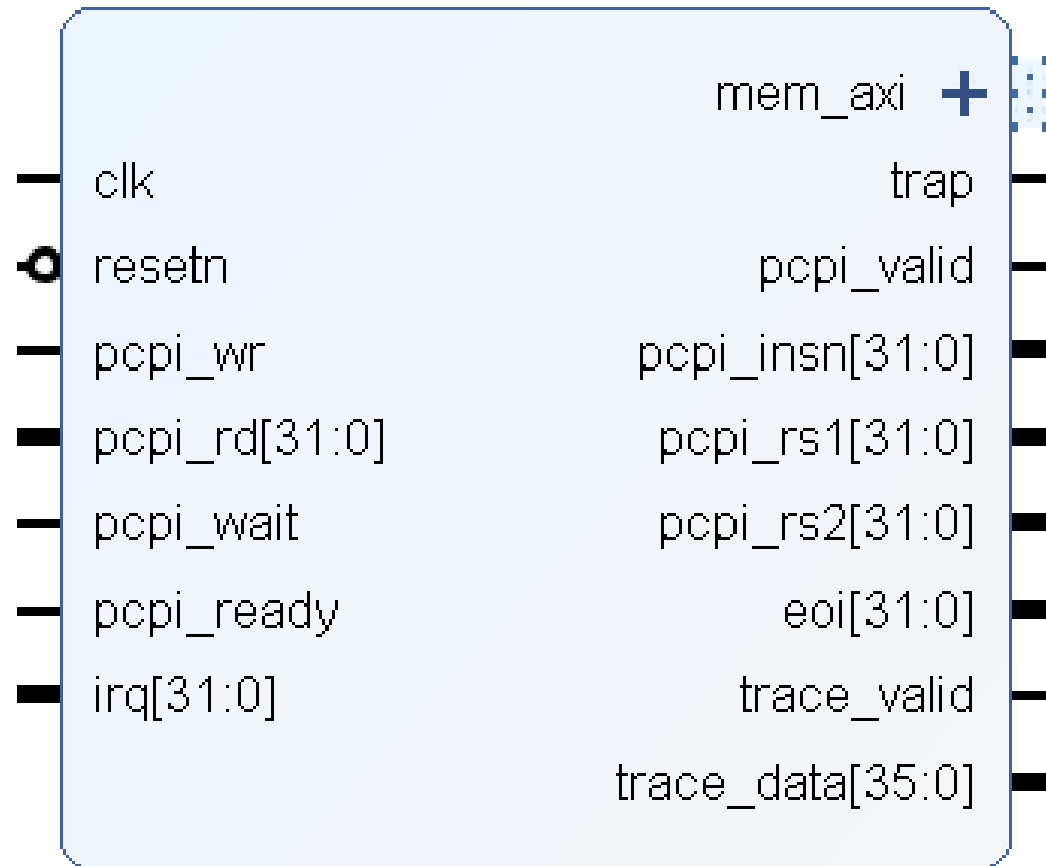
- Réunion de projet
- Découpe en tache :
 - Recherche AXI : Guicheteau
 - Recherche PCPI, si on désactive : Assier
 - Recherche Systeme : MORAL

- Install Vivado : Guicheteau

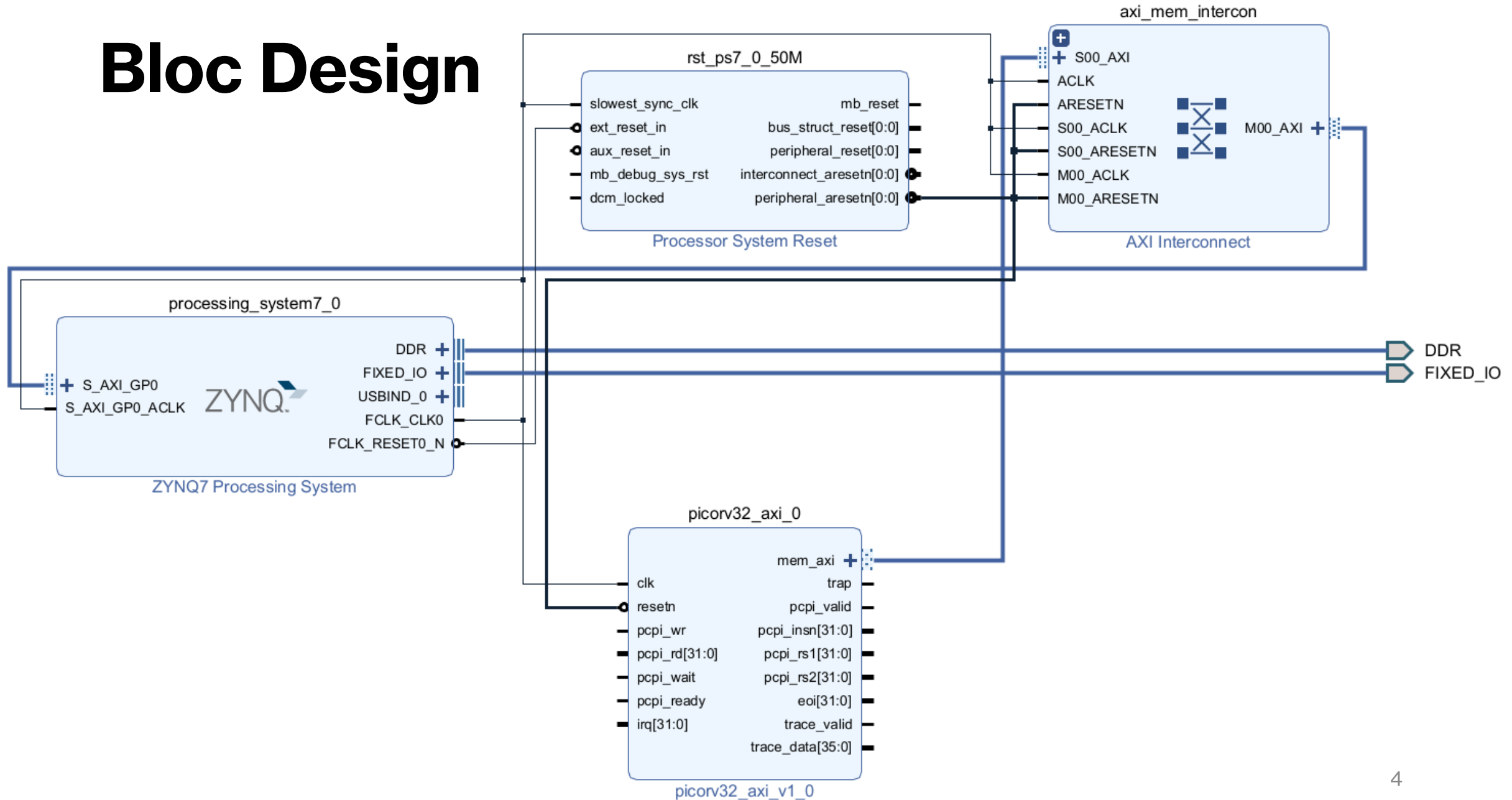
12/01/24 - 13/01/24

- Modification des PCW_UIPARAM_DDR_DQS_TO_CLK_DELAY
- Modification des connexions entre l'axi interconnect et rst_ps7_0_50M
- Implémentation

IP PicoRV32 AXI



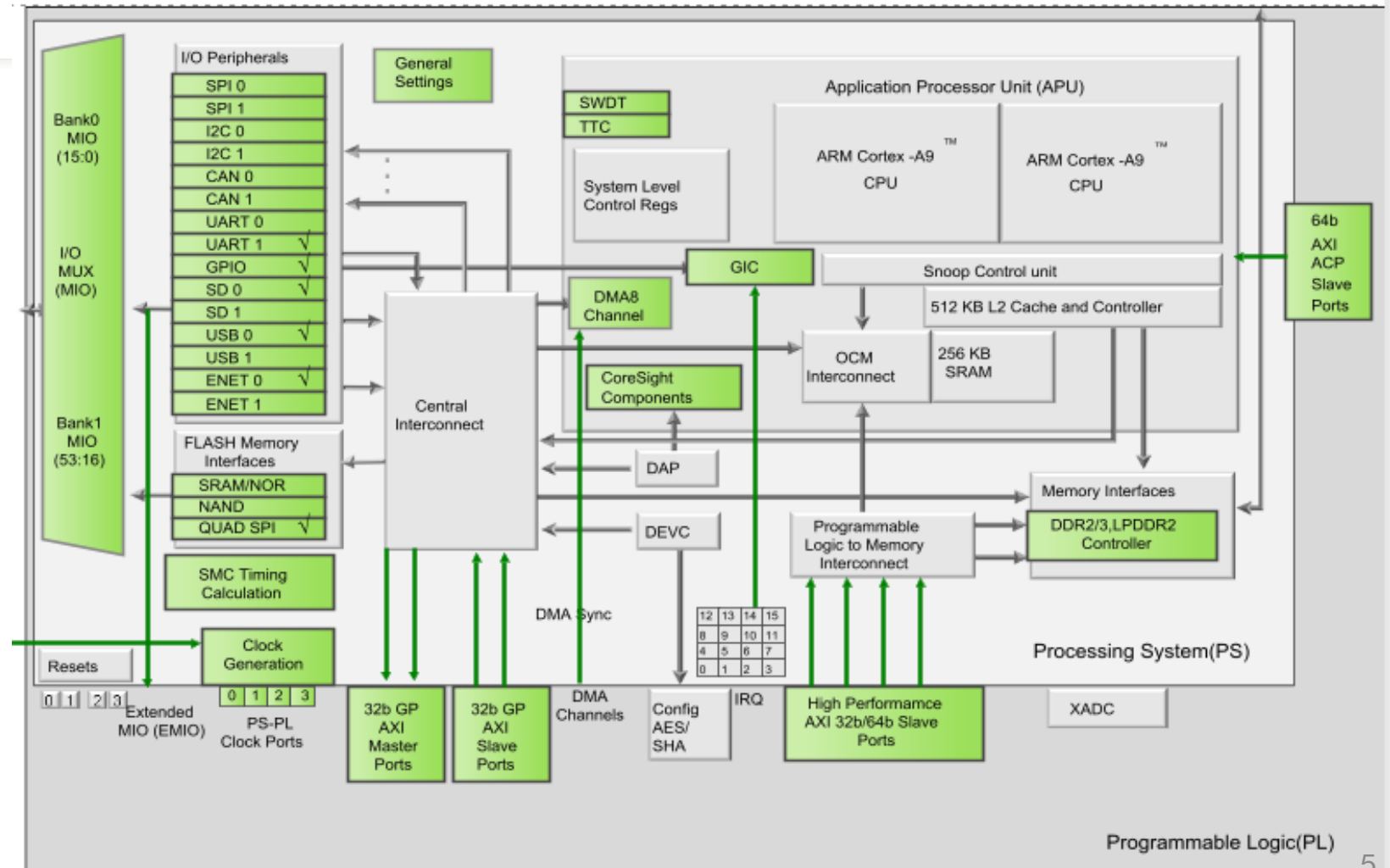
Bloc Design



ZYNQ7 Processing System

Zynq Block Design

Summary Report



Programmable Logic(PL)


Problèmes rencontrés

- Les DDR sont des mémoires vives qui transfèrent des données rapidement, et les DQS sont des signaux d'horloge qui aident à synchroniser la transmission de ces données.

DDR TO CLK DELAY

```
CRITICAL WARNING: [PSU-1] Parameter : PCW_UIPARAM_DDR_DQS_TO_CLK_DELAY_0 has negative value -0.050 .
PS DDR interfaces might fail when entering negative DQS skew values.
CRITICAL WARNING: [PSU-2] Parameter : PCW_UIPARAM_DDR_DQS_TO_CLK_DELAY_1 has negative value -0.044 .
PS DDR interfaces might fail when entering negative DQS skew values.
CRITICAL WARNING: [PSU-3] Parameter : PCW_UIPARAM_DDR_DQS_TO_CLK_DELAY_2 has negative value -0.035 .
PS DDR interfaces might fail when entering negative DQS skew values.
CRITICAL WARNING: [PSU-4] Parameter : PCW_UIPARAM_DDR_DQS_TO_CLK_DELAY_3 has negative value -0.100 .
PS DDR interfaces might fail when entering negative DQS skew values.
CRITICAL WARNING: [PSU-1] Parameter : PCW_UIPARAM_DDR_DQS_TO_CLK_DELAY_0 has negative value -0.050 .
PS DDR interfaces might fail when entering negative DQS skew values.
CRITICAL WARNING: [PSU-2] Parameter : PCW_UIPARAM_DDR_DQS_TO_CLK_DELAY_1 has negative value -0.044 .
PS DDR interfaces might fail when entering negative DQS skew values.
CRITICAL WARNING: [PSU-3] Parameter : PCW_UIPARAM_DDR_DQS_TO_CLK_DELAY_2 has negative value -0.035 .
PS DDR interfaces might fail when entering negative DQS skew values.
CRITICAL WARNING: [PSU-4] Parameter : PCW_UIPARAM_DDR_DQS_TO_CLK_DELAY_3 has negative value -0.100 .
PS DDR interfaces might fail when entering negative DQS skew values.
```


Problèmes rencontrés

ZYNQ7 Processing System (5.5)





[Documentation](#) [Presets](#) [IP Location](#) [Import XPS Settings](#)

Page Navigator —





- Zynq Block Design
- PS-PL Configuration
- Peripheral I/O Pins
- MIO Configuration
- Clock Configuration
- DDR Configuration**
- SMC Timing Calculation
- Interrupts

DDR Configuration[Summary Report](#)

☒ Enable DDR

Search:

Name	Select	Description
> DDR Controller Configuration		
> Memory Part Configuration		
▼ Training/Board Details	User Input ▼	
> DRAM Training		
▼ DQS to Clock Delay (ns)		
DQS0	0.0 	DQS to Clock delay [0] (ns). The DQS path delay subtracted from the c
DQS1	0.0 	DQS to Clock delay [1] (ns). The DQS path delay subtracted from the c
DQS2	0.0 	DQS to Clock delay [2] (ns). The DQS path delay subtracted from the c
DQS3	0.0 	DQS to Clock delay [3] (ns). The DQS path delay subtracted from the c

Problèmes rencontrés

Reset Source

[BD 41-1347] Reset pin /picorv32_axi_0/resetn (associated clock /picorv32_axi_0/clk) is connected to asynchronous reset source /processing_system7_0/FCLK_RESET0_N.

This may prevent design from meeting timing. Instead it should be connected to reset source /rst_ps7_0_50M/peripheral_aresetn.

[BD 41-1347] Reset pin /axi_mem_intercon/M00_ARESETN (associated clock /axi_mem_intercon/M00_ACLK) is connected to asynchronous reset source /processing_system7_0/FCLK_RESET0_N.

This may prevent design from meeting timing. Instead it should be connected to reset source /rst_ps7_0_50M/peripheral_aresetn.

[BD 41-1347] Reset pin /picorv32_axi_0/resetn (associated clock /picorv32_axi_0/clk) is connected to asynchronous reset source /processing_system7_0/FCLK_RESET0_N.

This may prevent design from meeting timing. Instead it should be connected to reset source /rst_ps7_0_50M/peripheral_aresetn.

[BD 41-1347] Reset pin /axi_mem_intercon/M00_ARESETN (associated clock /axi_mem_intercon/M00_ACLK) is connected to asynchronous reset source /processing_system7_0/FCLK_RESET0_N.

This may prevent design from meeting timing. Instead it should be connected to reset source /rst_ps7_0_50M/peripheral_aresetn.

Problèmes rencontrés

AVANT :

- * processing_system7_0/FCLK_RESET0_N -> rst_ps7_0_50M/ext_reset_in
- * processing_system7_0/FCLK_RESET0_N -> picorv32_axi_0/resetn
- * processing_system7_0/FCLK_RESET0_N -> axi_mem_intercon/M00_ARESETN
- * rst_ps7_0_50M/peripheral_aresetn -> axi_mem_intercon/ARESETN
- * rst_ps7_0_50M/peripheral_aresetn -> axi_mem_intercon/S00_ARESETN

APRES :

- * processing_system7_0/FCLK_RESET0_N -> rst_ps7_0_50M/ext_reset_in
- * rst_ps7_0_50M/peripheral_aresetn -> picorv32_axi_0/resetn
- * rst_ps7_0_50M/peripheral_aresetn -> axi_mem_intercon/ARESETN
- * rst_ps7_0_50M/peripheral_aresetn -> axi_mem_intercon/S00_ARESETN
- * rst_ps7_0_50M/peripheral_aresetn -> axi_mem_intercon/M00_ARESETN

Problèmes rencontrés

PCPI

[BD 41-759] The input pins (listed below) are either not connected or do not have a [source](#) port, and they don't have a tie-off specified. These pins are tied-off to all 0's to avoid [error](#) in Implementation flow.

Please check your design and connect them as needed:

/picorv32_axi_0/pcpi_wr

/picorv32_axi_0/pcpi_rd

/picorv32_axi_0/pcpi_wait

/picorv32_axi_0/pcpi_ready

/picorv32_axi_0/irq

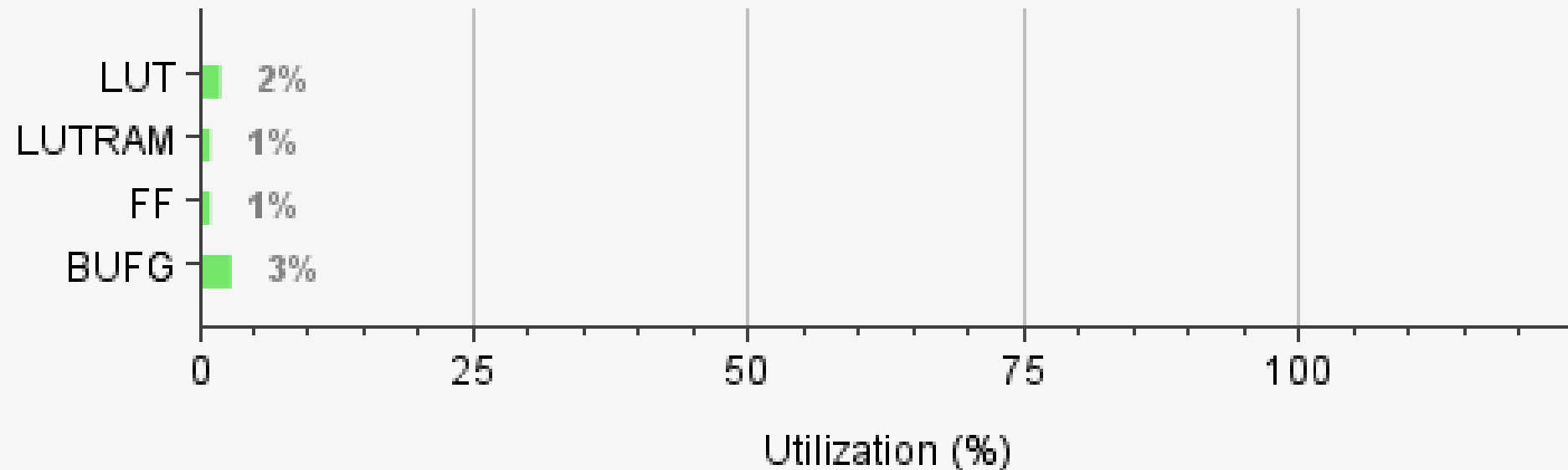
Résultats première implémentation

Confirmation par l'implémentation le picorv32 correspond bien au projet

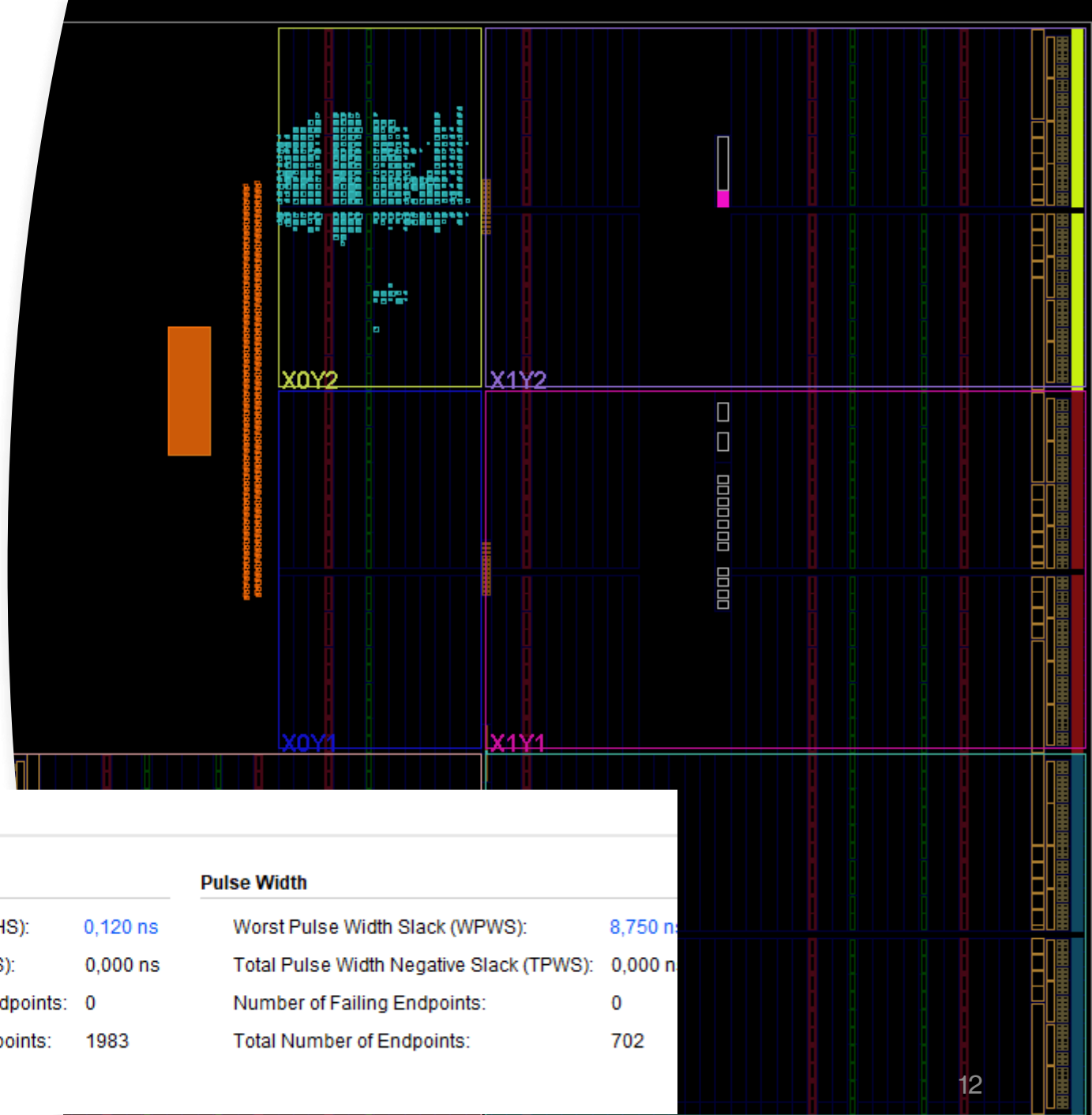
Utilization

Post-Synthesis | Post-Implementation

Graph | Table



Résultats première implémentation



Design Timing Summary

Setup

Worst Negative Slack (WNS): 11,371 ns
Total Negative Slack (TNS): 0,000 ns
Number of Failing Endpoints: 0
Total Number of Endpoints: 1983

Hold

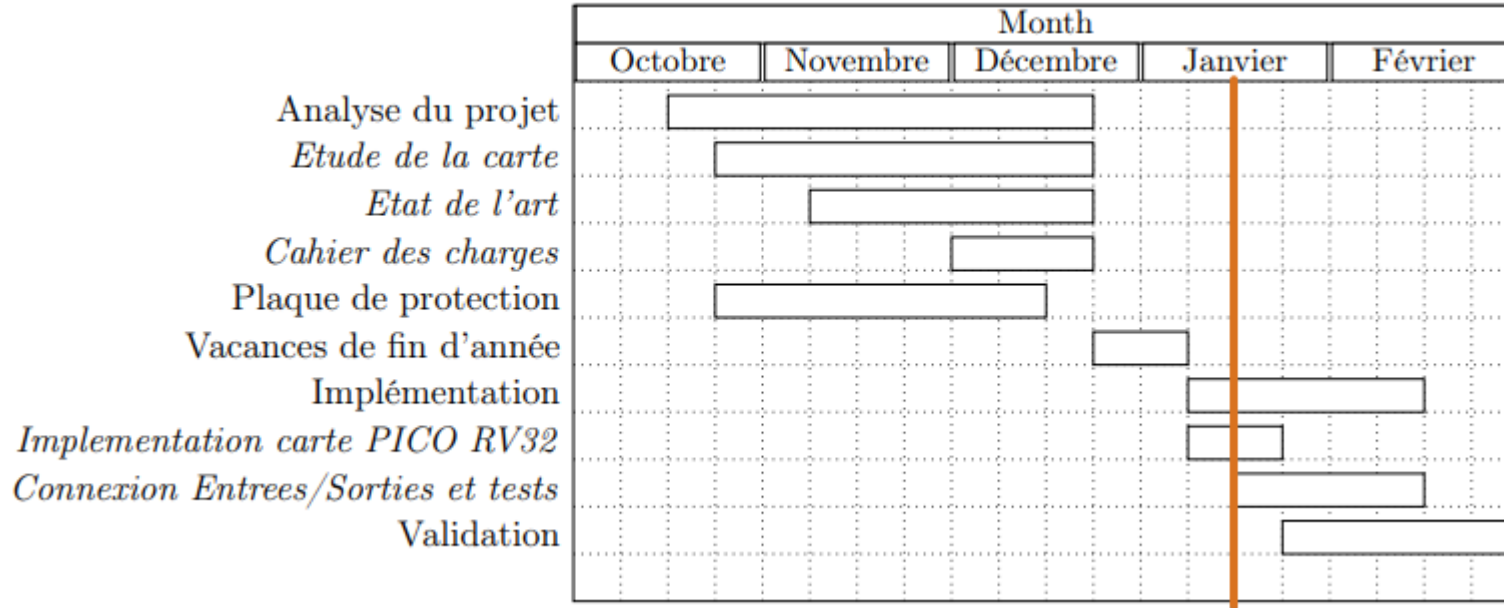
Worst Hold Slack (WHS): 0,120 ns
Total Hold Slack (THS): 0,000 ns
Number of Failing Endpoints: 0
Total Number of Endpoints: 1983

Pulse Width

Worst Pulse Width Slack (WPWS): 8,750 ns
Total Pulse Width Negative Slack (TPWS): 0,000 ns
Number of Failing Endpoints: 0
Total Number of Endpoints: 702

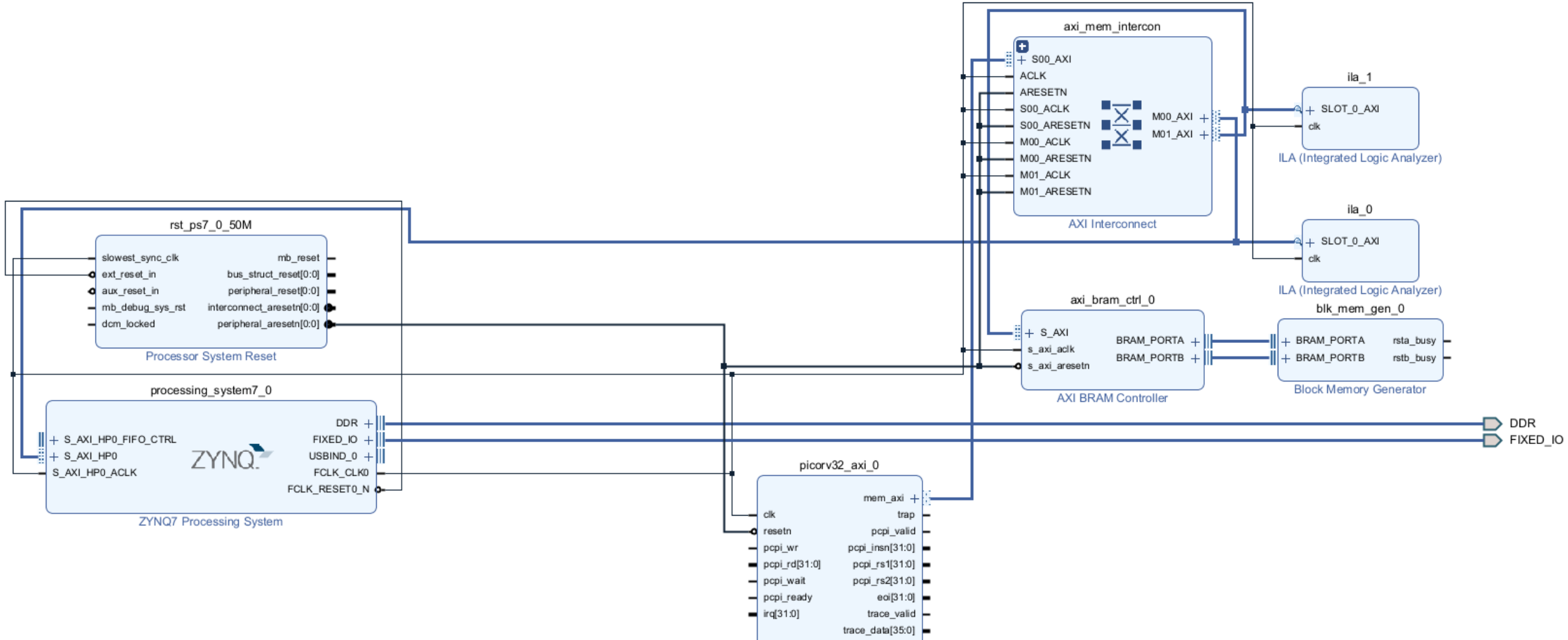
All user specified timing constraints are met.

Gantt



- Comme prévu, la première semaine est surtout dédiée à implémenter le pico sur la carte

Presentation 6



Tâches effectuées

15/01/24-16/01/24

- Recherches sur le PCPI et documentation : ASSIER
- Recherche mémoire pour mettre code et tester : ASSIER - MORAL
- Ajout d'un ILA : MORAL

17/01/24

- Reunion
- Depart documentation toolchain et préparation d'un code qui utilise la mémoire : ASSIER
- Recherches comment interfacer le processeur le processeur et ajouter du code compilé : GUICHETEAU
- Recherches Comment on crée un espace d'adressage pour le processeur : dire qu'a l'adresse 0 c'est une bootrom, a l'adresse 3M c'est autre chose... etc ? : GUICHETEAU

Tâches effectuées

18/01/24-19/01/24

- MaJ du design vivado pour utiliser les ports AXI S HP pour interfacer la mémoire : MORAL
- Creation d'un design utilisant une bootrom : MORAL
- Ajout fichier de test mémoire pour la bootrom : ASSIER

21/01/24

- Ajout fichier md d'explication pour Setup une ToolChain : ASSIER

22/01/24


- Test implémentation fichier .coe en bootrom : ASSIER - MORAL





23/01/24


- Modification du .coe pour essayer d'observer des transitions sur le bus AXI : MORAL - ASSIER
- Modification du bloc design et des ILA : Il y a bien des transactions avec la bootrom et du code s'exécute : MORAL


Adresses

/picorv32_axi_0

▼  /picorv32_axi_0/mem_axi (32 address bits : 4G)

 /axi_bram_ctrl_0/S_AXI	S_AXI	Mem0	0x0		8K ▼	0x1FFF
 /processing_system7_0/S_AXI_HP0	S_AXI_HP0	HP0_DDR_LOWOCM	0x2000_0000		512M ▼	0x3FFF_FFFF

▼  Incomplete Paths (1)

 /axi_mem_intercon/M01_AXI

Code pour valider

```
lui t0, 0x2000
```

```
lui t1, 0
```

```
lw t2, 0(t0)
```

```
add t3, t2, t1
```

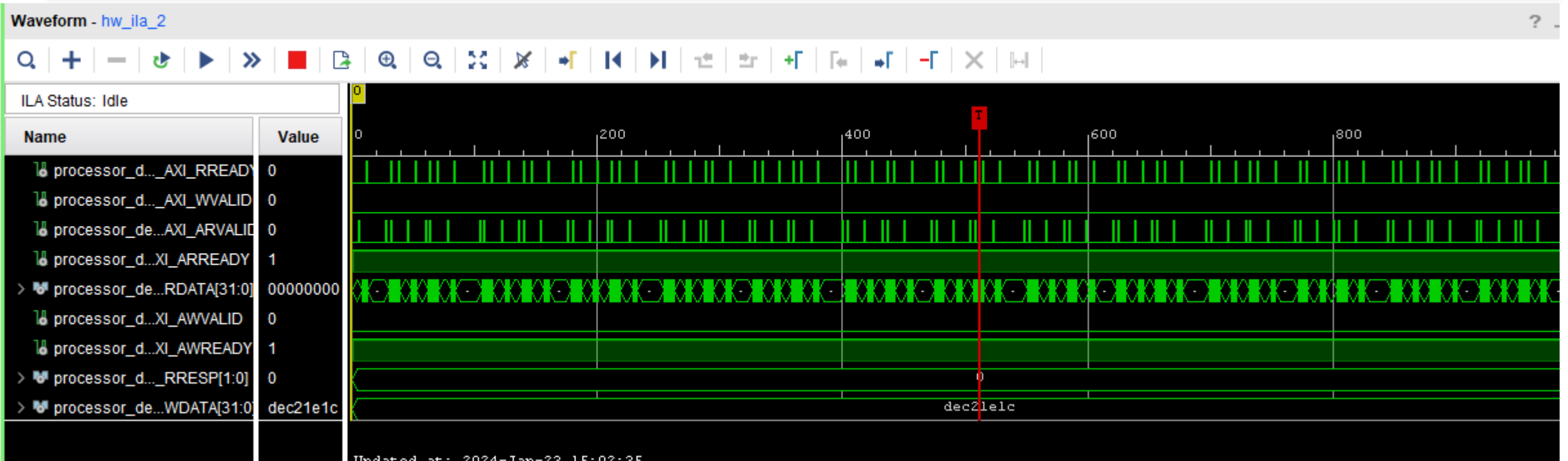
```
lui t4, 10
```

```
add t3, t3, t4
```

```
sw t3, 0(t0)
```

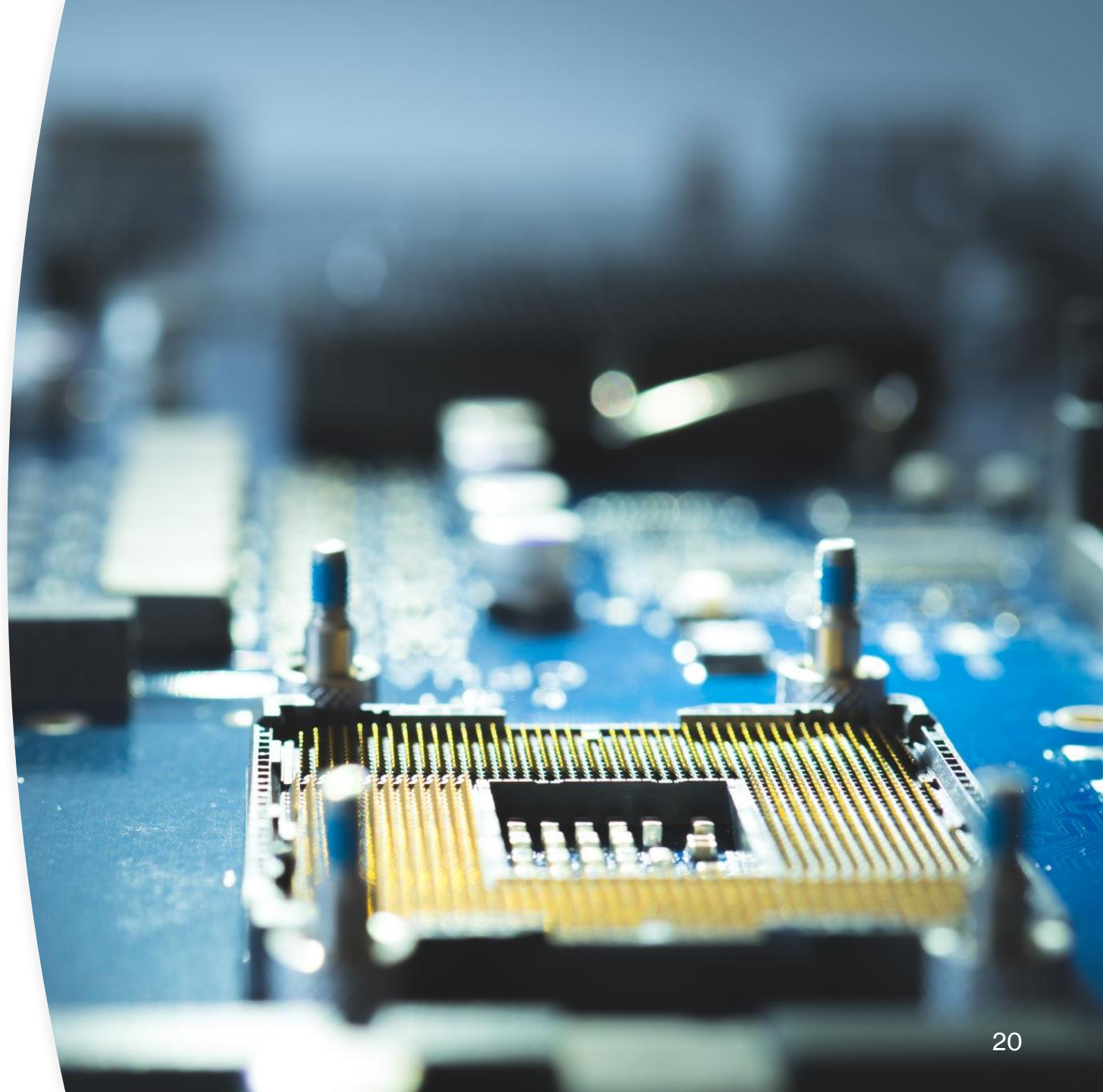
```
jalr x0, 0(x0)
```

ILA Bootrom

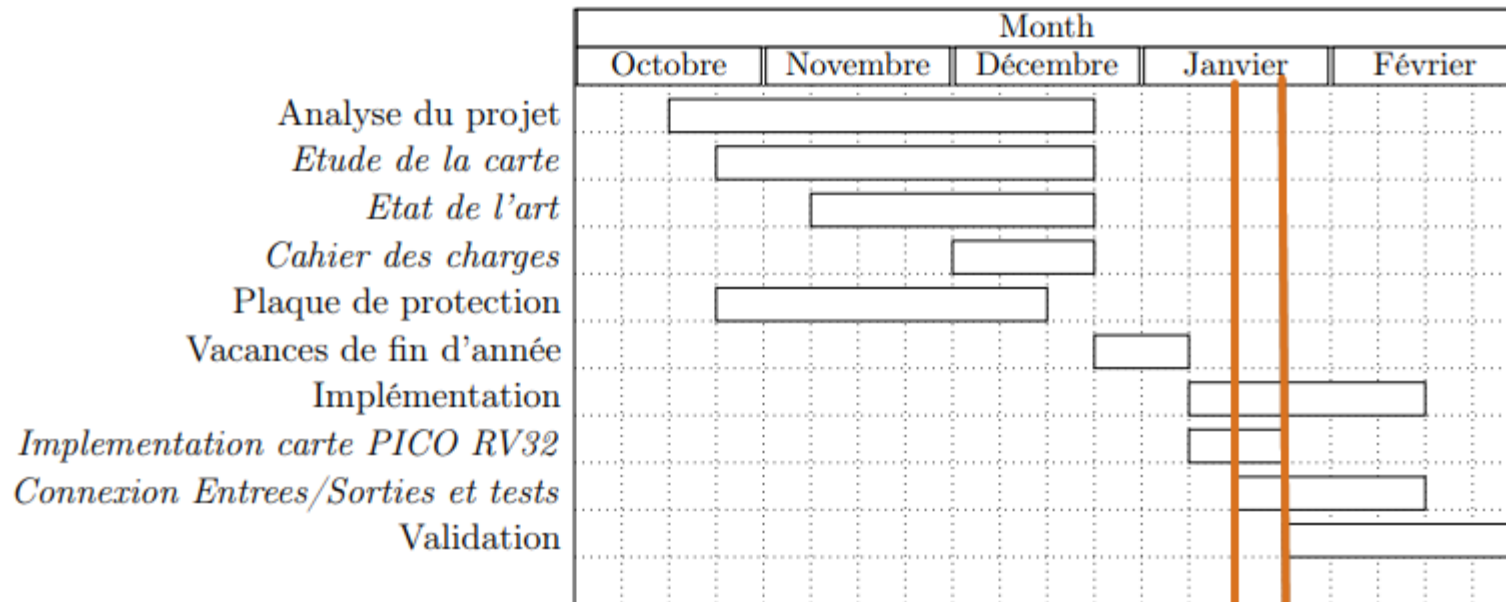


Problèmes actuels

- Pas de transactions visibles vers AXI HP0, mais validation de la bootrom et du processeur
- Une fois que l'on arrive à communiquer avec AXI S HP0, connecter au Central Interconnect à la place pour interfacer et avoir accès avec les autres ?
- Pas possible "d'éteindre" le CPU



Planning GANTT



- Léger retard par rapport au planning : pas encore commencé à tester les E/S car problème mémoire (M.THIEBOLT pensais que l'implémentation était plus simple)
- Mais en soit tests sur l'accès mémoire, on est à peu près bon dans le planning.