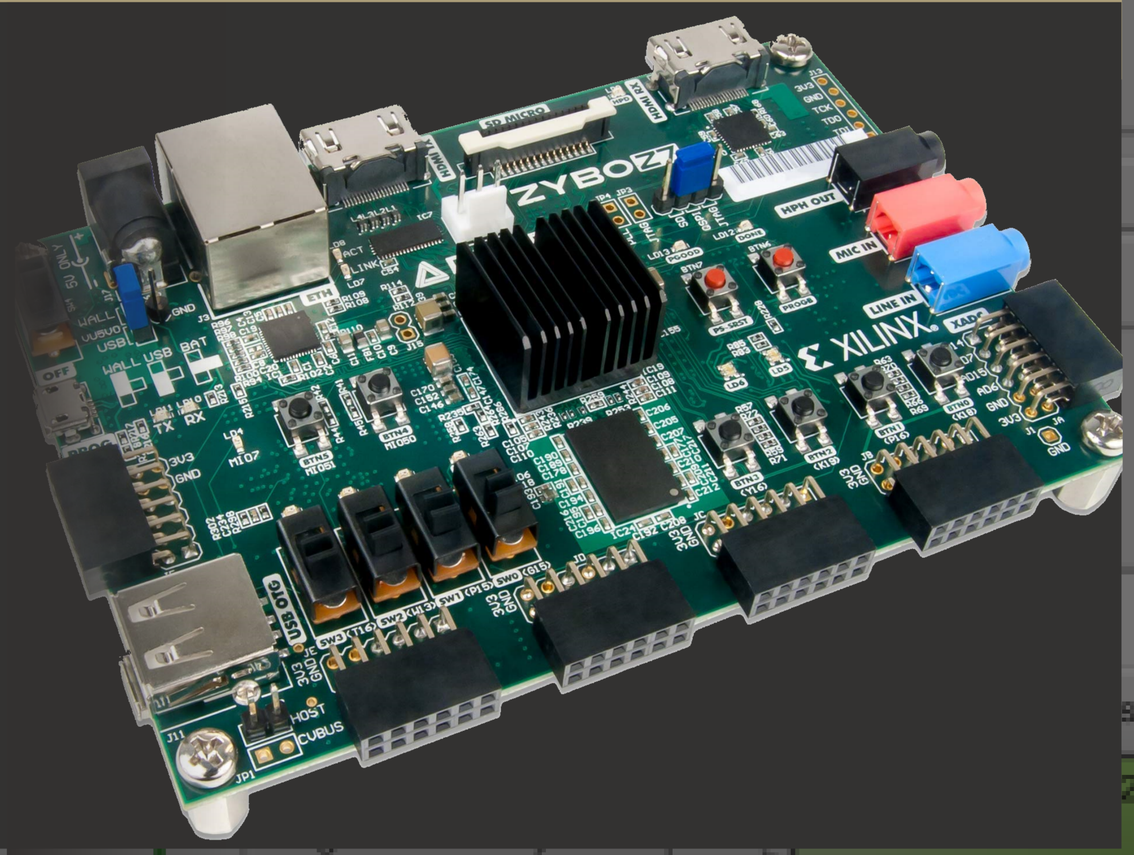
Université Paul Sabatier III, Toulouse

Projet RV32 ZYNQ

Implémentation d'un processeur RISC-V sur une carte ZYBO Z7-20



MASTER SECIL

Objectifs du Projet

- *Interfacer le processeur embarqué de la carte et celui du FPGA*
- *Contrôler les GPIO de la carte via le processeur RISC-V*
- *Créer une chaîne de compilation croisée adaptée à l'implémentation*

ÉTAPES DU PROJET

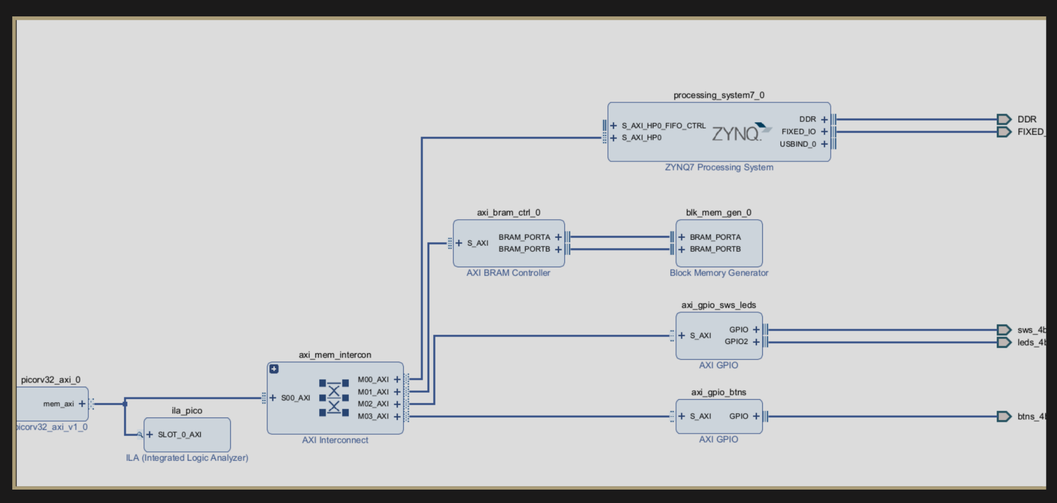
Packaging d'une IP sous vivado, création d'un bloc design, interfaçage du processeur embarqué avec l'implémenté, accès à la mémoire et au GPIO

Interconnexion des éléments via un bus AMBA AXI, définition d'espace d'adressage des esclaves, création d'une ROM pour pouvoir charger des programmes

Écriture de tests en assembleur, validation de l'interfaçage mémoire et GPIO, observation de chronogramme sur la carte en temps réel via un Integrated Logic Analyzer

Création de la chaîne de compilation croisée, utilisation d'un linker script pour définir les sections mémoires, utilisation d'un crt0 pour les tâches de pré-démarrage, tests en C

BLOC DESIGN



CHRONOGRAMMES

Promotion - 2023-2024

COLLABORATEURS

MORAL Alexandre
ASSIER Axel

ENCADRANTS

THIEBOLT FRANÇOIS

CASSÉ HUGUES

Dépôt git https://github.com/AlexandreMoG/RV32-ZYNQ