

FAQ : Labo INF3500

Jeferson S. Silva : jeferson.silva@polymtl.ca

1 Je n'ai aucune idée quoi faire ?

Lisez le guide pratique d'utilisation de Vivado version 1.1 disponible [ici](#).

2 «Entity», «architecture», «process» ??

L'entité en VHDL est utilisée pour définir les ports d'entrée et de sortie de notre module.

Dans l'architecture on décrit le comportement de notre circuit. Elle pourrait avoir plusieurs «process» et des énoncés concurrents en parallèle.

Les «processes» nous permettent de faire des opérations séquentielles.

3 Est-ce qu'on peut faire des boucles en VHDL ?

Oui. Mais, les boucles du type «for loop ... end loop;» doivent être toujours dans un «process» ou une «function». Ces boucles sont exécutées séquentiellement. Les bornes des boucles doivent être statiques et connues au moment de la compilation.

Quoi ? Fonctions en VHDL ?? Oui, on peut.

Voici un exemple de boucle avec une fonction et un «processes» choisi par «generic».

4 Est-ce qu'il y a des boucles parallèles en VHDL ?

Oui. Ce sont des boucles du type «for generate ... end generate;». Elles sont principalement utilisées quand on veut répliquer plusieurs fois un module VHDL. Elles sont utilisées dans une architecture mais en dehors d'un «process».

Voici un exemple d'un additionneur à 8 bits implémenté avec un «for generate ... end generate;».

5 C'est quoi un banc d'essai (test bench) ?

On utilise des bancs d'essai pour vérifier un code VHDL. On génère des entrées et on analyse les sorties de nos modules. Dans un banc d'essai on peut utiliser des énoncés non synthétisables comme «wait» et «assert».

Voici un exemple de banc d'essai pour vérifier le code de la section précédant.

6 Bien, j'ai mon code VHDL et mon banc d'essai, mais ma simulation ne marche pas.

Premièrement, vérifiez si votre banc d'essai est configuré comme «top» (Regardez le guide encore). Si oui, vérifiez les messages montrés au terminal TCL (le guide une fois de plus). Probablement, vous avez des problèmes de syntaxe ou de sémantique dans votre code.

7 Ma simulation marche !! Mais, je ne peux pas implanter mon truc.

Vérifiez les étapes de la section antérieure, mais dans «design sources».

Avez-vous des énoncés non synthétisables ? «wait», «assert» ? Enlevez-les !

8 Comment peut-on vérifier la consommation de ressources (LUTs, bascules) dans Vivado ?

Après la synthèse de votre module, cliquez sur le symbole Σ indiqué par 1 dans la Figure 1. Dans le panneau «Utilization» cliquez sur «Table» et sélectionnez «Post-synthesis» (2). Vous verrez le nombre de LUTs, bascules, DSPs, BRAMs, etc. L'exemple montré dans la figure est une implémentation d'une multiplication de matrices 2x2 pipelinée. Le code est disponible ici.

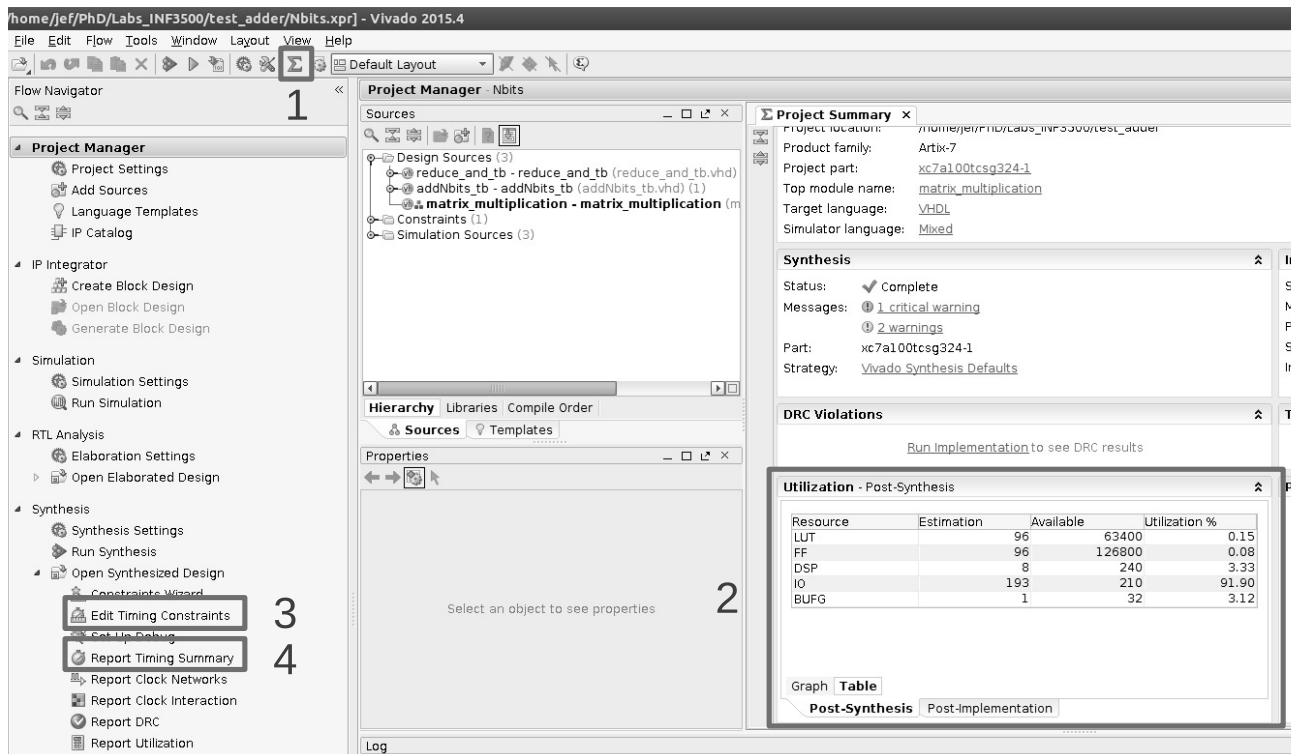


FIGURE 1 – Consommation de ressources.

9 Comment peut-on vérifier la la performance de notre circuit ?

Avant de vérifier la performance, on doit spécifier les contraintes de notre horloge. Cliquez sur le symbole qui est indiqué par 3 dans la Figure 1. La Figure 2 montre comment spécifier une horloge. En 1, on ajoute une nouvelle horloge. En 2, on spécifie sa période, son nom, etc.

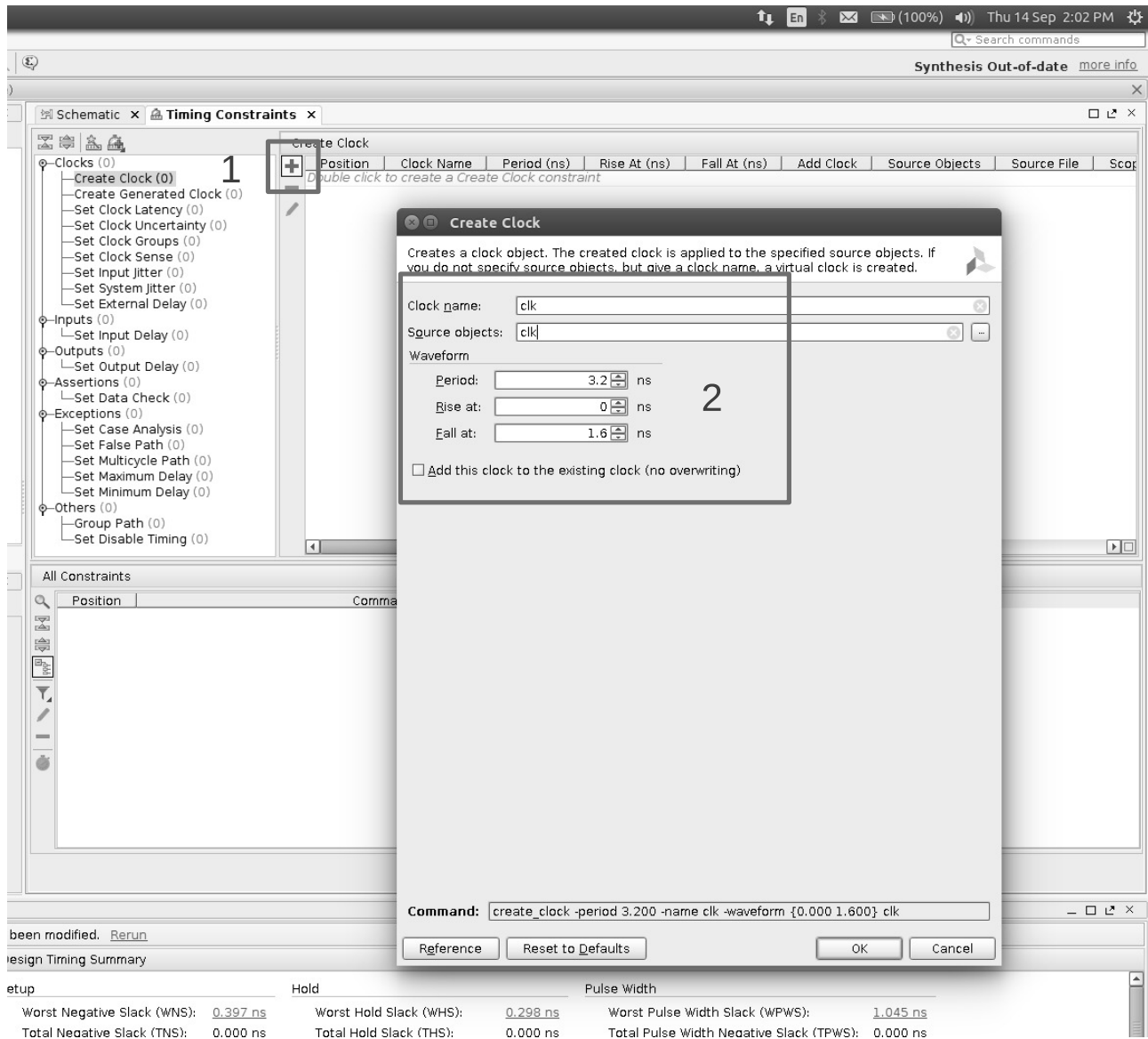


FIGURE 2 – Contraint d'horloge.

Pour vérifier la fréquence maximale de notre circuit, après la synthèse, on va cliquer sur le symbole indiqué par 4 dans la Figure 1. La Figure 3 montre le résultat d'analyse de «timing». «Worse negative slack» (WNS) et «Worst negative hold» (WHS) doivent être valeurs positives, sinon, il y a des violations de synchronisation. Note : WNS est la pire marge de temps avant le prochain front d'horloge. Ça dépend de la technologie qu'on utilise et de notre circuit (nombre de niveaux de logique). WHS est la pire marge de temps après un front d'horloge. C'est associé au temps que les données doivent rester stables après un front d'horloge dans une bascule.

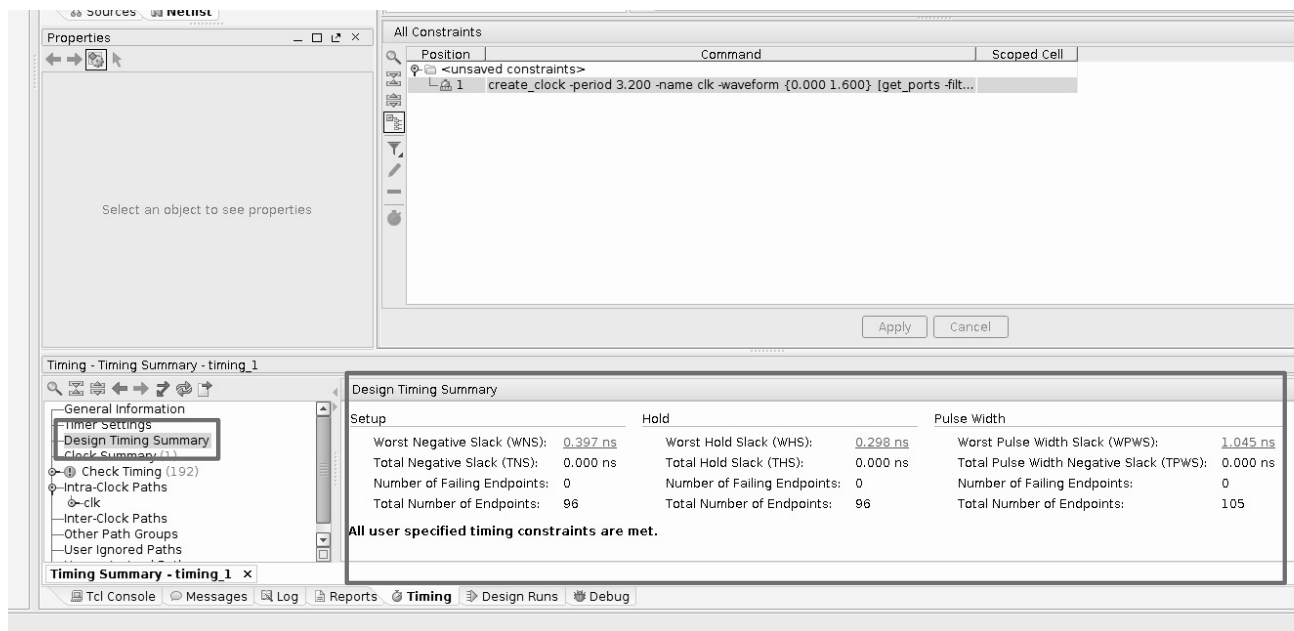


FIGURE 3 – Analyse d’horloge.

10 Je veux programmer la FPGA. Mais ça ne marche pas.

La carte, est-elle alumée??? Si oui, ça devrait marcher.