1. Banc d’essai

Pour vérifier les différentes fonctionnalités de notre module et ainsi les tester, nous avons réalisé un banc d’essai générant plusieurs tests consécutifs.

D’une part, nous testons le module de réception de message (RX) en envoyant sur l’entrée rx\_sdata plusieurs types de trames.

Chacun des tests commence par un reset, afin de les rendre indépendant entre eux. Le signal d’entrée rx\_sdata est initialisé à 1 (c’est sa position de repos) et une modification sur ce dernier permet de commencer l’envoie d’un message. Pour envoyer chacun des bits composants la trame, il faut modifier la valeur de rx\_sdata en fonction du message avec une attente de 1/Baudrate seconde entre chaque bit. C’est pour cela qu’on retrouve un wait entre chaque modification de rx\_sdata. Une fois qu’une trame est envoyée, il faut attendre qu’elle soit décodée, c’est-à-dire que rx\_pdata\_valid soit passée à 1. On peut ensuite vérifier si le message décodé est correct et si des erreurs ont été détectées ou non.

Le fonctionnement est le même pour tous les tests concernant le récepteur, sauf pour le deuxième qui doit envoyer un message de 16 bits. En réalité ce test est très proche de l’envoie d’un message normal, à la différence qu’on réalise deux fois le test sans effectuer de reset entre les deux (ce qui a lieu entre deux tests différents).

D’autre part, nous testons le module d’émission de message (TX) en donnant un message à envoyer sur l’entrée tx\_pdata et en amorçant l’envoie avec tx\_send\_data. Il faut ensuite vérifier chacun des bits envoyés sur la sortie tx\_sdata en mesurant sa valeur tous les 1/Baudrate seconde. Un message d’erreur est envoyé à chaque bit n’ayant pas la bonne valeur.

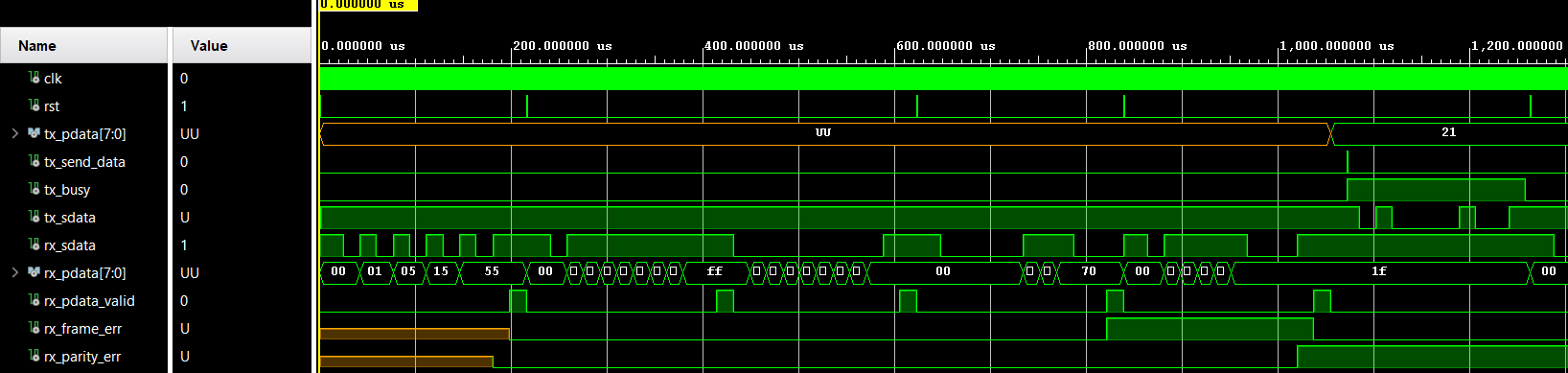


Figure 1 : Screenshot de la simulation

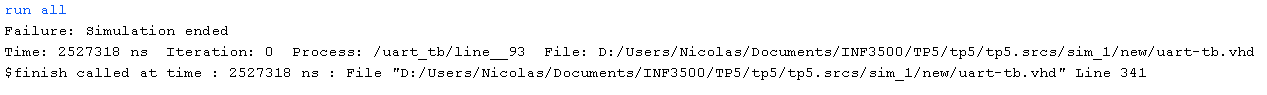


Figure 2 : Screenshot de la console Tcl

1. Questions

* Si deux bits (ou n’importe quel multiple de 2) sont inversés, alors la parité est erronée : le calcul de parité est réalisé avec un modulo 2, donc s’il y a un multiple de 2 d’erreurs dans les bits, alors la parité ne changera pas. En effet, 10000000 et 11100000 ont les mêmes parités, donc si le premier message est celui envoyé et le deuxième celui reçu, le récepteur ne pourra savoir qu’il est erroné.
* Le récepteur doit faire un délai après la réception de la condition START pour que la mesure du signal d’entrée ne se fasse pas sur un front montant ou descendant mais à un moment où le signal est stable. Cela permet d’éviter une perte d’information si le signal reçu à un quelconque retard.