

# 夏季学期综合实验

## 流水线MIPS处理器的设计

数字逻辑与处理器实验教学组

2024. 7

### 实验内容：

在下面两项中二选一：

(1) 将理论课处理器大作业中设计的单周期 MIPS 处理器改进为流水线结构, 并利用此处理器完成排序算法(理论课汇编大作业第二部分, 算法任选其一)。

(2) 使用数字逻辑电路求解排序问题, 针对硬件实现的特点进行优化, 并在单周期 MIPS 处理器上求解同一问题作比较。

### 设计要求：

- 设计一个 5 级流水线的 MIPS 处理器, 建议采用如下方法解决竞争问题:
  - 采用完全的 forwarding 电路解决数据关联问题。
  - 对于 Load-use 类竞争采取阻塞一个周期+Forwarding 的方法解决
  - 对于分支指令在 EX 阶段判断(提前判断也可以), 在分支发生时刻取消 ID 和 IF 阶段的两条指令。
  - 对于 J 类指令在 ID 阶段判断, 并取消 IF 阶段指令。
- 分支和跳转指令做如下扩充: 分支指令 (beq、bne、blez、bgtz、bltz)和 跳转指令(j、jal、jr、jalr);
- 数据存储的地址空间被划分为 2 部分: 0x00000000 ~ 0x3FFFFFFF (字节地址) 为数据 RAM, 可以提供数据存储功能; 0x40000000 ~ 0x7FFFFFFF (字节地址) 为外设地址空间, 对其地址的读写对应到相应的外设资源。除说明外, 外设地址和描述不得更改或额外添加。具体地址划分如下:

地址（字节地址）	功能	描述
0x00000000~0x000007FF	数据存储器	512×32bits（可以根据需要自行调整大小）
0x40000010	七段数码管	0bit: CA 1bit: CB ..... 7bit: DP 8bit: AN0 9bit: AN1 10bit: AN2 11bit: AN3

#### 4. （选做）为处理器设计 UART 外设

地址（字节地址）	功能	描述
0x40000018	串口发送数据 UART_TXD	串口发送数据寄存器，只有低8bit 有效；对该地址的写操作将触发新的 UART 发送
0x4000001C	串口接收数据 UART_RXD	串口接收数据寄存器，只有低8bit 有效
0x40000020	串口状态、控制 UART_CON	2bit: 发送状态，每当 UART_TXD 中的数据发送完毕后该比特置‘1’，当执行对该地址的读操作后，将自动清零 3bit: 接收状态，每当 UART_RXD 中已经接收到一个完整的字节时该比特置‘1’，当执行对该地址的读操作后，将自动清零 4bit: 模块状态，0-发送模块处于空闲状态，1-发送模块处于发送状态

#### 5. 测试数据与结果输出

测试数据参考汇编作业 a.in 文件规定的格式，可以写在汇编指令文件中或者对 RAM 进行 initial 初始化。将排序结果，由小到大，以 16 进制的形式显示

到数码管上（使用读写外设地址的软件方法，不允许使用译码器等硬件方法），每个数据保持 1 秒。用 UART 串口进行测试数据的输入和输出（输入按照 a.in 的格式，输出为由小到大的 16 进制序列）为选做的提高要求。

## 课程要求：

1. 实验每人独立进行，实验评分分为现场验收和实验报告两部分。
2. 根据现场硬件情况或视频进行验收。
3. 实验报告内容包括：实验目的；设计方案（原理说明及框图）；算法指令；关键代码及文件清单；仿真结果及分析；综合情况（面积和时序性能）；硬件调试情况；思想体会等。
4. 实验报告提交方式：实验报告（word 或者 pdf）和设计代码打包后提交到网络学堂，提交打包文件名按照“学号\_姓名”的规则命名。
5. 硬件实验板将在实验验收结束时上缴。
6. 同学应当参加绪论课（特殊情况应当请假，任课教师允假后，请对照讲义自学）。
7. 根据综合结果，在流水线设计功能正确的前提现，具有最高时钟频率（或平均每秒执行指令数目）的前 20 名学生将可获得该实验 10%的加分，申请加分的小组需要单独提交申请，并需另提设计说明。
8. 实验严禁抄袭，抄袭者（实验报告或者设计代码出现雷同、回答问题明显非个人完成等）的课程成绩按零分处理，并上报院系。

## 评分标准：

- 大作业按百分制计分（有加分项可大于 100），总分数乘以 0.4 与春季课程成绩合并。

### 1.流水线 CPU 方案评分标准：

- 以流水线形式 CPU 完成实验内容，起评分 95 分。
- 仅以单周期形式 CPU 完成实验内容，起评分 75 分。

- 未按要求以软件形式实现七段译码器译码，减 10 分。
- 未正确报告处理器的最高工作频率，减 5 分。
- 未正确计算处理器的 CPI，减 5 分。
- 使用串口完成测试数据的输入和输出，加 10 分。
- 流水线设计功能正确且最高时钟频率在前 20 名的同学将可获得 10 分加分，申请加分的同学请在 8 月 4 日前在网络学堂课程讨论区的流水线主频擂台帖子下回复相关信息，并在课程作业中，提交完整的可方便验证的工程实现代码和一份独立的优化设计说明，报告中没有相关文档则不加分。

## 2.专用电路方案评分标准：

- 使用专用数字电路完成设计和验收的，起评分按 70 分计算。
- 使用串口完成测试数据的输入和输出，加 10 分。
- 选择这项任务的同学，应当在“设计方法学”上多加探索，比如在并行化、内存墙、等方面进行研究，并实现验证测试，以研究论文的样式提交设计报告，报告内容详实充分，且设计方案突出数字电路特点的加 10 分。

## 3.验收及报告提交时效性评分标准：

- 现场验收及加分：大作业现场验收安排在 7 月 17,18,19 日三天的下午 1:30-5:00。凡 17 日完成验收的同学加 2 分，18 日完成验收的同学加 1 分，19 日不加分。另外会在 19 日安排腾讯会议在线验收，不加分。  
若特殊情况，无法在 19 日或之前完成线上或线下验收的同学，需要在 7 月 19 日 18:00 前，将整个工程打包提交到网络学堂（延迟验收代码锁定提交），我们会在秋季开学前，9 月 2 日 14:00-17:00 安排一次验收，此次不允许修改代码，验收通过视同按时完成验收，此类情况仍需按时完成实验报告提交。
- 延迟验收及迟交报告减分：若未按规定时间完成验收，或未按规定时间完成锁定代码提交，扣 30%的验收分数，课组会在 9 月 2 日之后另行安排补验收。实验报告应在 8 月 4 日 23:59 前提交到网络学堂，报告迟交扣 30%的报告分数。

评分表格：

### 1.1 流水线 CPU 方案现场验收评分表

考核项目	现场验收
流水线形式 CPU 完成实验内容	50
仅以单周期形式 CPU 完成实验内容	-25
未按要求以软件形式实现七段译码器译码	-10
未按时完成验收	-15
使用串口完成测试数据的输入和输出	+10
提前验收	+2or+1

### 1.2 流水线 CPU 方案实验报告评分表

考核项目	实验报告
实验报告内容完整清晰	45-50
未正确报告处理器的最高工作频率	-5
未正确计算处理器的 CPI	-5
未按时提交报告	-15
最高时钟频率在前 20 名且报告完整	+10

### 2.1 专用电路方案现场验收评分表

考核项目	现场验收
使用专用数字电路完成实验内容	35
未按时完成验收	-10
使用串口完成测试数据的输入和输出	+10
提前验收	+2or+1

### 2.2 专用电路方案实验报告评分表

考核项目	实验报告
实验报告内容完整清晰	30-35
未按时提交报告	-10
最高时钟频率在前 20 名且报告完整	+10