

泰勒级数的 DDS 设计与 FPGA 实现

徐 琪, 段哲民

XU Qi, DUAN Zhemin

西北工业大学 电子信息学院, 西安 710072

School of Electronics and Information, Northwestern Polytechnical University, Xi'an 710072, China

XU Qi, DUAN Zhemin. Design of DDS based on Taylor series and implementation in FPGA. Computer Engineering and Applications, 2014, 50(5): 208-211.

Abstract: In this paper, in order to increase the output signal Spurious Free Dynamic Range(SFDR) of DDS, the method is that the phase dithered of DDS is reduced by the Taylor series and it is not to raise the width of the accumulator. The simulation for over a band of frequencies of DDS, having 32 bits width of the accumulator, is showed that the DDS with the Taylor series provides enhanced 12 dB better performance compared to it without Taylor series. This method has an importance practical value for DDS design.

Key words: Taylor series; Direct Digital Synthesis(DDS); Spurious Free Dynamic Range(SFDR); lookup table

摘 要: 为了提高直接数字频率合成输出信号的动态范围, 提出了一种在不增加直接数字频率合成中的累加器的位数的基础上, 利用泰勒级数法较少数字频率合成的相位抖动的方法。并且对一个具有 32 位累加器的直接数字频率合成, 输出一定频率范围的信号进行了仿真。仿真结果表明, 基于泰勒级数的直接数字频率合成具有较好的动态范围, 比一般的方法提高了 12 dB。该方法对直接数字频率合成设计者有着重要的参考价值。

关键词: 泰勒级数; 直接数字频率合成(DDS); 动态范围; 查找表

文献标志码: A **中图分类号:** TN733.4 **doi:** 10.3778/j.issn.1002-8331.1204-0548

1 引言

DDS 或数字本振锁相环(Numerically Controlled Oscillators, NCO)是数字通信系统中重要的功能模块。它在数字上变频, 下变频, 相位与频率解调与解调具有重要的作用。实现 DDS 的方法主要有两种: 查找表, 旋转算法^[1-2]。旋转算法直接利用相位计算幅度, 该算法只需要简单的移位加迭代运算, 而且机构规律, 运算周期可以预测, 适合应用计算性要求较高的实时高质量信号与图像处理等方面。但是该算法与占用的硬件资源较多, 而且算法具有一定的复杂性。查找表法利用波形存储器来存储量化的一个正弦幅度, 由此可以利用相位作为地址来查找对于存储空间的正弦幅度。由于查找表算法简单, 由此得到广泛的应用^[2]。其工作原理为: DDS 工作的基本原理是将 2π 弧度做 N 位量化, 以系统时钟为参考频率对信号相位进行采样^[3-4]。 N 位频率控制字在每个时钟周期内与相位累加器中的相位进行一次累加,

将累加结果的高 A 位作为地址去寻址相位查找表, 将相位信息转化为相应的数字量化幅度字。查找表输出的量化波形序列经过数模转换器(DAC)变为阶梯模拟信号, 最后通过低通滤波器平滑后得到一个频谱很纯的信号波形。

在现在通信系统中, 基于正交调制技术得到广泛的应用, 尤其是 PSK 调制已得到广泛的应用。为了提高数字信号解调的性能, DDS 的输出信号必须具有较好的动态范围以及较高的频率分辨率。为了提高信号频率分辨率就必须提高相位的量化位数以及存储深度, 这就增加了硬件的开销。提高输出信号的动态范围现在主要有两种方法泰勒级数法和相位抖动法。相位抖动法直接在相位上叠加了一个随机的噪声, 破坏了相位累加舍位的规律性, 相比于直接相位截位大约可以提高 12 dB 的动态范围^[1]。而泰勒级数法具有更好的性能, 只是算法复杂度较高。由于现在电子技术的发展, 芯片中的门

基金项目: 国家自然科学基金(No.61171155); 航天科技创新基金(No.CASC200902)。

作者简介: 徐琪(1977—), 男, 博士, 工程师, 研究领域为数字解调。E-mail: xuqixuyan@sohu.com

收稿日期: 2012-04-28 **修回日期:** 2012-06-15 **文章编号:** 1002-8331(2014)05-0208-04

CNKI 网络优先出版: 2012-08-01, <http://www.cnki.net/kcms/detail/11.2127.TP.20120801.1653.029.html>

资源相对丰富,对泰勒级数算法的实现约束较小。这种算法利用了其他算法所舍去的位去修正输出信号,由此提高了输出信号的动态范围。本文首先从理论上详细的分析了 DDS 的原理以及泰勒级数算法,然后在 FPGA 实现了基于泰勒级数的 DDS,从仿真结果可以看出该 DDS 具有较好的动态范围。

2 DDS 算法原理

DDS 的工作原理为:在参考时钟的驱下相位累加器对频率控制字进行线性累加,得到的相位码对波形存储器寻址,使之输出相应的幅度码,经过数模转换器得到相应的阶梯波,最后再使用低通滤波器对其平滑,得到所需的平滑连续波形,其框图如图 1 所示。

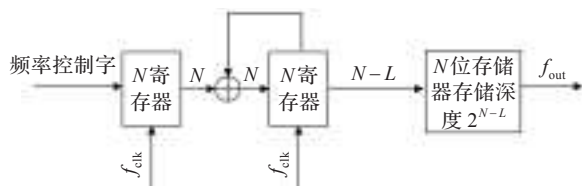


图1 DDS 结构框图

图 1 中 f_{clk} 是系统工作时钟, f_{out} 是 DDS 输出频率, N 为量化长度。其原理为:每来一个时钟脉冲 f_{clk} , 加法器就将频率控制字 K 与累加器寄存器的输出的累加相位数据相加,把相加后的结果送至累加寄存器的数据输入端。累加寄存器将加法在上一个时钟脉冲的作用后所产生的新相位数据反馈到加法器的输入端,以使加法器在下一个脉冲的作用下继续与频率控制字相加。这样,相位累加器在时钟的作用下,不断对频率控制字进行线性相位累加。由此可以看出,相位累加器在每一个时钟脉冲输入时,把频率控制字累加一次,相位累加器输出的数据就是合成信号的相位,相位累加器的溢出频率就是 DDS 输出的信号频率。用相位累加器的输出数据作为波形存储器的相位取样地址,这样就可把存储在波形存储器内的波形值经查找表查出,完成相位到幅度转换^[3-5]。

其 f_{out} 与 f_{clk} , 频率控制字 k 以及累加器位数 N 相关的函数:

$$f_{\text{out}} = \frac{f_{\text{clk}} k}{2^N} \quad (1)$$

由公式可知一旦确定频率控制字时钟频率以及累加器的位数,就可以求出 DDS 的输出频率 f_{out} 。

DDS 有以下优点:

(1) 具有极高的频率分辨率,只要增加相位步进控制字的位数就可以提高频率分辨率。

(2) 相位的连续变化。因为 DDS 是一个开环系统,当一个频率步进控制字加在 DDS 的数据输入端时,它会迅速合成所要求的频率信号,在输出信号上没有叠加任何电流脉冲,输出变化是一个平稳的过渡过程,而且

由于相位累加结果连续变化,所以输出波形没有相位突变,避免相位信息的损失。

(3) 极快的频率切换速度。DDS 是开环系统,无反馈环节。

(4) 低相位噪声和低漂移。DDS 系统中合成信号的频率稳定度直接由参考源频率稳定度决定,合成信号的相位噪声和参考源的相位噪声相同。而在大多数 DDS 系统中,都由固定的晶振来产生基准频率,所以具有低相位噪声和低漂移的特点。

(5) 频带范围宽。DDS 的最低输出频率是所用时钟频率的最小分辨率或者相位累加器的分辨率。Nyquist 采样定理保证了小于本振频率一半的所有频率。在实际应用中 DDS 的频率上限为本振频率的 40%。

但是 DDS 也有以下突出的缺点:

(1) 最高频率不会太高,受限系统的始终频率最高只有时钟频率的一半。

(2) 查找表的实现一般是用 ROM 来存储离散正弦值,消耗的 ROM 资源量是与输入相位的位宽成指数关系的。当相位精度的要求比较高的时候,所消耗的 ROM 资源量是惊人的。

3 DDS 杂散原因分析

由上可知 DDS 输出的信号的精确度与查找表的所存的量化幅度长度和存储深度有关。有限的存储深度增加了信号的抖动,幅度的有限量化即存储宽度恶化了信号的信噪比。时钟 f_{clk} 与相位宽度,即频率控制字决定了输出信号的频率分辨率。在实际应用中,为了获得较好的频率分辨率,必须增加相位累加器的位宽。其计算公式为:

$$N = \left\lceil \lg \frac{f_{\text{clk}}}{\Delta f} \right\rceil \quad (2)$$

Δf 为频率分辨率, $\lceil \cdot \rceil$ 为取整运算符。例如为了在时钟 f_{clk} 100 MHz 为获得 1 Hz 频率分辨率,相位累加器的位宽为 26.575 4,取整为 27 位。

而在 DDS 实现中,由于采用一定容量的 ROM 存储器存储正弦信号的幅度值,必然需要对相位累加器输出进行截断,只取相位累加值的高位作为地址对 ROM 进行寻址。由于 DDS 输出信号通常是正弦和余弦信号,这种相位截断具有明显的周期性,这将在 DDS 输出信号频谱中产生周期性杂散。同时,ROM 中存储的正弦信号幅度都是有限位宽的量化值,这样必然在输出信号幅度中存在量化误差,也在 DDS 输出中引入杂散。相位截断误差和幅度量化误差是产生 DDS 输出杂散的主要原因^[4-6]。其分析如下:

$$\begin{aligned} \sin(\theta(n)) &= \sin(\theta(n) + \delta\theta(n)) = \\ &= \sin(\theta(n))\cos(\delta\theta(n)) + \cos(\theta(n))\sin(\delta\theta(n)) \approx \\ &= \sin(\theta(n)) + \cos(\theta(n))\sin(\delta\theta(n)) \end{aligned} \quad (3)$$

其中 $\Theta(n)$ 是真实值, $\theta(n)$ 是量化值, $\delta\theta(n)$ 是真实值与量化值之间的误差。DDS 误差框图如图 2。

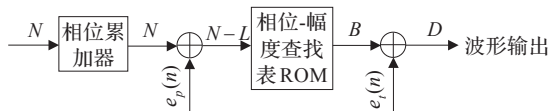


图2 DDS 误差框图

图 2 中 $e_p(n)$ 为相位截断误差, W 为寻址 ROM 查找表的字长, $e_q(n)$ 为正弦值量化误差, L 为相位累加器字长, D 为查找表中存储正弦值的字长。DDS 输出信号的主谱与最强杂散谱幅度之比如下式所示^[7]。

$$\left[\frac{A}{A_{\text{spur}}}\right] = 20 \lg \left[\frac{1}{2^{N-L-B}} S_a \left(\pi \frac{\alpha}{\lambda} \right) \right] \geq 6(N-L-B) \quad (4)$$

由式可以看出,由于相位截断引入的最强杂散对应的功率电平由 $(N-L-B)$ 决定,其中 B 为截断舍弃位数。对于 ROM 查找表中的正弦值的量化误差,通常采用信噪比来表示:可见,存储的正弦值位数 D 每增加一位,则信噪比将提高约 6 dB 数字本振杂散的抑制。为了提高信号的动态范围,主要采用抖动注入、ROM 幅度表压缩,增加正弦幅度量化位宽和泰勒级数法等四种方法来抑制 DDS 输出信号中的杂散。抖动注入根据 DDS 工作原理和杂散产生原因,相位截取误差在 DDS 输出信号中引入周期性杂散。可以在相位累加值截取前,注入满足一定统计特性的随机抖动信号,来破坏杂散的周期性及其与信号的相关性,使具有较大幅度的单根杂散信号谱线的功率在较宽的频率范围内进行平均,从而有效抑制相位截断带来的误差。文献证明了采用抖动注入后的杂散抑制可达到与增加 2 bit 相位寻址相同的效果。ROM 幅度表压缩 DDS 是通过查表将相位转换为幅度值,如果将正弦幅度表进行压缩,就相当于增加了 ROM 数据寻址位宽,能够进一步抑制 DDS 输出杂散^[8]。

由上分析可知,在波形产生的过程中,DDS 数字部分的杂散主要有两个来源:(1)相位截断误差引起的杂散。为了得到较高的频率分辨率,通常的方法是将相位累加器的位数 N 做得很大,然而,受到波形存储器容量的限制(ROM 表样点数有限),用来寻址的位数通常比 N 小,由于这个原因在寻址的时候相位累加器的低 $B(B=N-W)$ 位就被截去。从而产生相位截断误差。(2)幅度量化引起的杂散。波形存储器中的正弦幅值采用 2 进制表示,对于超过 B 位的 2 进制幅度值,需要进行量化处理,这样会产生量化误差。

4 泰勒级数法以及在 FPGA 的实现

由上分析可知为了提高 DDS 输出信号的动态范围,必须提高信号的幅度量化位数,以及存储深度。但是在 FPGA 中,存储器是有限的,不可能大幅提高幅度量化位数以及存储深度。由此只有通过其他手段来提

高信号的动态范围。有上可知,一般 DDS 进行查表是为了降低存储深度抛弃了相位累加的低位,即降低了相位的精度。若能够利用抛弃的相位来修正 DDS 输出信号的幅度,就能够提高信号的动态范围。由数学分析可知,容易一个数学公式可以用泰勒公式展开。由此 DDS 实际输出的信号 f 与理想信号之间的关系如公式(5):

$$f_{\text{out}} = \sin(f + \Delta f) \approx \sin(f) + \cos(f)\Delta f \quad (5)$$

其中 f 是相位累加器取高位后查表输出频率, Δf 是相位累加器抛弃位查表输出频率。 f_{out} 是 DDS 经过泰勒修正后的输出频率。由于利用了相位累加器的低位,即抛弃位,提高了 DDS 输出信号的动态范围。由文献[7-8]可知,基于泰勒级数 DDS 算法具有最好的动态范围,在相位抖动的基础又提高了 12 dB。算法的实现如图 3。

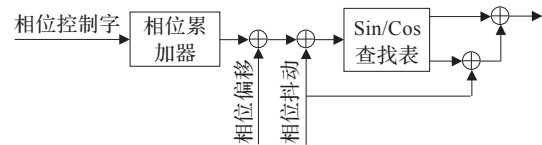


图3 泰勒算法实现框图

虽然输出信号有较好的动态范围,但是也增加了算法实现的复杂度。和图 1 比较可知,不仅增加了一倍的存储深度,而且多了两次加法一次乘法。但是信号的动态范围有了很大的提高。这些运算的增加对于现在 FPGA 的规模是微不足道的。

在现在 FPGA 中带有专用的乘法器,以及规模的 RAM 为实现 DDS 带来了极大的便利。在 FPGA 中乘法器框图如图 4。

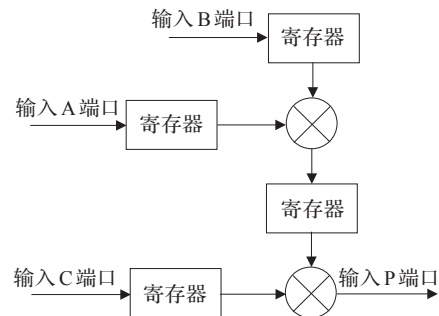


图4 FPGA 中乘法器结构

由泰勒算法的框图可以得到其在 FPGA 的实现框图 5。

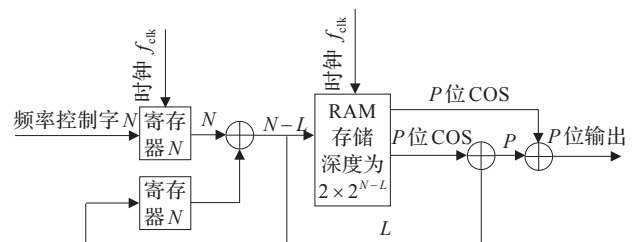


图5 泰勒算法在 FPGA 中实现框图

存储 RAM 中的数据是由 MATLAB 生成的。根据所需要的输出信号动态范围,确定所需要存储深度。如

图5为存储为 2^{N-L} 。再根据所选择DAC的位数选择所量化的幅度位数。在根据所需的频率分辨率,由公式(2)计算出所需的频率控制字的位数。其工作过程如下:在工作时钟 f_{clk} 下,首先寄存器接收频率控制字,其次在工作时钟下不断累加频率控制字,舍去位数后作为地址查找RAM,输出信号即为幅度,有两路输出分别为SIN与COS。将累加器的舍弃位乘COS再加上SIN作为最终信号输出值。

5 仿真结果

首先仿真DDS的输出信号。其工作时钟为200 MHz,输出信号为10 MHz。累加器为31位,存储深度为1 000。幅度量化值为10位。图6为DDS输出10 MHz时的时域图。

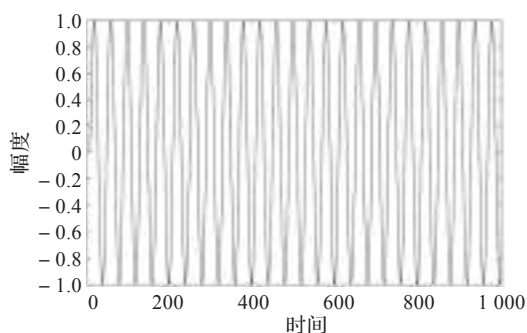


图6 DDS输出10 MHz正弦波

由图6可知,基于泰勒级数算法的DDS输出信号的正确性。图7为基于泰勒级数的DDS输出信号的频谱图。该仿真图采用存储深度为1 000,幅度量化位数为10位。由理论分析可知幅度为量化值为10位时,输出信号的动态范围为60 dB。图7是输出信号经过1 024点FFT后的频谱图,DDS输出信号的动态范围达到了70 dB,低于理论值。这是由于分析信号的FFT点比较少的缘故,因此低于理论值。

6 结论

DDS是无线通信系统中一个主要的器件,其设计对通信系统起到关键的作用。在FPGA中实现DDS的方法主要有两种。由于基于查找表方法简单,易于实现,因此得到广泛的应用。为了提高DDS的输出信号的动

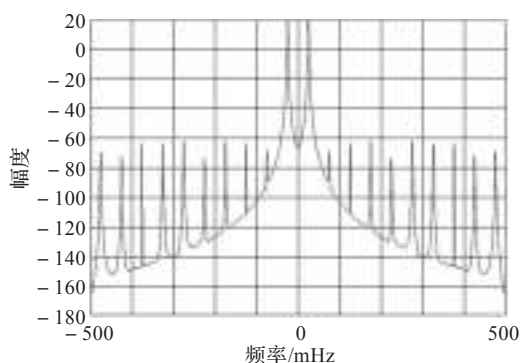


图7 DDS输出频谱图

态范围,主要有相位抖动法以及基于泰勒级数法。由于基于泰勒级数法的输出信号有极好的动态范围,大约比相位抖动法提高了12 dB。但是增加了算法的复杂度,即增加了一路信号输出,即是相位抖动法存储空间的2倍,同时增加了一次乘法与加法。但是相对于现在FPGA的发展来说,此复杂度的增加是有限的。本文利用基于泰勒级数法设计的DDS,仿真结果表明,该DDS达到了预定的要求,即最佳的信号动态范围。利用MATLAB软件对所设计DDS进行仿真,仿真结果表明,这种方法对DDS设计者有着重要的参考价值。

参考文献:

- [1] 邓耀华,吴黎明,张力锴,等.基于FPGA的双DDS任意波发生器设计与杂散噪声抑制方法[J].仪器仪表学报,2009,30(11):15-20.
- [2] 田耘.无线通信FPGA设计[M].北京:电子工业出版社,2007.
- [3] 罗柏明,张雷.一种有效的DDS相位截断杂散抑制[J].电子技术应用,2008,11(3):21-23.
- [4] 田新广,李文法,孙春来,等.无相位截断情况下DDS的幅度量化杂散特性分析[J].仪器仪表学报,2008,29(5):31-35.
- [5] 张波,杨威克,许力,等.基于FPGA的任意波形发生器的设计与实现[J].现代电子技术,2009,35(1):102-105.
- [6] Liu X D, Shi Y Y, Wang M, et al. Direct digital frequency synthesizer based on curve approximation[J]. Industry Technology, 2008, 21(2):201-205.
- [7] 王永伦.宽带雷达信号产生与处理技术研究[D].成都:电子科技大学,2006.
- [8] 王旭东.基于FPGA的雷达信号侦察数字接收机关键技术研究[D].南京:南京航空航天大学,2007.